

汉芝电子股份有限公司

iMQ Technology Inc.

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

SQ7653 中文产品规格书

V1.7

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

1.目录

1.目录	2
2.产品简介	11
2.1 功能特性	11
2.2 重点说明	12
2.3 系统模块图	14
2.4 引脚配置/说明	15
2.5 I/O 线路图	22
3.电气特性	25
3.1 极限参数	25
3.2 工作条件	26
3.2.1 工作条件	26
3.2.2 时钟源	26
3.2.3 I/O 特性	27
3.3 直流(DC)特性	29
3.4 上电复位电气特性	30
3.5 BROR 电气特性	31
3.6 LVD 电气特性	32
3.7 ADC 电气特性	33
3.8 比较器电气特性	34
3.9 FLASH 电气特性	35
3.10 EEPROM 电气特性	35
4. 中央处理器(CPU)	36
4.1 符号对照	37
4.2 核心寄存器	39
4.2.1 8 位通用寄存器	39
4.2.2 16 位通用寄存器	40
4.2.3 程序状态字	41
4.2.4 堆栈指针(SP)	42
4.2.5 程序计数器(PC)	42
4.3 寻址模式	43

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.3.1 寄存器间接寻址	43
4.3.2 直接寻址.....	44
4.3.3 寄存器寻址(r 或 rr)	44
4.3.4 立即寻址(n 或 mn)	44
4.3.5.相对寻址.....	45
4.3.6 绝对寻址.....	45
4.3.7 矢量寻址.....	45
4.3.8 直接位寻址	45
4.3.9 寄存器间接位寻址	46
4.4 指令流水線	47
4.4.1 寄存器对寄存器运行	47
4.4.2 寄存器对存储器运行	47
4.4.3 存储器对寄存器运行	48
4.4.4 存储器对存储器运行	48
4.4.5 跳转	49
4.4.6 子过程调用及返回	50
4.4.7 软件中断(SWI)	51
4.5 指令集总结	52
4.5.1 数据传送及交换指令	52
4.5.2 算数逻辑单元(ALU)指令	53
4.5.3 位移/旋转及半字节操作指令	56
4.5.4 位及标志操作指令	57
4.5.5 跳转指令	59
4.5.6 呼叫、返回、软件中断以及无操作指令	60
5.寻址区域.....	61
5.1 系统存储器架构.....	62
5.1.1 系统控制寄存器	64
5.1.2 系统寄存器	68
5.2 外围存储器	72
5.2.1 外围存储器区域	72
6.系统运行.....	74

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

- 6.1 工作模式74
 - 6.1.1 一般模式.....76
 - 6.1.2 睡眠模式.....76
 - 6.1.3 深眠模式.....76
 - 6.1.4 低功耗模式77
- 6.2 复位控制线路78
 - 6.2.1 复位架构.....78
 - 6.2.2 复位控制.....79
 - 6.2.3 复位功能.....81
 - 6.2.4 装置初始化82
 - 6.2.5 复位信号产生因素.....84
- 6.3 上电复位线路.....88
 - 6.3.1 上电复位架构88
 - 6.3.2 上电复位功能88
- 6.4 掉电复位 (BROR)89
 - 6.4.1 掉电复位架构89
 - 6.4.2 掉电复位功能89
 - 6.4.3 掉电复位控制90
- 6.5 电压检测线路.....91
 - 6.5.1 电压检测架构91
 - 6.5.2 电压检测控制92
 - 6.5.3 电压检测功能93
 - 6.5.4 电压检测寄存器设定.....96
- 6.6 唤醒 KWU98
 - 6.6.1 唤醒 KWU 架构.....98
 - 6.6.2 唤醒 KWU 控制寄存器.....99
 - 6.6.3 KWU 控制寄存器.....103
- 6.7 中断104
 - 6.7.1 非屏蔽中断104
 - 6.7.2 屏蔽中断.....104
 - 6.7.3 中断列表.....105

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

- 6.7.4 中断控制器 (INTC)..... 107
- 6.7.5 中断标帜寄存器 (IFRx, x=0~9)..... 108
- 6.7.6 中断允许寄存器 x (IERx, x=0~9)..... 109
- 6.7.7 中断优先级变更 111
- 6.7.8 中断处理..... 113
- 6.8 外部中断控制线路..... 114
 - 6.8.1 外部中断架构 114
 - 6.8.2 外部中断控制 115
 - 6.8.3 外部中断功能 116
- 6.9 系统供电监控..... 120
 - 6.9.1 系统供电监控控制寄存器 120
- 7.系统时钟控制器 121
 - 7.1 时钟源 121
 - 7.2 时钟預熱时间 (CLOCK WARMUP TIME)..... 122
 - 7.3 时钟切换 122
 - 7.3.1 从 PLL 切换到外部低速时钟 32kHz 123
 - 7.3.2 从 PLL 切换到外部高速时钟 8MHz 123
 - 7.4 时钟控制寄存器..... 125
 - 7.5 系统及外围电路时钟 131
 - 7.5.1 功能性门控时钟 131
- 8. 12 位 ADC..... 136
 - 8.1 功能叙述..... 137
 - 8.1.1 ADC 控制寄存器..... 137
 - 8.1.2 数据缓存器 138
 - 8.1.3 多重信道扫描 138
 - 8.1.4 ADC 时钟源选择..... 138
 - 8.1.5 ADC 参考 138
 - 8.1.6 ADC 事件源 138
 - 8.1.7 ADC 阶层比较..... 139
 - 8.1.8 中断产生..... 139
 - 8.1.9 ADC 工作模式..... 140

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

8.1.10 停止 AD 工作	143
8.1.11 ADC 工作流程.....	144
8.2 注意事项	146
8.2.1 模拟信号输入引脚电压范围	146
8.2.2 模拟信号输入引脚作 I/O 埠用	146
8.2.3 噪声抑制.....	146
8.3 ADC 寄存器.....	147
9. FLASH 存储控制器(FMC)	156
9.1 FMC 功能叙述.....	156
9.2 FLASH 储存控制寄存器.....	158
9.3 FLASH 保护机制	163
9.4 FLASH 读取.....	164
9.4.1 Flash 读取范例 1.....	164
9.4.2 Flash 读取范例 2.....	165
9.5 FLASH 编程.....	166
9.6 FLASH 扇区擦除(SECTOR ERASE).....	167
9.7 块擦除(BLOCK ERASE)	167
9.8 设备擦除(DEVICE ERASE)	168
9.9 错误位(ERROR)	169
10. EEPROM 控制器(EEC).....	170
10.1 EEC 功能叙述.....	170
10.2 EEPROM 储存控制寄存器	170
10.3 EEPROM 保护机制.....	175
10.4 EEPROM 读取.....	176
10.5 EEPROM 编程.....	177
10.6 EEPROM 扇区擦除(SECTOR ERASE)	178
10.7 块擦除(BLOCK ERASE)	179
10.8 设备擦除(DEVICE ERASE).....	179
10.9 错误位(ERROR)	180
11. 通用 IO.....	181
11.1 I/O 控制寄存器	182

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

11.2 I/O 寄存器	183
11.2.1 P0 端口寄存器	184
11.2.2 P1 端口寄存器	186
11.2.3 P3 端口寄存器	188
11.2.4 P4 端口寄存器	190
12 外围网络互连系统(PNI)	192
12.1 功能叙述	192
12.2 PNIC 控制寄存器	192
12.3 PNIC 功能设定	198
13.定时器/计数器	199
13.1 看门狗定时器(WDT)	199
13.1.1 看门狗定时器架构	199
13.1.2 看门狗定时器控制	200
13.2 时基定时器(TBT)	207
13.2.1 时基定时器架构	207
13.2.2 时基定时器控制	208
13.2.3 时基定时器功能	209
13.3 8/16 位定时器 (TIMER A, TMRA)	211
13.3.1 8/16 位定时器计数器控制	213
13.3.2 低功耗功能	224
13.3.3 定时器功能	225
14.通用异步收发器 (UART)	255
14.1 UART 架构	255
14.2 UART 控制	261
14.3 防止 UARTxCR1 与 UARTxCR2 寄存器改变的保护机制	261
14.4 收发数据格式	262
14.5 红外线数据收发模式	263
14.6 收发波特率 (BAUD RATE)	264
14.6.1 收发波特率计算方法	266
14.6.2 如何以 TMRA 作为 UART 的时钟源	268
14.7 数据取样方法	269

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

14.8 接收数据的噪声抑止	271
14.9 发送/接收工作	272
14.9.1 资料发送工作	272
14.9.2 数据接收工作	272
14.10 状态标帜	273
14.10.1 同位错误标帜	273
14.10.2 数据框错误标帜	274
14.10.3 溢出错误标帜	275
14.10.4 接收缓存器已满标帜	278
14.10.5 发送忙碌标帜	278
14.10.6 发送缓存器已满标帜	279
14.11 接收流程	280
15. 串行总线接口(SBI)/I2C	282
15.1 通信格式	282
15.1.1 I2C 总线	282
15.1.2 通用数据格式	283
15.2 框图	284
15.3 控制	285
15.4 功能	291
15.4.1 低功耗功能	291
15.4.2 选取从属地址配对检测与广播呼叫检测	291
15.4.3 选取数据传输的时钟数与选取应答或单一应答模式	292
15.4.4 串行时钟	295
15.4.5 选取主控/从属	297
15.4.6 选取传输/接收	297
15.4.7 生成开始/停止条件	298
15.4.8 中断服务需求发布与释放	299
15.4.9 设定串行总线接口模式	299
15.4.10 软件复位	300
15.4.11 仲裁丢失检测功能	300
15.4.12 从属地址配对检测	301

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

15.4.13 广播呼叫检测.....	302
15.4.14 最后接收位的监控	302
15.4.15 从属位址与位址辨识模式说明	304
15.5 I2C 总线的数据传输	304
15.5.1 设备初始化	304
15.5.2 开始条件与从属地址产生	304
15.5.3 字数据传输	305
15.5.4 停止条件产生	309
15.5.5 重新启动	310
15.6 AC 规格	312
16 同步串行收发器(SIO).....	314
16.1 框图	314
16.2 控制	315
16.3 低耗电功能.....	318
16.4 功能	318
16.4.1 传送模式	319
16.4.2 串行时钟	319
16.4.3 触发沿选择	320
16.5 传送模式.....	321
16.5.1 8 位传送模式.....	321
16.5.2 8 位接收模式.....	326
16.5.3 8 位传送/接收模式.....	331
16.6 AC 特性.....	336
17 安全功能	337
17.1 循环冗余校验(CYCLIC REDUNDANCY CHECK, CRC)	337
17.1.1 CRC 功能概述.....	337
17.1.2 CRC 控制寄存器	338
17.2 数据正确性确认(DATA INTEGRITY CHECK, DIC).....	341
17.2.1 DIC 功能概述	341
17.2.2 DIC 控制寄存器	342
18 比较器	345

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

18.1 比较器功能概述.....	345
18.2 比较器控制寄存器	346
附录 A. 仿真调适功能(ON-CHIP DEBUG)	348
附录 B. 产品型号信息	350
附录 C. 封装信息	351
附录 D. 使用注意事项	353
修改记录	356

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

2. 产品简介

SQ7653 为汉芝电子 SQ8E 自有核心 Flash 产品，内含 48K Flash 与 8K EEPROM，支持 Dual Operation。具有 12 位仿真数字转换器 (ADC)、比较器、高精度内部高频振荡器 ($\pm 1.5\%$ ， $-20\sim 70^{\circ}\text{C}$)、精准的低电压检测 (LVD)、低功耗模式(深眠模式下 1.8uA(typ.)。有丰富周边功能，包含：5 组 8/16 位定时器 (具计数器、外部触发、PWM/PPG 功能、其中 3 组具死区互补 PWM 输出)、3 组 UART、1 组 I2C、1 组 SIO、，最高工作频率 24MHz。封装种类为 LQFP32(7x7)、SOP28，适用于家电、工控、一般消费电子等产品使用。

2.1 功能特性

◆ 基本信息

- 工作电压范围: 2.0V ~ 5.5V
- 工作温度范围: $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$
- 最高工作频率 24 MHz
- 指令集完全兼容于 Toshiba TLCS-870/C1

◆ 存储器配置

- EEPROM 8K Bytes (32bytes / sector)
- Code Flash 48K Bytes (512bytes / sector)
- EEPROM与Code Flash支持dual operation
- RAM 2048 Bytes

◆ 低功耗系统

- 普通模式 4.0 mA @ 5V (@24MHz)
- 深眠模式 1.8 uA @ 5V，掉电复位，CPU以及RAM为保持模式

◆ 多样化系统时钟源

- 支援外部高速晶振/陶振 1~16 MHz
- 支援外部低速晶振/陶振 32.768 KHz
- 具有外部时钟输入功能
- 以锁相环(PLL)实现最高工作频率 24 MHz,
- 内部低速时钟 32KHz

◆ I/O

- 29个I/O引脚
- 10个外部中断输入(EINT0~EINT9)
- 10个唤醒输入(KW10~KW19)

◆ 定时器/计数器

- 5个8/16位定时器 (Timer A)
- 时基定时器 (Time Base Timer)
- 看门狗定时器 (WDT)

◆ 12位ADC

- 8个输入埠
- 1个ADC外部参考电压源选择

◆ 低电压检测 (LVD)系统

- 共8级

◆ 掉电复位检测(BROR)

- 1.9V

◆ 比较器1组

◆ 通讯

- 3组UART
- 1组 SIO
- 1组I2C (400KHz)

◆ 封装形式

- LQFP32 7x7
- SOP28

◆ 应用项目

- 家电应用
- 工业控制
- 消费性电子

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

2.2 重点说明

产品核心使用 870E 指令集架构，为一高效节能运算核心，其可变长度指令集提供 38 组核心指令，9 种寻址模式，指令操作码长度从 1 位到 5 位，一般指令多为 2 至 4 位。

产品核心为三阶管线设计，指令队列以及核心功能单元可于单周期中频繁执行指令，哈佛结构可使系统同时取出指令以及数据存取，特定硬件专门处理指令与数据对齐，增进工作效能。

内置 48K Bytes Code Flash、8K Bytes EEPROM、2K Bytes RAM、多样的 I/O 端口功能、多组定时器与计数器、时钟产生器、12 位 ADC。多种内部与外部时钟源可根据用户所需频率选取，亦可支持数字外设以及精准模拟特性，用户可依性能、耗电等不同需求进行工作模式的优化调整。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

产品型号	SQ7653LQ032PGLR
脚位数 (IO 数)	32 (29)
工作电压	2.0~5.5V
工作温度	-40~85C
外部唤醒	10
Flash 容量 /烧写次数	48K Bytes/10 万次
EEPROM 容量/烧写次数	8K Bytes/10 万次
RAM	2K Bytes
ADC	12-bit x 8-CH (VDD,外)
中断	外部: 10 内部: 26
内部晶振 / 精准度	24MHz +/- 1% @ 0~50C +/- 1.5% @ -20~70C +/- 3% @ -40~85C
外部晶振	1~16MHz 或 32768Hz
BROR	1 级
低电压检测	8 级 (+/- 3%)*2
定时器/ 计数器	8/16-bit x 5
	WDT,TBT
PWM/PPG	8/16-bit Timer x5
传输	UART x 3, SIO x 1 I2C x 1
在线仿真	有
封装	LQFP32(7x7)

Note 1: 「VDD」表示 ADC 使用 VDD 为内部参考电压;「外」表示 ADC 使用外部参考电压。

Note 2: SQ 系列产品具 8 级 LVD, 精准度最小可达±3%, 各级的详细规格请参阅产品规格书。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

2.3 系统模块图

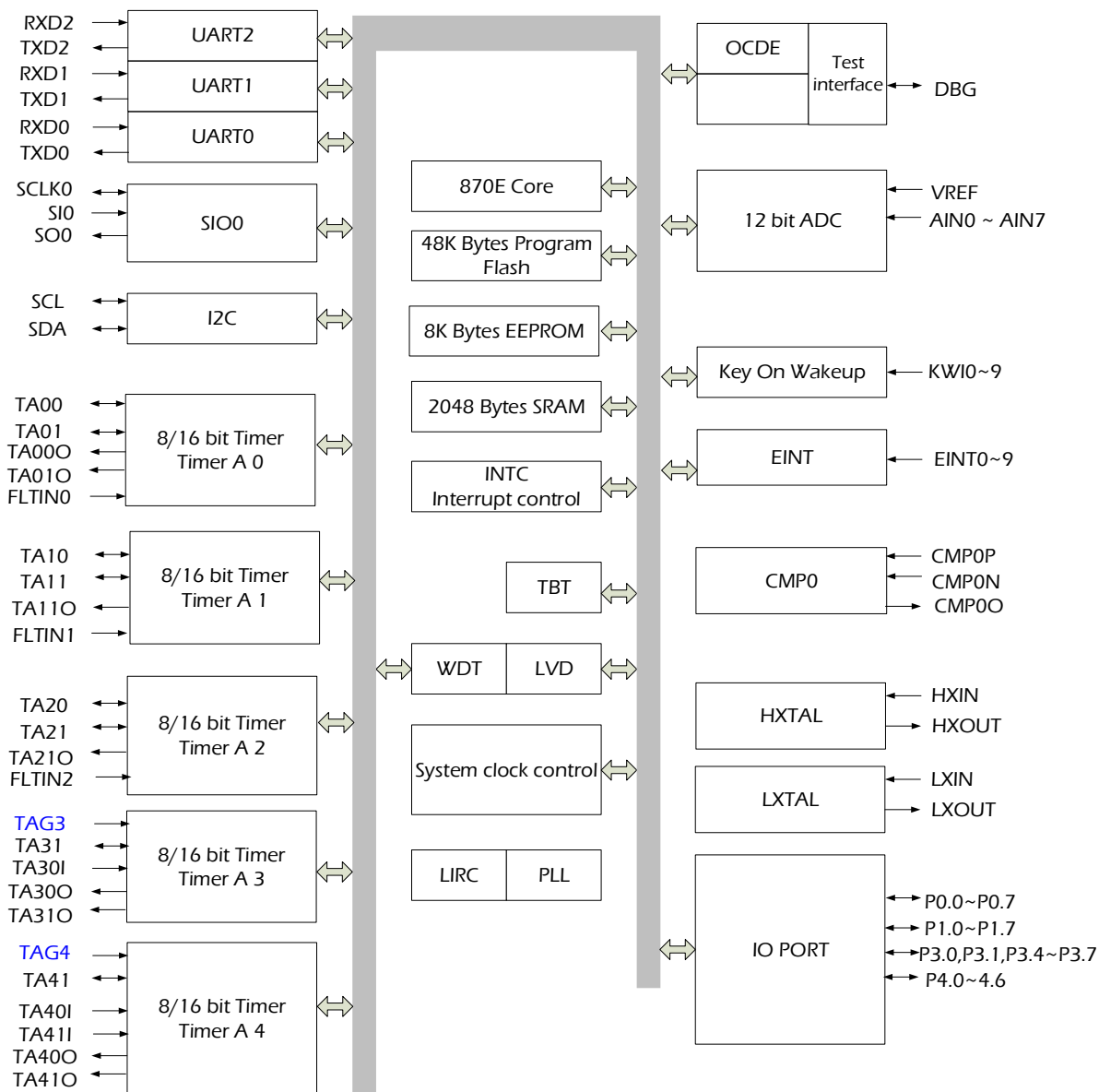


图 2.1 SQ7653系统模块图

1. 仅Timer A0~ A3 具FLTIN功能。
2. Timer A 为8/16 bit 定时器/计数器功能；以Timer A 0为例: TA00为定时器/计数器的输入/输出、TA00O为Timer A00输出功能。
3. TAG3 可选择TA30I或TA31I功能；TAG4 可选择TA40I或TA41I功能。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

2.4 引脚配置/说明

產品型號: SQ7653LQ032PGLR (LQFP32 封装)

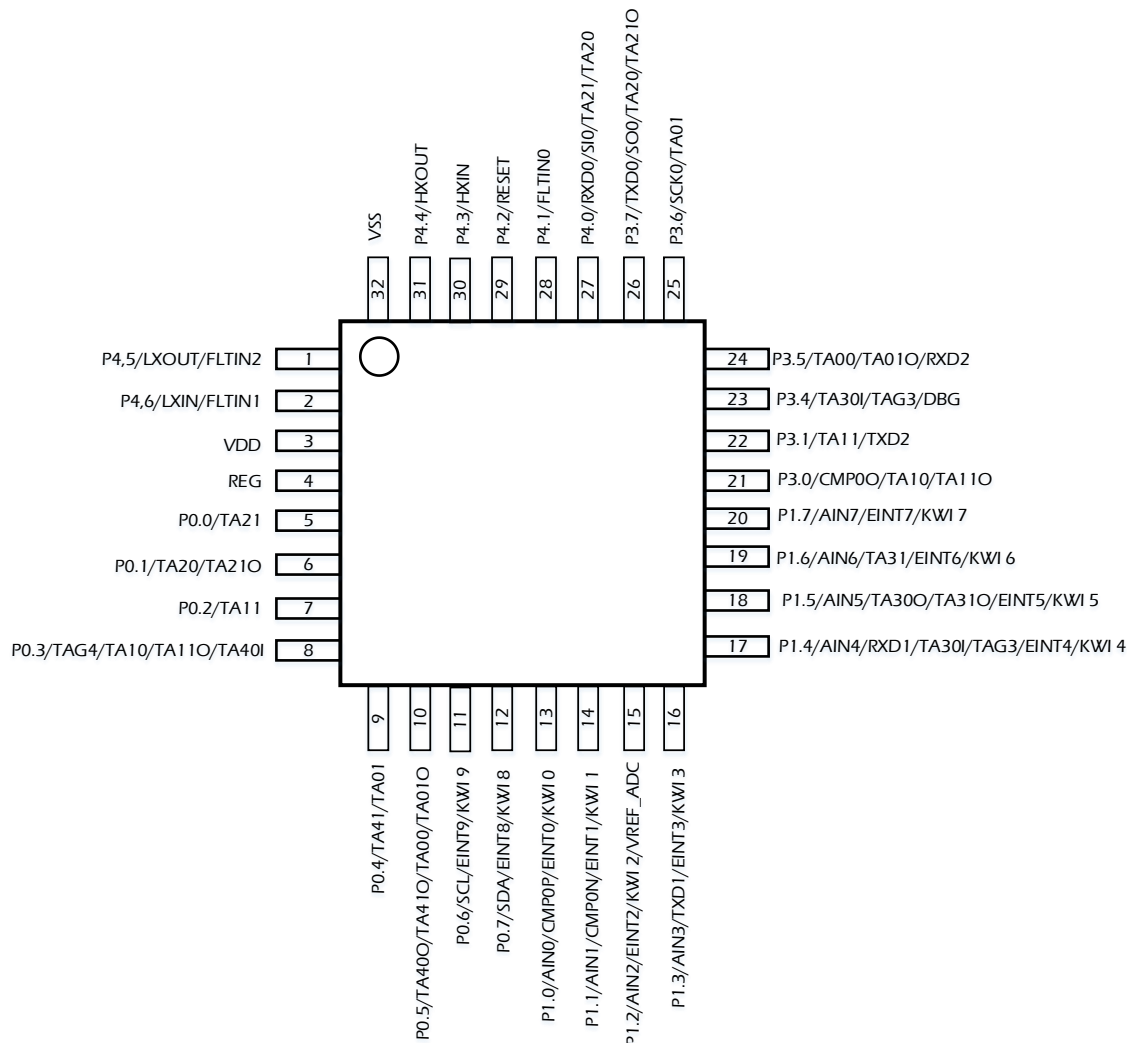


图 2-3 LQFP-32 封装型态引脚配置

注 1：SQ7653 支持 4 线仿真，4 线仿真需连接 P3.4/DBG、P4.2/RESET、VDD、VSS。客户在系统板上所预留之仿真脚位，请参考外部参考线路图进行设计，不建议增加其它元器件以免影响仿真特性或功能。

注 2：SQ7653 烧录以 4 线 OCDE 脚位脚位进行，客户在系统板上所预留之烧录脚位，请参考下图外部参考线路进行设计，不建议增加其它元器件以免影响烧录特性或功能。4 线 OCDE 脚位：相同于仿真脚位(P3.4/DBG、P4.2/RESET、VDD、VSS)。烧录单颗 IC 内的 48KByte 程序空间所需时间约 7 秒。iMQ 仿真器(MQ-Link)与烧录器(Flash Writer)支持此种烧录模式。

注 3：Timer A 为 8/16 bit 定时器/计数器功能；以 TimerA 0 为例：TA00 为定时器/计数器的输入/输出、TA00O 为 Timer A00 输出功能。

注 4：仅 Timer A0~ A3 具 FLTIN 功能。

注 5：TAG3 可选择 TA30I 或 TA31I 功能；TAG4 可选择 TA40I 或 TA41I 功能。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

產品型號: SQ7653SP028PGLR (SOP28 封装)

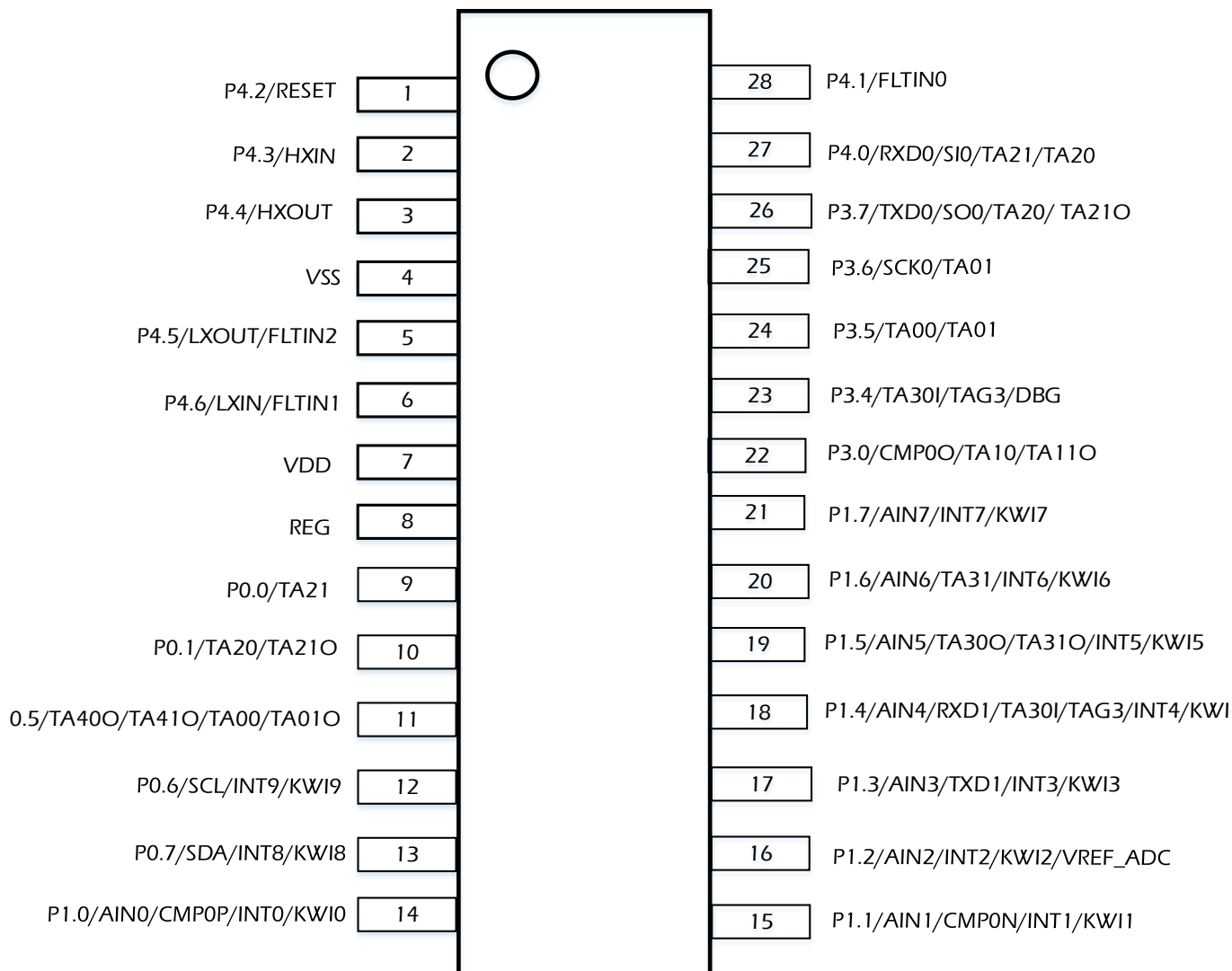


图 2-4 SOP-28 封装型态引脚配置

注 1 : SQ7653 支持 4 线仿真，4 线仿真需连接 P3.4/DBG、P4.2/RESET、VDD、VSS。客户在系统板上所预留之仿真脚位，请参考外部参考线路图进行设计，不建议增加其它元器件以免影响仿真特性或功能。

注 2 : SQ7653 烧录以 4 线 OCDE 脚位脚位进行，客户在系统板上所预留之烧录脚位，请参考下图外部参考线路进行设计，不建议增加其它元器件以免影响烧录特性或功能。4 线 OCDE 脚位：相同于仿真脚位(P3.4/DBG、P4.2/RESET、VDD、VSS)。烧录单颗 IC 内的 48KByte 程序空间所需时间约 7 秒。iMQ 仿真器(MQ-Link)与烧录器(Flash Writer)支持此种烧录模式。

注 3 : Timer A 为 8/16 bit 定时器/计数器功能；以 TimerA 0 为例: TA00 为定时器/计数器的输入/输出、TA00O 为 Timer A00 输出功能。

注 4 : 仅 Timer A0~ A3 具 FLTIN 功能。

注 5 : TAG3 可选择 TA30I 或 TA31I 功能；TAG4 可选择 TA40I 或 TA41I 功能。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

32 Pin.	28 Pin	引脚名称与 端口/选择功能	输入输出I/O类型		功能说明
1	5	P4.5/LXOUT/FLTIN2	I/O (Type B)	上拉 下拉 外部晶振连接 (低频)	P4.5为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 LXOUT外部晶振(低频)输出、FLTIN2- 8/16 定时器/计数器Fault输入脚位与P4.5共享引脚。
2	6	P4.6/LXIN/ FLTIN1	I/O (Type B)	上拉 下拉 外部晶振连接 (低频)	P4.6为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 LXIN外部晶振(低频)输入脚位、FLTIN18/16 定时器/计数器Fault 输入脚位与P4.6共享引脚。
3	7	VDD	Power	-	电源输入。VDD引脚请外接加0.1uF
4	8	REG	C (Type C)		电容引脚。REG引脚请外接1uF
5	9	P0.0/TA21	I/O (Type A)	上拉 下拉 8/16位定时器	P0.0为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 TA21-Timer A2 8/16位定时器/计数器输入输出引脚与P0.0共享引脚。
6	10	P0.1/TA20/TA21O	I/O (Type A)	上拉 下拉 8/16位定时器	P0.1为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 TA20-8/16位定时器/计数器输入输出引脚、TA21O-8/16位定时器/计数器输出引脚与P0.1共享引脚。
7	-	P0.2/TA11	I/O (Type A)	上拉 下拉 8/16位定时器	P0.2为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 TA11- 8/16位定时器/计数器输入输出引脚与P0.2共享引脚。
8	-	P0.3/TAG4/TA10/TA11O/ TA40I	I/O (Type A)	上拉 下拉 8/16位定时器	P0.3为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 TAG4- Timer A4输入引脚(可选择TA40I 或TA41I-8/16位定时器/计数器输入)、TA10-8/16位定时器/计数器输入输出引脚、TA11O- 8/16位定时器/计数器输出引脚、TA40I- 8/16位定时器/计数器输入引脚与P0.3共享引脚。
9	-	P0.4/TA41/ TA01	I/O (Type A)	上拉 下拉 8/16位定时器	P0.4为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 TA41-8/16位定时器/计数器输入输出引脚、TA01-8/16位定时器/计数器输入输出引脚与P0.4共享引脚。
10	11	P0.5/TA40O/TA41O/TA00/T A01O	I/O (Type A)	上拉 下拉 8/16位定时器	P0.5为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 TA40O-8/16位定时器/计数器输出引脚、TA41O-8/16位定时器/计数器输出引脚、TA00-8/16位定时器/计数器输入输出引脚、TA01O-8/16位定时器/计数器输出引脚与P0.5共享引脚。
11	12	P0.6/SCL/EINT9/KW19	I/O (Type A)	上拉 下拉 外部中断 唤醒输入 Open drain	P0.6为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 I2C 引脚 SCL、外部中断 EINT9、唤醒输入KW19与P0.6共享引脚。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

32-Pin.	28-Pin	引脚名称与 端口/选择功能	输入输出I/O类型		功能说明
12	13	P0.7/SDA/EINT8/KW18	I/O (Type A)	上拉 下拉 外部中断 唤醒输入 Open drain	P0.7为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 I2C 引脚 SDA、外部中断EINT8、唤醒输入KW18与P0.7共享引脚。
13	14	P1.0/AIN0/CMP0P/EINT0/KW10	I/O (Type D)	上拉 下拉 外部中断 唤醒输入 ADC 输入 比较器输入	P1.0为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 比较器输入CMP0P、ADC输入AIN0、外部中断EINT0、唤醒输入KW10与P1.0共享引脚。
14	15	P1.1/AIN1/CMP0N/EINT1/KW11	I/O (Type D)	上拉 下拉 ADC 输入 比较器输入 外部中断 唤醒输入	P1.1为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 比较器输入CMP0N、ADC输入AIN1、外部中断 EINT1、唤醒输入KW11与P1.1共享引脚。
15	16	P1.2/AIN2/EINT2/KW12/ VREF_ADC	I/O (Type D)	上拉 下拉 ADC 输入 外部中断 唤醒输入	P1.2为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN2、VREF_ADC、外部中断EINT2、唤醒输入KW12与P1.2共享引脚。
16	17	P1.3/AIN3/TXD1/EINT3/KW13	I/O (Type D)	上拉 下拉 ADC 输入 外部中断 唤醒输入 UART	P1.3为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN3、数据输出引脚TXD1、外部中断EINT3、唤醒输入KW13与P1.3共享引脚。
17	18	P1.4/AIN4/RXD1/TA30I/TAG3/EINT4/KW14	I/O (Type D)	上拉 下拉 ADC 输入 UART 外部中断 唤醒输入	P1.4为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN4、数据输入引脚RXD1、TA30I-8/16位定时器/计数器输入引脚、TAG3- Timer A3输入引脚(可选择TA30I 或TA31I-8/16位定时器/计数器输入)、外部中断EINT4、唤醒输入KW14与P1.4共享引脚。
18	19	P1.5/AIN5/TA30O/TA31O/EINT5/KW15	I/O (Type D)	上拉 下拉 外部中断 唤醒输入 ADC 输入	P1.5为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN5、TCA30O-8/16位定时器/计数器输出引脚、TCA31O-8/16位定时器/计数器输出引脚、外部中断EINT5、唤醒输入 KW15与P1.5共享引脚。
19	20	P1.6/AIN6/TA31/EINT6/ KW16	I/O (Type D)	上拉 下拉 ADC 输入 外部中断 唤醒输入	P1.6为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN6、TCA31-8/16位定时器/计数器输入输出引脚、外部中断EINT6、唤醒输入 KW16与P1.6共享引脚。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

32-Pin.	28-Pin	引脚名称与端口/选择功能	输入输出I/O类型		功能说明
20	21	P1.7/AIN7/EINT7/KWI7	I/O (Type D)	上拉 下拉 ADC 输入 外部中断 唤醒输入	P1.7为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN7、外部中断 INT7、唤醒输入KWI7与P1.7共享引脚。
21	22	P3.0/CMP00/TA10/TA11O	I/O (Type A)	上拉 下拉 比较器输出	P3.0为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 比较器输出 CMP00、TA10-8/16位定时器/计数器输入输出引脚、TA11O-8/16位定时器/计数器输出引脚与P3.0共享引脚。
22	-	P3.1/TA11/(TXD2) ^注	I/O (Type A)	上拉 下拉 UART	P3.1为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 TA11-8/16位定时器/计数器输入输出引脚、UART数据输出引脚 TXD2与P3.1共享引脚。
23	23	P3.4/ TA30I/TAG3/ DBG	I/O (Type A)	上拉 下拉 DBG	P3.4为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 TA30I-8/16位定时器/计数器输入引脚、TAG3- Timer A3输入引脚(可选择TA30I 或TA31I-8/16位定时器/计数器输入)、DBG-在线烧录与P3.4共享引脚。 P3.4设定为GPIO或OCD的方法·请参考“附录D.使用注意事项”
24	24	P3.5/TA00/TA01O/(RXD2) ^注	I/O (Type A)	上拉 下拉 UART	P3.5为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 TA00-8/16位定时器/计数器输入输出引脚、TA01O-8/16位定时器/计数器输出引脚、UART数据输入引脚RXD2与P3.5共享引脚。
25	25	P3.6/SCK0/TA01	I/O (Type A)	上拉 下拉 UART SIO	P3.6为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 SIO 时钟输出引脚 SCK0、TA01-8/16位定时器/计数器输入输出引脚与P3.6共享引脚。
26	26	P3.7/TXD0 /SO0/TA20/TA21O	I/O (Type A)	上拉 下拉 UART SIO	P3.7为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 UART数据输出引脚 TXD0、SIO数据输出引脚 SO0、TA20-8/16位定时器/计数器输入输出引脚、TA21O-8/16位定时器/计数器输出引脚与P3.7共享引脚。
27	27	P4.0/RXD0 /SIO/TA21/TA20	I/O (Type A)	上拉 下拉 UART SIO	P4.0为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 UART数据输入引脚 RXD0、SIO-SIO输入引脚、TA21-8/16位定时器/计数器输入输出引脚、TA20-8/16位定时器/计数器输入输出引脚与P4.0共享引脚。
28	28	P4.1/ FLTIN0	I/O (Type A)	上拉 下拉	P4.1为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 FLTIN0-8/16 定时器/计数器Fault 输入脚位与P4.1共享引脚。
29	1	P4.2/RESET	I/O (Type A)	上拉	P4.2为双向可编程I/O端口·可以软件编程设定连接引脚内置上拉电阻。 Reset与P4.2共享引脚。Reset为低电平有效 (low-active)

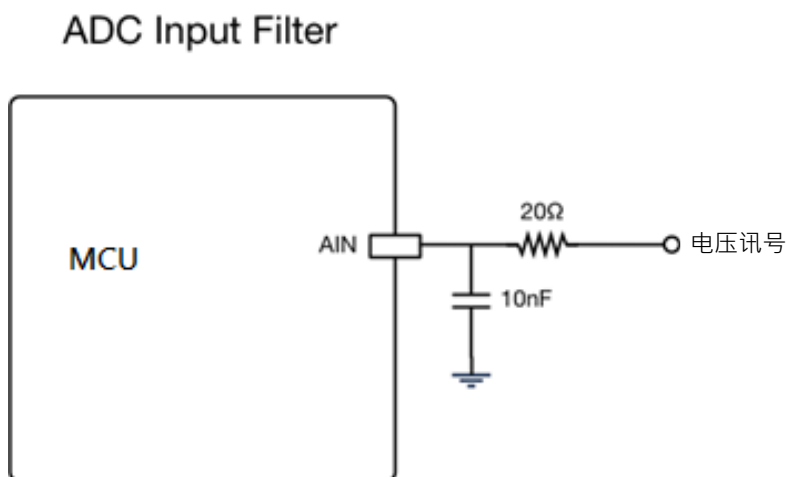
No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

32-Pin.	28-Pin	引脚名称与端口/选择功能	输入输出I/O类型		功能说明
30	2	P4.3/HXIN	I/O (Type B)	上拉 下拉 外部晶振连接 (高频)	P4.3为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 HXIN外部晶体(高频)振荡器连接输入引脚与P4.3共享引脚。
31	3	P4.4/HXOUT	I/O (Type B)	上拉 下拉 外部晶振连接 (高频)	P4.4为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 HXOUT外部晶体(高频)振荡器输出引脚与P4.4共享引脚。
32	4	VSS	GND	-	接地

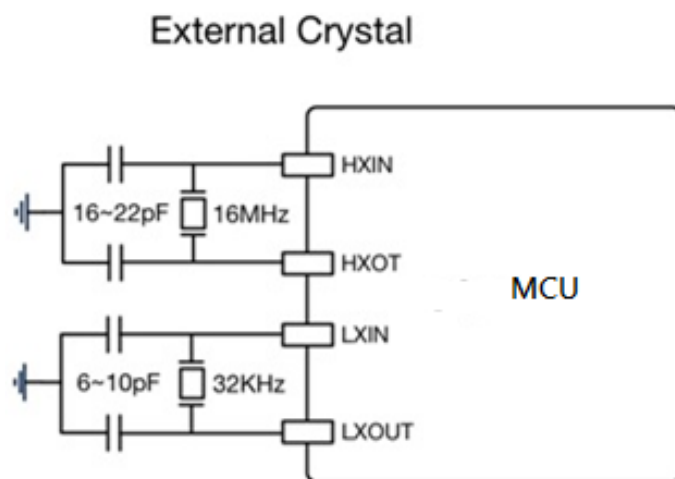
注：仅 32-pin 产品支持 RXD2/TXD2 功能。

以下为在使用 SQ7653 产品时建议的外部参考线路，若使用到相关引脚功能时，请参考所对应的接线建议：

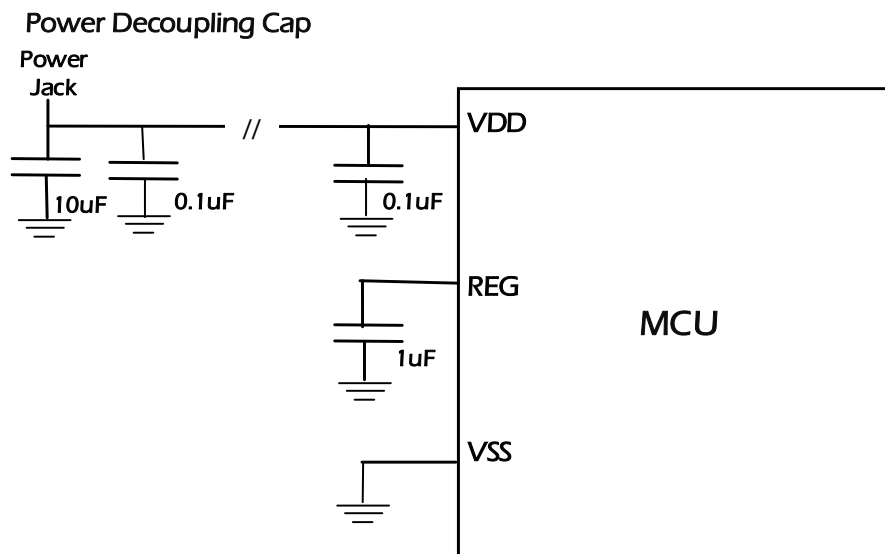
1. 进行 ADC 输入滤波：



2. 使用外部参考时钟引脚：

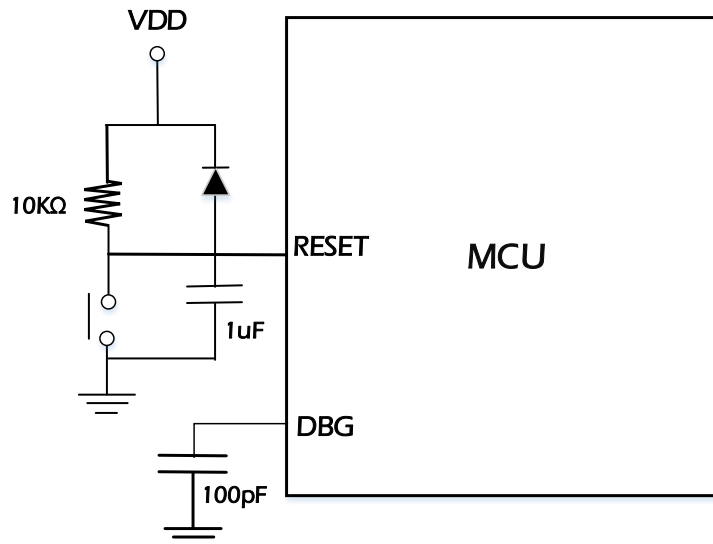


3. 电源去耦(power decoupling) :



注：上图近 IC 端(VDD)的 0.1uF,应该尽可能靠近 IC

4. 复位引脚与仿真引脚 :



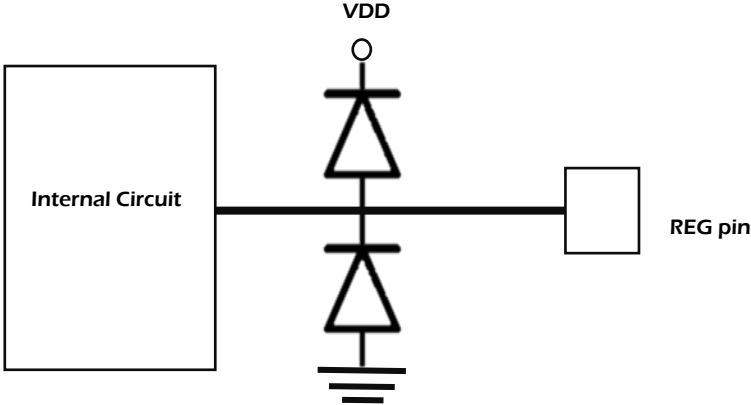
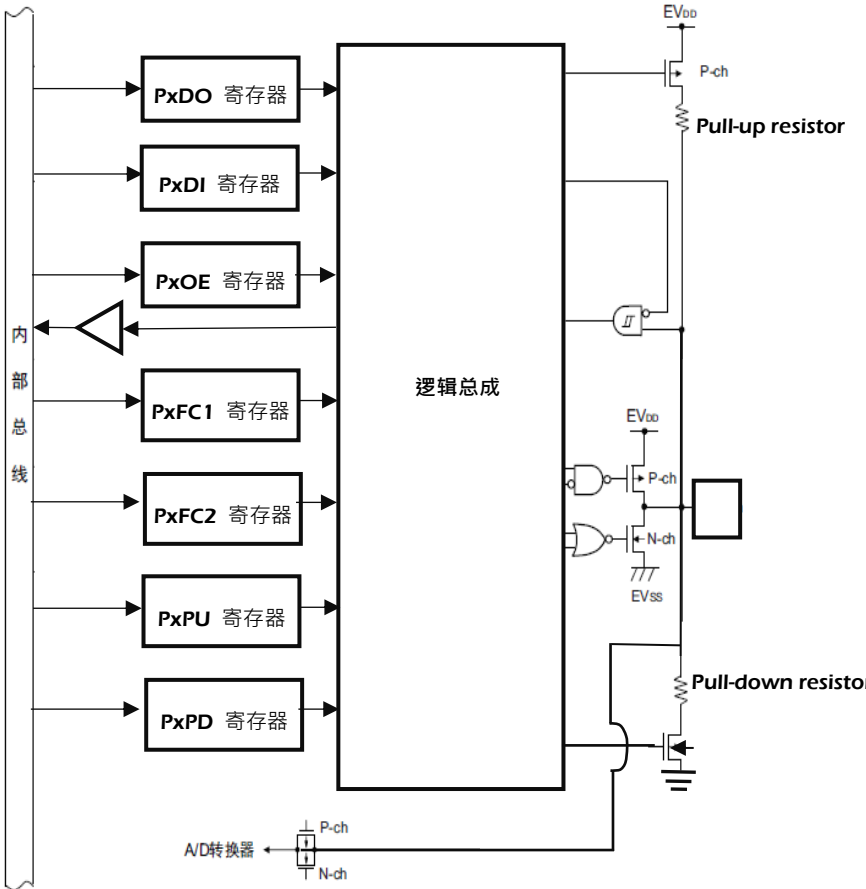
No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

2.5 I/O 线路图

I/O类型	I/O线路图	叙述
Type A		<p>GPIO(无ADC 输入功能) DBG引脚 RESET引脚</p>

I/O类型 (Circuit Type)	I/O线路图	叙述
Type B	<p>The diagram illustrates the internal circuitry for Type B I/O. On the left, an '内部总线' (Internal Bus) connects to a series of registers: PxDO, PxDI, PxOE, PxFC1, PxFC, PxPU, and PxPD. These registers are connected to a central '逻辑总成' (Logic Core). The core's outputs are connected to various drivers and transistors. Specifically, it shows an output driver for P4.5/LXOUT, which includes an N-channel MOSFET and a P-channel MOSFET with a resistor. Another output driver for P4.6/LXIN is also shown, featuring an N-channel MOSFET and a P-channel MOSFET with a resistor. The circuit also includes inverters and other logic components.</p>	C

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

I/O类型 (Circuit Type)	I/O线路图	叙述
Type C		REG 引脚
Type D		GPIO(具ADC 输入功能)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

3.电气特性

3.1 极限参数

单片机操作时切勿超过以下任一项极限参数值。即使仅是极短时间，也可能造成单片机损坏或性能衰退，严重者可能导致起火或爆炸、造成伤害。因此，请确保采用本单片机设计开发之产品，或系统不超过以下极限参数值。

($V_{SS} = 0V$)

参数	符号	引脚	极限参数	单位
工作电压范围	V_{DD}	—	-0.3 to 6.0	V
输入电压范围	V_{IN}	全部数位元引脚	-0.3 to $V_{DD}+0.3$	V
最大输出电流(总和)	—	全部 I/O 引脚	100	mA
储存温度范围	T_{STG}	—	-50 to 125	°C

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

3.2 工作条件

以下定义出当装置于电压及温度最大/最小值运行时其电气特性。除非另有说明，否则标准条件是在「室温 25°C及标准工作电压 $V_{DD}=5V$ 」下测定而得。

3.2.1 工作条件

参数	符号	测试条件	最小	标准	最大	单位
工作电压	V_{DD}	-	2.0	-	5.5	V
模拟工作电压	V_{DDA}	-	2.0	-	5.5	V
工作温度	T_a	-	-40	25	85	°C

3.2.2 时钟源

参数	符号	测试条件	最小	标准	最大	单位
外部时钟源						
外部低速时钟	f_{LXIN}	-	-	32768	-	Hz
外部高速时钟	f_{XIN}	-	1	-	16	MHz
内部时钟源						
内部高速时钟 (PLL) (注 1)	f_{PLL}	$T_A = 25^\circ C$	- 1%	24	+ 1%	MHz
		$T_A = 0 \sim 50^\circ C$ (注 2)	- 1%	24	+ 1%	
		$T_A = -20 \sim 70^\circ C$ (注 2)	- 1.5%	24	+ 1.5%	
		$T_A = -40 \sim 85^\circ C$	- 2%	24	+ 2%	
内部低速时钟	f_{LIRC}	$T_A = 25^\circ C$	-15%	32	+ 15%	kHz
		$T_A = -40 \sim 85^\circ C$	-30%	32	+ 30%	

注 1 : PLL 来源可为外部晶振(HXTAL) , 以外部晶振(HXTAL)作为 PLL 来源时 , 外部晶振需为 8MHz。

注 2 : 此规格为 $V_{DD} = 5V \pm 10\%$ (即 4.5~5.5V) 条件下。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

3.2.3 I/O 特性

参数	符号	测试条件	最小	标准	最大	单位
低电压输入	V_{IL}	-	0	-	0.25 VDD	V
高电压输入	V_{IH}	-	0.75 VDD	-	VDD	V
端口引脚之低电压输出	V_{OL1}	PODSEL=0, IOL=5mA, VDD=5V	-	-	0.6	V
	V_{OL2}	PODSEL=1, IOL=10mA, VDD=5V	-	-	0.6	V
端口引脚之高电压输出	V_{OH1}	PODSEL=0, IOH=1.75mA, VDD=5V	VDD-0.6	-	-	V
	V_{OH2}	PODSEL=1, IOH=3.5mA, VDD=5V	VDD-0.6	-	-	V
低电平输出电流	I_{OL1}	PODSEL=0, $V_o=0.1*VDD, VDD=5V$	6	13.5		mA
		PODSEL=0, $V_o=0.3*VDD, VDD=5V$	15	31		mA
	I_{OL2}	PODSEL=1, $V_o=0.1*VDD, VDD=5V$	12	27		mA
		PODSEL=1, $V_o=0.3*VDD, VDD=5V$	24	54		mA
高电平输出电流	I_{OH1}	PODSEL=0, $V_o=0.9*VDD, VDD=5V$	2.5	4.8		mA
		PODSEL=0, $V_o=0.7*VDD, VDD=5V$	6.5	12		mA
	I_{OH2}	PODSEL=1, $V_o=0.9*VDD, VDD=5V$	5	9.6	-	mA
		PODSEL=1, $V_o=0.7*VDD, VDD=5V$	13	24	-	mA
上拉电阻	R_{PULLUP}	连接内置上拉电阻	10	20	40	k Ω
下拉电阻	R_{PULLDN}	连接内置下拉电阻	10	20	40	k Ω

注 1: 设定 PODSEL, 可选择管脚驱动力。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

参数	符号	测试条件	最小	标准	最大	单位
低电压输入	V_{IL}	-	0	-	0.25 VDD	V
高电压输入	V_{IH}	-	0.75 VDD	-	VDD	V
端口引脚之低电压输出	V_{OL1}	PODSEL=0, IOL=2.5mA, VDD=3.3V	-	-	0.4	V
	V_{OL2}	PODSEL=1, IOL=5mA, VDD=3.3V	-	-	0.4	V
端口引脚之高电压输出	V_{OH1}	PODSEL=0, IOH=0.75mA, VDD=3.3V	VDD-0.6	-	-	V
	V_{OH2}	PODSEL=1, IOH=1.5mA, VDD=3.3V	VDD-0.6	-	-	V
低电平输出电流	I_{OL1}	PODSEL=0, $V_o=0.1*VDD, VDD=3.3V$	2.5	6.7		mA
		PODSEL=0, $V_o=0.3*VDD, VDD=3.3V$	7	15		mA
	I_{OL2}	PODSEL=1, $V_o=0.1*VDD, VDD=3.3V$	5	13.4		mA
		PODSEL=1, $V_o=0.3*VDD, VDD=3.3V$	14	30		mA
高电平输出电流	I_{OH1}	PODSEL=0, $V_o=0.9*VDD, VDD=3.3V$	1	2.4		mA
		PODSEL=0, $V_o=0.7*VDD, VDD=3.3V$	3	5.8		mA
	I_{OH2}	PODSEL=1, $V_o=0.9*VDD, VDD=3.3V$	2	4.8	-	mA
		PODSEL=1, $V_o=0.7*VDD, VDD=3.3V$	6	11.6		mA
上拉电阻	R_{PULLUP}	连接内置上拉电阻	10	20	40	kΩ
下拉电阻	R_{PULLDN}	连接内置下拉电阻	10	20	40	kΩ

注 1：设定 PODSEL，可选择管脚驱动力。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

3.3 直流(DC)特性

Operating @ 5V, Ta= -40~85°C						
参数	符号	测试条件	最小	标准	最大	单位
普通模式 (由 Flash 执行)	I _{DD_N0}	系统时钟为 PLL(时钟源为内部高速时钟) fsysclk= 24MHz (fsysclk=PLL 24MHz)	-	4.0	-	mA
	I _{DD_N1}	系统时钟为外部高速时钟 (HXTAL) fsysclk=16MHz (fsysclk=HXTAL 16MHz)	-	3.6	-	mA
	I _{DD_N2}	系统时钟为内部低速时钟 (LIRC) fsysclk=32KHz (fsysclk=LIRC 32KHz)	-	0.4	-	mA
	I _{DD_N3}	系统时钟为外部低速时钟 (LXTAL) fsysclk=32768Hz (fsysclk=LXTAL 32768Hz)	-	0.4	-	mA
睡眠模式 (CPU 时钟停止运行)	I _{DD_SL0}	系统时钟为 PLL(时钟源为内部高速时钟) fsysclk= 24MHz (fsysclk=PLL 24MHz)	-	2.2	-	mA
	I _{DD_SL1}	系统时钟为外部高速时钟 (HXTAL) fsysclk=16MHz (fsysclk=HXTAL 16MHz)	-	1.6	-	mA
	I _{DD_SL2}	系统时钟为内部低速时钟 (LIRC) fsysclk=32KHz (fsysclk=LIRC 32KHz)	-	0.4	-	mA
	I _{DD_SL3}	系统时钟为外部低速时钟 (LXTAL) fsysclk=32768Hz (fsysclk=LXTAL 32768Hz)	-	0.4	-	mA
深眠模式 (CPU 以及 RAM 为保持模式)	I _{DD_DS0}	LIRC 恒开, 其他所有功能都关闭	-	1.8	-	uA

Operating @ 5V, Ta= 25°C						
参数	符号	测试条件	最小	标准	最大	单位
深眠模式 (CPU 以及 RAM 为保持模式)	I _{DD_DS0}	LIRC 恒开, 其他所有功能都关闭	-	1.8	-	uA

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

3.4 上电复位电气特性

Ta=40~85°C					
符号	叙述	最小	标准	最大	单位
tPPW	上电复位最小脉宽 Power-on reset minimum pulse width	1	-	-	ms
tPWUP	上电复位后到 CPU ready 时间 Warming-up time after a reset is clear and CPU ready	-	4	-	ms
tVDD	上电时间 Power supply rise time	0.5		5	ms

注: 此 tPWUP 不包含 BOOTROM code 执行时间。

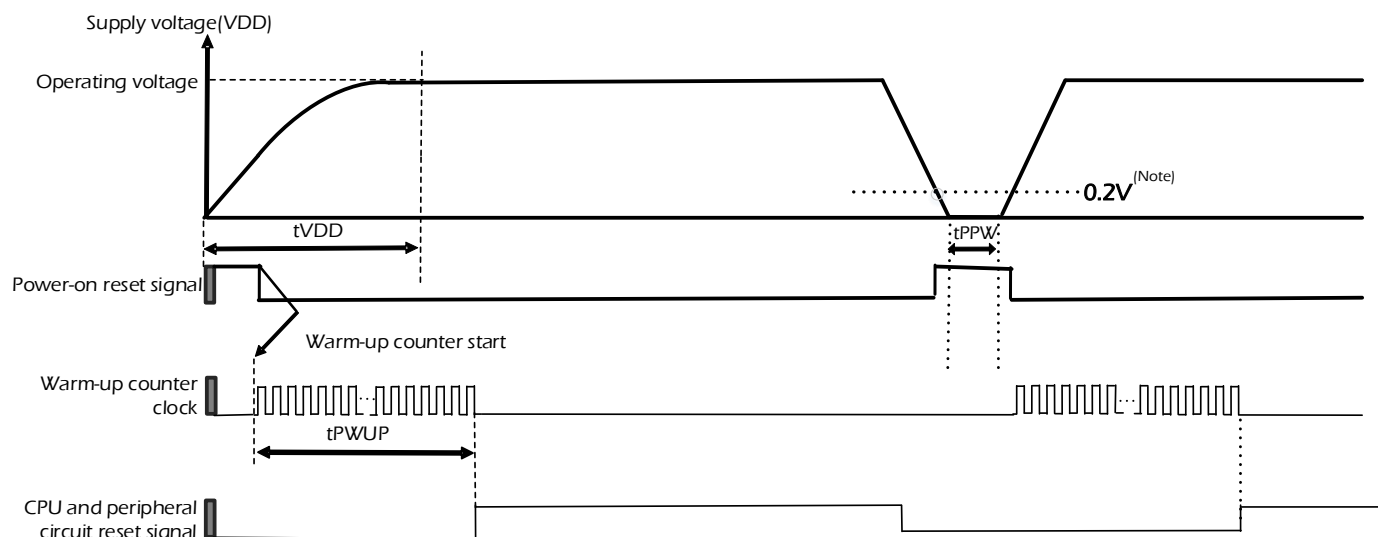


图 3-1 上电复位时序图

Note : 当系统下电时，电压需低于 0.2V 再重新上电，才能确保重新上电后的 IC 动作正常。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

3.5 BROR 电气特性

Ta=-40~85°C						
参数	符号	测试条件	最小	标准	最大	单位
BROR detected voltage	VBROR_Rising	VDD rise time and fall time > tVDD (tVDD please refer to ch3.4 POR characteristics)	1.95	2.0	2.05	V
	VBROR_Falling		1.85	1.90	1.95	V

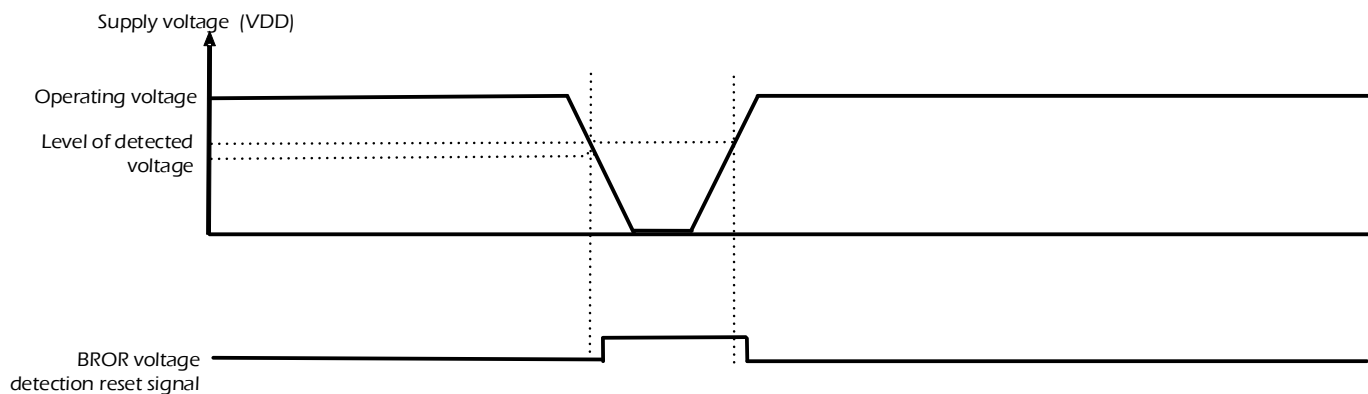


图 3-2 BROR 复位

Note : 当发生 BROR 时，请勿再执行任何动作。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

3.6 LVD 电气特性

Ta=-40~85°C						
参数	符号	测试条件	最小	标准	最大	单位
LVD 检测电压 0	VD0LVL1	Falling Mode, LVD0CFG=000 (Note)	1.94	2.00	2.06	V
	VD0LVL2	Falling Mode, LVD0CFG =001	2.28	2.35	2.42	V
	VD0LVL3	Falling Mode, LVD0CFG =010	2.57	2.65	2.73	V
	VD0LVL4	Falling Mode, LVD0CFG =011	2.76	2.85	2.94	V
LVD 检测电压 1	VD1LVL1	Falling Mode, LVD1CFG=100	3.06	3.15	3.24	V
	VD1LVL2	Falling Mode, LVD1CFG=101	3.86	3.98	4.10	V
	VD1LVL3	Falling Mode, LVD1CFG =110	4.07	4.20	4.33	V
	VD1LVL4	Falling Mode, LVD1CFG =111	4.37	4.50	4.64	V

符号	叙述	最小	标准	最大	单位
tVLTON	Voltage detecting detection response time	-	1	10	us

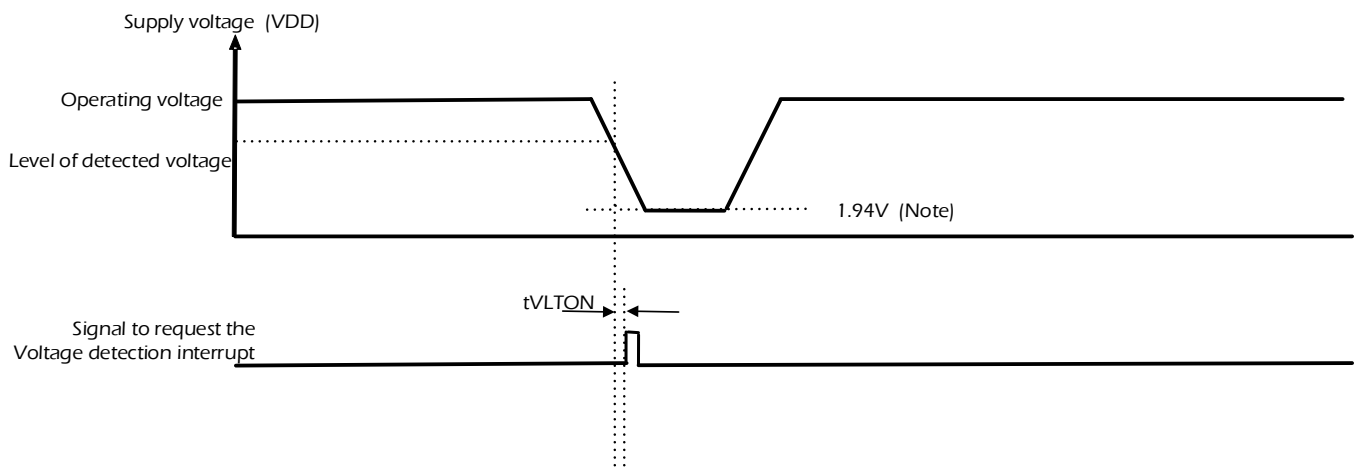


图 3-3 LVD 中断

Note : 可能会触发 BROR

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

3.7 ADC 电气特性

VREF_ADC=VDD 4.5V ≤ VDD ≤ 5.5V, T _A = -40~85°C					
参数	符号	最小	标准	最大	单位
分辨率	RES _{ADC}	-	12	-	bits
最大转换速率	f _{ADC}	-	-	470	KSPS
微分非线性误差(DNL)	DNL _{ADC}	-	-	±2.5	LSB
积分非线性误差(INL)	INL _{ADC}	-	-	±3.5	LSB
绝对增益精度	E _{GAIN}	-	-	±5	LSB
偏移误差	E _{OFFSET}	-	-	±4.5	LSB
输入电压范围	V _{ADC_RNG}	-	-	VDD	V
VREF_ADC 电压范围	V _{REF_ADC}	VDD 注1			V

注 1 : VREF_ADC=VDD · 电压范围 4.5~5.5V
 注 2 : 不包含偏移(offset)与增益补偿(gain compensation)
 注 3 : ADC sample rate = $\frac{1}{22} \times \frac{f_{sysclk}}{ADCCKDIV}$
 e.x. 当系统主频为 24MHz, ADCCKDIV 设为 0x02 · ADC Sample rate : $\frac{1}{22} \times \frac{24MHz}{2^2} = 272.727ksps$

VREF_ADC=VDD 2V ≤ VDD ≤ 5.5V, T _A = -40~85°C					
参数	符号	最小	标准	最大	单位
分辨率	RES _{ADC}	-	12	-	bits
最大转换速率	f _{ADC}	-	-	470	KSPS
微分非线性误差(DNL)	DNL _{ADC}	-	-	±4	LSB
积分非线性误差(INL)	INL _{ADC}	-	-	±5	LSB
绝对增益精度	E _{GAIN}	-	-	±6	LSB
偏移误差	E _{OFFSET}	-	-	±6	LSB
输入电压范围	V _{ADC_RNG}	-	-	VDD	V
VREF_ADC 电压范围	V _{REF_ADC}	VDD 注1			V

注 1 : VREF_ADC=VDD · 电压范围 2~5.5V
 注 2 : 不包含偏移(offset)与增益补偿(gain compensation)
 注 3 : ADC sample rate = $\frac{1}{22} \times \frac{f_{sysclk}}{ADCCKDIV}$
 e.x. 当系统主频为 24MHz, ADCCKDIV 设为 0x02 · ADC Sample rate : $\frac{1}{22} \times \frac{24MHz}{2^2} = 272.727ksps$

3.8 比较器电气特性

VDD = 2.7V~5.5V, T_A = -40~85°C

参数	符号	测试条件	最小	标准	最大	单位
比较器工作电流 Current consumption of the comparator	V _{CMP}	-	-	60	160	uA
电压范围 Voltage range	V _{CMP}	脚位: CMP0P, CMP0N	0	-	VDD-1.3	V
偏移输入电压 Offset voltage	V _{CMP_OS}	脚位: CMP0P, CMP0N	-15	-	+15	mV
比较器延迟时间 Delay Time	t _{CMP_Delay}	脚位: CMP0O, Overdrive 5mV	-	650	1200	ns
		脚位: CMP0O, Overdrive 50mV	-	140	420	ns
比较器稳定时间 Comparator ready time	t _{CMP_RDY}	脚位: CMP0O, Power down recovery PD: 1 → 0	-	-	1200	ns
比较器上电后的稳定时间 Power up stabilization time	t _{CMP_PU}	脚位: CMP0O	-	-	1200	ns

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

3.9 Flash 电气特性

($V_{SS} = 0V, 2.0V \leq V_{DD} \leq 5.5V, T_{OPR} = -40 \text{ to } 85^{\circ}C$)

参数	测试条件	最小	标准	最大	单位
Flash 保证烧写次数		-	-	100,000	次
Flash 烧写时间	烧写时间(per byte)	-	-	40	μs
Flash 擦除时间	整颗擦除 chip erase	-	-	40	ms
	扇区擦除 sector erase (1 区块 = 512 字节)	-	-	5	

3.10 EEPROM 电气特性

($V_{SS} = 0V, 2.0V \leq V_{DD} \leq 5.5V, T_{OPR} = -40 \text{ to } 85^{\circ}C$)

参数	测试条件	最小	标准	最大	单位
EEPROM 保证烧写次数		-	-	100,000	次
EEPROM 烧写时间	烧写时间(per byte)	-	-	40	μs
EEPROM 擦除时间	整颗擦除 chip erase	-	-	40	ms
	扇区擦除 sector erase (1 区块 = 32 字节)	-	-	5	

4. 中央处理器(CPU)

SQ7653 产品架构为 870E 核心

- 丰富指令集可支持 C 语言编码更精简
 - 9 种寻址模式
 - 乘法与除法器指令
 - 位操作指令
 - 16 位算术逻辑单元(ALU)及下载/储存指令
 - 跳转与呼叫指令

- 寄存器文件支持快速上下文切换
 - 2 个 8 位以及 16 位通用寄存器(GPRs)
 - 2 组 8 个 8 位 GPRs
 - 2 组 8 个 16 位 GPRs
 - 16 位程序计数器(PC)
 - 16 位堆栈指针(SP)
 - 7 位程序状态字 (PSW)

- 存储器
 - 48 KB Flash
 - 8 KB EEPROM
 - 2KB RAM

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.1 符号对照

符号	描述	符号	描述
A	A register	r,g	8-bit register
W	W register	rr, gg	16-bit register
B	B register	n	4-bit or 8-bit immediate data
C	C register	mn	16-bit immediate data
D	D register	d	Signed 5-bit or 8-bit displacement
E	E register	x,y	8-bit direct address
H	H register	vw, uz	16-bit direct address
L	L register	(XX)	Memory contents at the address specified by XX
WA	WA register	(xx+1, XX)	Two consecutive bytes from the memory location specified by XX
BC	BC register	b	Bit number (0 to 7)
DE	DE register	.b	Content of bit specified by b
HL	HL register	↔	Exchange
IX	IX register	+	Add
IY	IY register	-	Subtract
PC	Program Counter	x	Multiply
SP	Stack Pointer	÷	Division
PSW	Program Status Word	&	Bitwise AND
JF	Jump Status flag		Bitwise OR
CF	Carry flag	^	Bitwise exclusive OR
HF	Half carry flag	null	No operation
SF	Sign flag	\$	Start address of instruction being executed
VF	Overflow flag	(src)	Source memory
/CF	Inverse of carry flag	(dst)	Destination memory
IMF	Interrupt Master Enable flag	(srcdst)	Source and destination memory
NxtOp	Address of next operation	RBS	Register Bank Selector

表 4-1 文件内所使用符号

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

助记符	描述	助记符	描述
ADD	Add	OR	Logical OR
ADDC	Add with carry	POP	Pop up
AND	Logical AND	PUSH	Push down
CALL	Call	RET	Return from subroutine
CALLV	Vector call	RETI	Return from maskable interrupt service routine
CLR	Clear bit/byte	RETN	Return from non-maskable interrupt service routine
CMP	Compare	ROLC	Rotate left through carry
DAA	Decimal adjust for 8-bit addition	ROLD	Rotate left digit
DAS	Decimal adjust of 8-bit subtraction	RORC	Rotate right through carry
DEC	Decrement byte/word (Register)	RORD	Rotate right digit
DI*	Disable maskable interrupt	SET	Bit test and set
DIV	Divide byte quotient	SHLC	Logical shift left
EI*	Enable interrupt	SHLCA	Arithmetic shift left
INC	Increment byte/word (Register)	SHRC	Logical shift right
J*	Optimized jump	SHRCA	Arithmetic shift right
JP	Absolute jump	SUB	Subtract
JR	Relative jump	SUBB	Subtract with borrow
JRS	Short relative jump	SWAP	swap nibble
LD	Load bit/byte/word (Register)/effective address	SWI	Software interrupt
LDW	Load word (Memory)	TEST*	Bit test
MUL	Multiply	XCH	Exchange
NEG	Negate	XOR	Logical exclusive OR
NOP	No operation	OR	Logical OR

表 4-2 指令助记符

注: 上方标注星号(*)之指令助记符为扩充汇编机器指令

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.2 核心寄存器

寄存器组及核心寄存器如下图

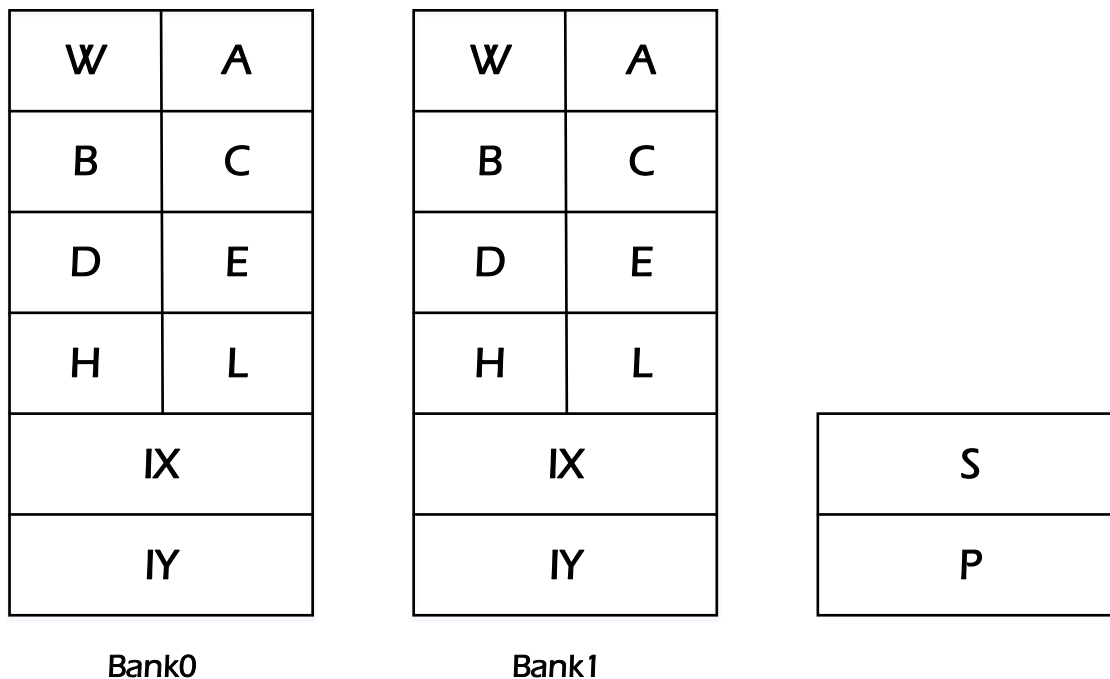


图 4-1 核心寄存器

4.2.1 8 位通用寄存器

产品拥有 2 组相同的寄存器组，每组皆由 8 个 8 位寄存器所组成，这些通用寄存器是 W、A、B、C、D、E、H 及 L。这些寄存器也可相互配对成 16 位寄存器对 WA、BC、DE 以及 HL。当系统复位时，这些寄存器亦会复位为 0。

下列各章节将分别描述寄存器的特殊用途。

A 寄存器

利用 A 寄存器，位操作指令可指定一寄存器中的某个位，测试其数值或令其改变数值。A 寄存器也可支持 PC 相对寄存器间接寻址。

范例如下：

SET (0x56).A ; A 寄存器指定存储器 0x0056 位置并设置为 1

LD A(PC+A) ; 加载存储器 PC+A 位置之内容至 A 寄存器

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

C 寄存器

于除法指令中，C 寄存器作为除数寄存器，亦可于寄存器索引寻址时作为补偿值之寄存器。

范例如下：

DIV WA, C ; C 为除数
LD A, (HL+C) ; C 为偏移量补偿寄存器

DE 寄存器

于寄存器间接寻址时，此 16 位 DE 寄存器保存操作数所在的存储器地址。

范例如下：

LD A, (DE) ; DE 为保存存储器地址之寄存器

HL 寄存器

寄存器间接寻址时，此 16 位 HL 寄存器保存操作数所在的存储器地址。索引寻址时，HL 寄存器当作索引寄存器使用。

范例如下：

LD A, (HL) ; HL 为保存存储器地址之寄存器
LD A, (HL+0x52) ; HL 为索引寄存器
LD A, (HL+C) ; HL 为索引寄存器

4.2.2 16 位通用寄存器

产品有 2 个 16 位通用寄存器 IX 和 IY。寄存器间接寻址时，IX 和 IY 寄存器保存操作数所在的存储器地址。索引寻址时，IX 和 IY 寄存器当作索引寄存器使用。当系统复位时 IX 和 IY 寄存器则会复位为 0。

范例如下：

LD A, (IX) ; IX 为保存存储器地址之寄存器
LD A, (IY+0x52) ; IY 为索引寄存器
LD IX(0x3A) ; IX 为通用寄存器

在非多重中断操作时，核心寄存器功能可用来存储通用寄存器。在中断开始时，设定运算指令(如范例：LD RBS, 1)，核心寄存器功能将可进行存储或转换。中断结束后，不需再重新执行运算指令，RETI 指令将会依 PSW 内容，自动将核心寄存器恢复主任务执行时的寄存器。

注：两个核心寄存器(BANK0 与 BANK1)都可使用。各核心寄存器由 8 位通用寄存器(W,A,B,C,D,E,H 与 L)和 16 位通用寄存器(IX 与 IY)所组成。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

范例：主任务使用 BANK0，透过指令转换为 BANK1。

```

PINTxx :          LD          RBS,1          ;Switches to the register bank BANK1
                Interrupt processing
                RETI          ;RETURN
                                (Makes a return automatically to
                                BANK0 that was being used by the
                                main task when the PSW is restored)
    
```

4.2.3 程序状态字

程序状态字 PSW 位于地址 0x003F 的特殊功能寄存器 SFR 中。程序状态字 PSW 包含以下 6 个标帜位:

跳转状态标帜位 Jump Status Flag, JF

零标帜位 Zero Flag, ZF

进位标帜位 Carry Flag, CF

半进位标帜位 Half Carry Flag, HF

正负号标帜位 Sign Flag, SF

溢位标帜位 Overflow Flag, VF

除了通用的装载指令，专用指令亦可存取程序状态字组。下方表格列出条件跳转指令(例如“JJ cc,a”及“JRS cc,a”指令)中标志位的状况。

条件代码	描述	标志位状态
T	1	JF = 1
F	0	JF = 0
Z	Zero	ZF = 1
NZ	Not zero	ZF = 0
CS	Carry set	CF = 1
CC	Carry clear	CF = 0
VS	Overflow set	VF = 1
VC	Overflow clear	VF = 0
M	Minus	SF = 1
P	Plus	SF = 0
EQ	Equal	ZF = 1
NE	Not equal	ZF = 0
LT	Unsigned less than	CF = 1
GE	Unsigned greater than or equal to	CF = 0
LE	Unsigned less than or equal to	(CF ^ ZF) = 1
GT	Unsigned greater than	(CF ^ ZF) = 0
SLT	Signed less than	(SF ^ VF) = 1
SGE	Signed greater than or equal to	(SF ^ VF) = 0
SLE	Signed less than or equal to	ZF ^ (SF ^ VF) = 1
SGT	Signed greater than	ZF ^ (SF ^ VF) = 0

表 4-3 条件代码表

4.2.4 堆栈指针(SP)

堆栈指针 SP 是一个 16 位寄存器，用来存放堆栈区中下一个可用空闲区域的地址。执行堆栈指令 PUSH、调用一个子程序或系统中断后，堆栈指针 SP 会减 1。执行弹出指令 POP、由子程序或中断返回前，堆栈指针 SP 加 1。堆栈区中的地址次序安排是由高至低排列。

4.2.5 程序计数器(PC)

程序计数器 PC 是个 16 位寄存器，用来指示下一条要被执行的指令在程序存储器的地址。复位后，中央处理器 CPU 会将保存在矢量表中的复位矢量，装载进程序计数器 PC。CPU 接着读取并执行程序计数器所指示的地址所保存的指令。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.3 寻址模式

SQ7653 产品线具备 9 种寻址模式，其中部分模式拥有不只一种类型，皆会于之后的章节分别描述。

寻址模式	类型数
寄存器间接寻址	7
直接寻址	2
寄存器寻址	1
立即寻址	1
相对寻址	2
绝对寻址	1
矢量寻址	1
直接位寻址	2
寄存器间接位寻址	1
总计	18

表 4-4 寻址模式及类型数量列表

4.3.1 寄存器间接寻址

寄存器间接寻址(HL), (DE), (IX), (IY)

16 位寄存器组 HL、DE、IX 及 IY 内容为有效地址。

范例：LD A,(HL)

寄存器间接加以 8 位偏移寻址(HL+d), (IX+d), (IY+d)

16 位寄存器 HL、IX、IY 内容，再加入符号扩展之 8 位偏移量 d 脚本，为有效地址。

范例：LD A,(HL + 0x12)

寄存器索引寻址(HL + C)

寄存器 HL 内容，再加入符号扩展之 C 寄存器内容，为有效地址。

范例：LD A, (HL + C)

堆栈指针间接加以自动前置递增寻址(+SP)

堆栈指针 SP 递增内容为有效地址，而递增的 SP 不会影响到标志位。请注意，此寻址模式只能使用于指定源存储器地址。

范例：LD A, (+SP)

堆栈指针间接加以自动递减寻址(SP-)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

SP 为有效地址，于数据处理后，SP 的内容会自动递减，此寻址模式只能使用于指定目标储存器地址。

范例：LD (SP-),A

堆栈指针间接加以 8 位偏移寻址(SP+d)

SP 内容，并于脚本中符号扩展 8 位偏移量 d，结合以上为有效地址。

范例：LD WA, (SP + 0xD6)

PC 相对寄存器间接寻址(PC+A)

程序计数器 PC 内容，再加入符号扩展之 A 寄存器内容，为有效地址，此寻址模式只能使用于指定源地址。

范例：LD A, (PC + A)

4.3.2 直接寻址

8 位直接寻址(x)

有效地址直接指定为 8 位脚本 x，地址范围由 0x0000 至 0x00FF。

范例：LD A, (0x87)

16 位直接寻址(vw)

有效地址直接指定为 16 位脚本 vw，地址储存范围由 0x0000 至 0xFFFF。

范例：LD A, (0x5678)

4.3.3 寄存器寻址(r 或 rr)

r 或 rr 寄存器指令操作码之指定子可选定欲存取之寄存器。

范例：LD A, B

4.3.4 立即寻址(n 或 mn)

n 或 mn 寄存器指令操作码之指定子可选定欲存取之寄存器。

范例：LD A, 0x53

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.3.5. 相对寻址

PC 相对加以 8 位偏移寻址

程序计数器 PC 内容，并于脚本中符号扩展 8 位偏移量 d ，结合以上为有效地址。仅 JR 指令具有此寻址模式。

范例：JR \$ + 2 + 0x35

PC 相对加以 5 位偏移寻址

程序计数器 PC 内容，并于脚本中符号扩展 8 位偏移量 d ，结合以上为有效地址。仅 JRS 指令具有此寻址模式。

范例：JRS \$ + 2 + 0x14

4.3.6 绝对寻址

有效位置为 16 位指令操作码指定。

范例：JR 0x0F1A3

4.3.7 矢量寻址

4 位运算符乘 2 后加入矢量呼叫表上方地址，并指出 16 位跳转目标地址(矢量地址)。只有 CALLV 指令拥有此寻址模式。

4.3.8 直接位寻址

寄存器位寻址

寄存器以及位指定子之指令操作码可于寄存器中选定一位位置，并对其值进行测试或是更换。

范例：SET A.3

存储器位寻址

存储器位寻址模式，脚本之位指定子选定于存储器中的位，其位所在位置由(HL)、(DE)、(IX)、(IY)、(HL+d)、(IX+d)、(IY+d)、(HL+C)、(+SP)、(SP+d)、(PC+A)、(x)或(vw)指出，并于此特定位置进行位操作。

范例：SET (HL).1

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.3.9 寄存器间接位寻址

于存储器位寻址模式，A 寄存器中 3 个低阶位指定储存器中的任一位，其所在位置由(HL)、(DE)、(IX)、(IY)、(HL + d)、(IX + d)、(IY + d)、(HL + C)、(+SP)、(SP + d)、(PC + A)、(x)或(vw)指出，并于此特定定位进行位操作。

范例：SET (HL).A

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.4 指令流水線

产品线核心使用三阶流水线执行指令动作，指令包含利用额外存取循环之存储器读存取

- 寄存器对寄存器运行
- 寄存器对存储器运行
- 存储器对寄存器运行
- 存储器对存储器运行
- 转跳
- 子过程调用及返回
- 软件中断(SWI)

4.4.1 寄存器对寄存器运行

此运行方式为三阶流水线，详如下列所述。

寄存器对寄存器运行之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	指令运行时间，执行单元会对指令进行作业，其结果会于执行循环结束后写回至寄存器堆



4.4.2 寄存器对存储器运行

此运行方式为三阶流水线，详如下列所述。

寄存器对存储器运行之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，执行单元会对指令进行作业，其结果于执行循环结束后写回储存数据缓冲器。缓冲器内的数据会于下一个循环时传送至总线接口

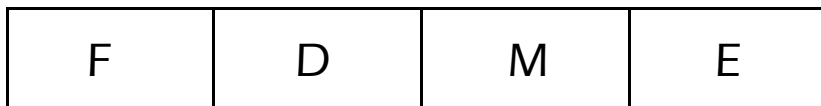


No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.4.3 存储器对寄存器运行

此类型的操作具存储器读取，因此有另一个存储器存取循环。

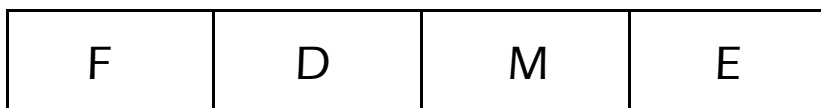
存储器对寄存器运行之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
M	存储器存取循环，产生地址并传送至数据总线接口
E	运行时间，装载的数据会返回且执行单元进行作业，其结果会于执行循环结束后写回寄存器堆



4.4.4 存储器对存储器运行

此类型的操作在存储器写循环后进行存储器读取，因此具另一个存储器存取循环。

存储器对存储器运行之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
M	存储器存取循环，产生地址并传送至数据总线接口
E	运行时间，装载的数据会返回且执行单元进行作业，其结果会于执行循环结束后写回寄存器堆。其缓冲器内的数据会于下一个循环时传送至总线接口



No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.4.5 跳转

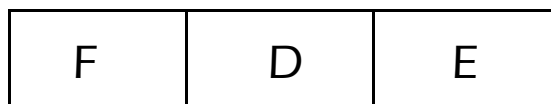
两种跳转类型：

跳转类型 1		跳转类型 2	
寻址模式	操作码	寻址模式	操作码
寄存器寻址	JP gg	寄存器间接寻址	JP (src*) *src: DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A
立即寻址	JP mn	直接寻址	JP (src*) *src: x, vv
相对寻址	1) PC 相对加以 8 位偏移寻址 JR T, \$+2+d, etc. 2) PC 相对加以 5 位偏移寻址 JRS T, \$+2+d, etc.		
绝对寻址	JP 0x0F1A3		

◆ 类型 1 流水线：

此种转跳类型有三阶流水线作业，详如下列所述。

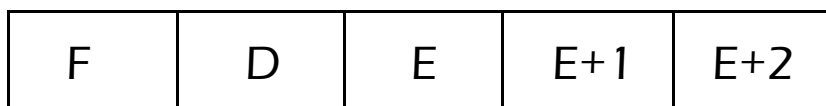
跳转类型 1 之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，执行单元会对指令进行作业，其结果会于执行循环结束后写回至寄存器堆



◆ 类型 2 流水线：

此种跳转类型有五阶流水线作业，详如下列所述。

跳转类型 2 之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，数据单元产生间接地址后传送至数据总线接口
E+1	转跳目标地址返回并储存于装载数据缓冲器
E+2	指令取出地址产生



No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.4.6 子过程调用及返回

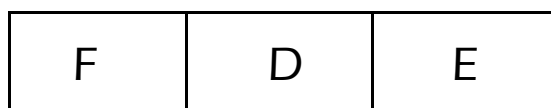
两种呼叫类型：

呼叫类型 1		呼叫类型 2	
寻址模式	操作码	寻址模式	操作码
寄存器寻址	-	寄存器寻址	-
立即寻址	-	直接寻址	-
绝对寻址	CALL 0x0F1A3		
矢量寻址	CALLV 0x9		

◆ 类型 1 流水线

此种呼叫类型有三阶流水线作业，详如下列所述。

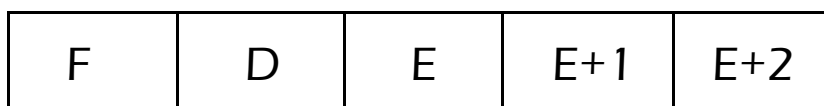
呼叫类型 1 之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，执行单元会对指令进行作业，其结果会于执行循环结束后写回至寄存器堆



◆ 类型 2 流水线

此种跳转类型有五阶流水线作业，详如下列所述。

呼叫类型 2 之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，数据单元产生间接地址后传送至数据总线接口
E+1	转跳目标地址返回并储存于装载数据缓冲器
E+2	指令取出地址产生

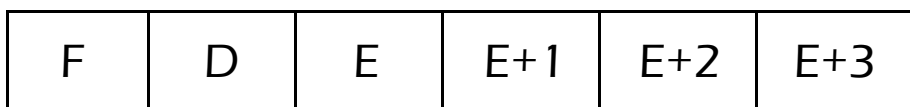


No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.4.7 软件中断(SWI)

软件中断指令有六阶流水线作业，详如下列所述。

软件中断之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，执行 SWI 指令，指令单元接收中断矢量地址同时产生指令取出地址。在此循环，PSW 推至堆栈区
E+1	中断矢量返回且将指令缓冲器视为转跳指令输入。在此循环，下一个操作码地址被推至堆栈区
E+2	译码跳转目标地址
E+3	指令单元矢量传至 SWI 中断程序



No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.5 指令集总结

指令集可分成六个群族如下，并于各个节说明；此章节亦会描述指令助记符以及执行循环

数据传送及交换指令

算术逻辑单元(ALU)指令

位移/旋转及半字节操作指令

位及标志操作指令

转跳指令

呼叫、返回、软件中断以及无操作指令

4.5.1 数据传送及交换指令

运算动作	描述	汇编语言	指令周期
Move	8-bit register to register operation	ld r, g	1
	16-bit register to register operation	ld rr, gg	1
	8-bit immediate to register	ld r, n	1
	16-bit immediate to register	ld rr, mn	1
	16-bit SP register move operation	ld SP, SP+d	1
	16-bit SP register move operation	ld SP, SP-d	1
Load	8-bit memory to register operation	ld r, (src*)	1
	16-bit memory to register	ld rr, (src*)	1
Store	8-bit register to memory	ld (dst*), r	1
	16-bit register to memory	ld (dst*), rr	1
	8-bit immediate to memory	ld (dst*), n	1
	16-bit immediate to memory	ld (dst*), mn	1
Push	16-bit register to memory stack	push rr	1
	8-bit PSW register to memory stack	push PSW	1
Pop	16-bit register from memory stack	pop rr	1
	8-bit PSW register from memory stack	pop PSW	1
Exchange	8-bit register to register	xch r, g	1
	16-bit register to register	xch rr, gg	1
	8-bit register to memory	xch r, (src*)	1
	16-bit register to memory	xch rr, (src*)	1
注 : src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A dst: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, SP-			

表 4-5 数据传送及交换指令

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.5.2 算术逻辑单元(ALU)指令

运算动作	描述	汇编语言	指令周期
Compare	8-bit register to an immediate value	cmp g,n	1
	16-bit register to an immediate value	cmp gg,mn	1
	8-bit register to another register	cmp r,g	1
	16-bit register to another register	cmp rr,gg	1
	8-bit register to memory content	cmp r,(src*)	1
	8-bit memory content to an immediate value	cmp (src*),n	1
	16-bit register to a memory content	cmp rr,(src*)	1
Add	8-bit register to an immediate value	add g,n	1
	16-bit register to an immediate value	add gg,mn	1
	8-bit register to another register	add r,g	1
	16-bit register to another register	add rr,gg	1
	8-bit register to memory content	add r,(src*)	1
	8-bit memory content to an immediate value	add (srcdst*),n	1
	16-bit register to a memory content	add rr,(src*)	1
Add with carry	8-bit register to an immediate value	addc g,n	1
	16-bit register to an immediate value	addc gg,mn	1
	8-bit register to another register	addc r,g	1
	16-bit register to another register	addc rr,gg	1
	8-bit register to memory content	addc r,(src*)	1
	8-bit memory content to an immediate value	addc (srcdst*),n	1
	16-bit register to a memory content	addc rr,(src*)	1
Substract	8-bit register to an immediate value	sub g,n	1
	16-bit register to an immediate value	sub gg,mn	1
	8-bit register to another register	sub r,g	1
	16-bit register to another register	sub rr,gg	1
	8-bit register to memory content	sub r,(src*)	1
	8-bit memory content to an immediate value	sub (src*),n	1
	16-bit register to a memory content	sub rr,(src*)	1
Substract with borrow	8-bit register to an immediate value	subb g,n	1
	16-bit register to an immediate value	subb gg,mn	1
	8-bit register to another register	subb r,g	1

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

运算动作	描述	汇编语言	指令周期
	16-bit register to another register	subb rr,gg	1
	8-bit register to memory content	subb r,(src*)	1
	8-bit memory content to an immediate value	subb (srcdst*),n	1
	16-bit register to a memory content	subb rr,(src*)	1
bitwise logical AND	8-bit register to an immediate value	and g,n	1
	16-bit register to an immediate value	and gg,mn	1
	8-bit register to another register	and r,g	1
	16-bit register to another register	and rr,gg	1
	8-bit register to memory content	and r,(src*)	1
	8-bit memory content to an immediate value	and (srcdst*),n	1
	16-bit register to a memory content	and rr,(src*)	1
bitwise logical OR	8-bit register to an immediate value	or g,n	1
	16-bit register to an immediate value	or gg,mn	1
	8-bit register to another register	or r,g	1
	16-bit register to another register	or rr,gg	1
	8-bit register to memory content	or r,(src*)	1
	8-bit memory content to an immediate value	or (srcdst*),n	1
	16-bit register to a memory content	or rr,(src*)	1
bitwise logical exclusive-OR	8-bit register to an immediate value	xor g,n	1
	16-bit register to an immediate value	xor gg,mn	1
	8-bit register to another register	xor r,g	1
	16-bit register to another register	xor rr,gg	1
	8-bit register to memory content	xor r,(src*)	1
	8-bit memory content to an immediate value	xor (srcdst*),n	1
	16-bit register to a memory content	xor rr,(src*)	1
Increment	8-bit register operation	dec r	1
	16-bit register operation	dec rr	1
	8-bit memory operation	dec (srcdst*)	1
Decrement	8-bit register operation	dec r	1
	16-bit register operation	dec rr	1
	8-bit memory operation	dec (srcdst*)	1

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

运算动作	描述	汇编语言	指令周期
Add with 8-bit packed BCD number	8-bit register operation	daa g	1
Subtract with 8-bit packed BCD number	8-bit register operation	das g	1
Multiply	8-bit register operation	mul mreg1*,mreg2*	1
Divide	8-bit register operation	div dreg1*, C	9
Negate	16-bit register operation	neg CS, gg	1
注 : src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A srcdst: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A mreg1: W, B, D, H mreg2: A, C, E, L dreg1: WA, DE, HL			

表 4-6 算数逻辑单元(ALU)指令

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.5.3 位移/旋转及半字节操作指令

运算动作	描述	汇编语言	指令周期
Shift	8-bit register, logical shift left by one	shlc g	1
	8-bit register, logical shift right by one	shrc g	1
	16-bit register, arithmetic shift left by one	shlca gg	1
	16-bit register, arithmetic shift right by one	shrca gg	1
Rotate	8-bit register, rotate left with carry flag	rolc g	1
	8-bit register, rotate right with carry flag	rorc g	1
	8-bit memory-to-memory, rotate left and concatenate	rold A,(src*)	1
	8-bit memory-to-memory, rotate right and concatenate	rord A,(src*)	1
Swap	8-bit register, swap the high and low nibbles	swap g	1

注：

src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A

表 4-7 位移/旋转及半字节操作指令

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.5.4 位及标志操作指令

运算动作	描述	汇编语言	指令周期
Bit set	Set a bit of an 8-bit register using a 3-bit b field	set g.b	1
	Set a bit of a memory content using a 3-bit b filed	set (src*).b	1
	set a bit of a memory content using the loworder 3 bits of A register	set (src*).A	1
Bit clear	clear a bit of an 8-bit register using a 3-bit b field	clr g.b	1
	clear a bit of a memory content using a 3-bit b filed	clr (src*).b	1
	clear a bit of a memory content using the loworder 3 bits of A register	clr (src*).A	1
Bit complement	complement a bit of an 8-bit register using a 3bit b field	cpl g.b	1
	complement a bit of a memory content using a 3-bit b filed	cpl (src*).b	1
	complement a bit of a memory content using the low-order 3 bits of A register	cpl (src*).A	1
Bit Test	Test a bit of an 8-bit register using a 3-bit b field	test g.b	1
	Set a bit of a memory content using a 3-bit b filed	test (src*).b	1
	set a bit of a memory content using the low order 3 bits of A register	test (src*).A	1
Load Carry flag	Load the value of bit b of an 8-bit register into the Carry flag	ld CF, g.b	1
	Load the value of bit b in a memory location into the Carry flag	ld CF, (src*).b	1
	Load the value of a memory bit specified by the low-order 3 bits of register A into the Carry flag	ld CF, (src*).b	1
Store Carry flag	Store CF flag into the value of bit b of an 8-bit register	ld g.b,CF	1

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

运算动作	描述	汇编语言	指令周期
	Store CF flag into the value of bit b in a memory location	ld (src*).b,CF	1
	Store CF flag into the value of a memory bit specified by the low-order 3 bits of register A	ld (src*).b,A	1
Exclusive-OR Carry flag operation	Exclusive-OR the value of bit b of an 8-bit register with the Carry flag and place the result in the Carry flag	xor CF, g.b	1
	Exclusive-OR the value of bit b in a memory location with the Carry flag and place the result in the Carry flag	xor CF, (src*).b	1
	Exclusive-OR the value of a memory bit specified by the low-order 3 bits of register A with the Carry flag and place the result in the Carry flag	xor CF, (src*).b	1
Set Carry flag	Set the Carry flag	set cf	1
Clear Carry flag	Clear the Carry flag	clr cf	1
Complement Carry flag	Complement the Carry flag	cpl cf	1

注：

src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A

表 4-8 位及标志操作指令

4.5.5 跳转指令

运算动作	描述	汇编语言	指令周期
Conditional jump	Short relative jump with true jump flag	jrs T,\$+2+d	1
	Short relative jump with false jump flag	jrs F,\$+2+d	1
	Relative jump with true jump flag	jr T,\$+2+d	1
	Relative jump with false jump flag	jr F,\$+2+d	1
	Relative jump with true Zero flag	jr EQ,\$+2+d	1
	Relative jump with false Zero flag	jr NE,\$+2+d	1
	Relative jump with true Carry flag	jr LT,\$+2+d	1
	Relative jump with false Carry flag	jr GE,\$+2+d	1
	Relative jump with true Carry and Zero flags	jr LE,\$+2+d	1
	Relative jump with false Carry and Zero flags	jr GT,\$+2+d	1
	Relative jump with true Sign flag	jr M,\$+3+d	1
	Relative jump with false sign flag	jr P,\$+3+d	1
	Relative jump with true result of an exclusive-OR operation of Sign and Overflow flags	jr SLT,\$+3+d	1
	Relative jump with false result of an exclusive-OR operation of Sign and Overflow flags.	jr SGE,\$+3+d	1
	Relative jump with true Zero flag and true result of an exclusive-OR operation of Sign and Overflow flags	jr SLE,\$+3+d	1
	Relative jump with false Zero flag and false result of an exclusive-OR operation of Sign and Overflow flags	jr SGT,\$+3+d	1
	Relative jump with true Overflow flag	jr VS,\$+3+d	1
	Relative jump with false Overflow flag	jr VC,\$+3+d	1
Unconditional Jump	Jump with immediate addressing	JP mn	1
	Jump with register addressing	JP gg	1
	Jump with direct addressing mode or register indirect addressing mode	JP (src*)	3
注 : src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A			

表 4-9 跳转指令

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

4.5.6 呼叫、返回、软件中断以及无操作指令

运算动作	描述	汇编语言	指令周期
Subroutine call	Vectored subroutine call	callv n	1
	Absolute subroutine call	call mn	1
	Subroutine call with register addressing mode	call gg	1
	Subroutine call with direct addressing mode or register indirect addressing mode	call (src*)	3
Return	Return from a subroutine	ret	3
	Return from a maskable interrupt service routine	reti	3
	Return from a non-maskable interrupt service routine	retn	3
Software interrupt	Software interrupt instruction	swi	4
NOP	No operation	nop	1
注：			
src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A			

表 4- 10 呼叫、返回、软件中断以及无操作指令

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

5. 寻址区域

寻址区域可分作程序区域以及数据区域，其编码及数据存取可为字节存取或是字存取。可寻址存储器空间为 48KB 程序区域以及 48KB 数据存储器。

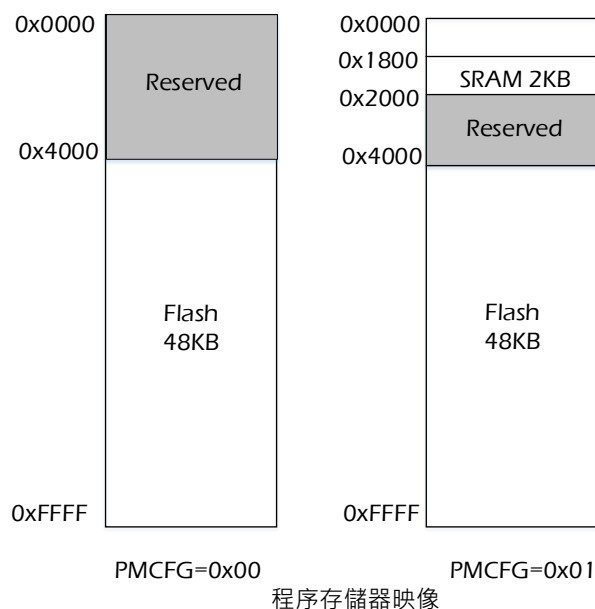


图 5-1 程序存储器映像

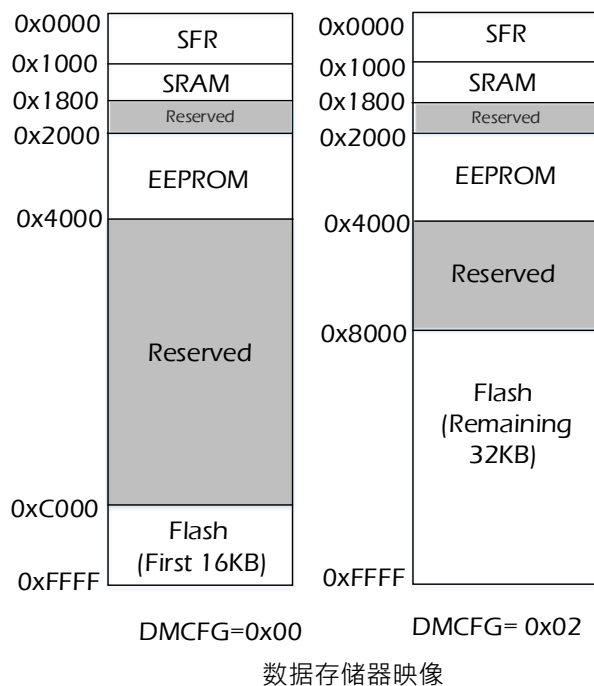


图 5-2 数据存储器映像

注：请勿对 Reserved 区域进行 R/W

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Memory	Starting address	End address
Flash Array	0x4000	0xFFFF
SRAM	0x1000	0x17FF
EEPROM Array	0x2000	0x3FFF

表 5- 1 PERIPHERAL MEMORY MAP

5.1 系统存储器架构

系统存储器，此区总共 64 字节存储器映像寄存器，此寄存器分成 3 种功能：

- 系统控制寄存器 (system control registers)
- 系统寄存器 (system registers)
- 系统外围线路控制寄存器

功能	位置	寄存器	描述
系统控制寄存器	0x0008	SYSCR0	系统控制寄存器 0
	0x0009	系统保留	
	0x000A	系统保留	
	0x000B	RSTFLG	Reset 状态寄存器
	0x000C	UID	
	0x000D	SWRST	
	0x000E	系统保留	
	0x000F	系统保留	
系统外围线路及控制寄存器	0x0010 0x001F	系统保留	
	0x0020	CLKCR0	时钟控制寄存器 0
	0x0021	CLKCR1	时钟控制寄存器 1
	0x0022	CLKCR2	
	0x0023	CLKST	
	0x0024	PLLCR0	PLL 控制寄存器 0
	0x0025	系统保留	
	0x0026	CLKWUP	
	0x0027	FCKDIV	Flash 时钟分频寄存器
	0x0028	WDCTR	看门狗控制寄存器
	0x0029	WDCDR	看门狗控制数据寄存器

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

功能	位置	寄存器	描述
	0x002A	WDCNT	8 位上数计数器监控寄存器
	0x002B	WDST	看门狗状态寄存器
	0x002C	WUCCR	唤醒计数器控制寄存器
	0x002D	WUCDR	唤醒计数器数据寄存器
	0x002E	TBTCR	时基定时器控制寄存器
	0x002F	系统保留	
	0x0030	系统保留	
	0x0031	LVDCR0	低电压侦测控制寄存器 0
	0x0032	系统保留	
	0x0033	系统保留	
	0x0034	PONCR	上电控制寄存器
	0x0035	系统保留	
	0x0036	LVDCR1	低电压侦测控制寄存器 1
	0x0037	系统保留	
系统寄存器	0x0038	PMCFG	程序存储器配置寄存器
	0x0039	DMCFG	数据存储器配置寄存器
	0x003A	MIFR	中断主允许寄存器
	0x003B 0x003E	系统保留	
	0x003F	PSW	程序状态字寄存器

表 5-2 系统存储器架构

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

5.1.1 系统控制寄存器

系统控制信息皆储存于此区域。

地址	寄存器	描述
0x0008	SYSCRO	系统控制寄存器 0
0x000A	PMR	电源模式寄存器
0x000B	RSTFLG	Reset 状态寄存器
0x000C	UID	唯一标识符寄存器
0x000D	SWRST	软件复位寄存器

系统控制寄存器 0(SYSCRO)

SYSCRO (0x0008)	7	6	5	4	3	2	1	0
位符号	reserved		reserved	reserved	XRSTDIS	OCDDIS	ROMST	reserved
读/写	-		-	-	R/W	R/W	R	-
复位后	1		0	0	0	0	0	0

注 1：第 0 位只能以上电复位

注 2：所有复位皆可使此寄存器复位。

XRSTDIS	外部复位失效	0：外部复位脚位可使用 1：外部复位脚位挪为其他功能使用
OCDDIS	OCD 失效	0：OCD 脚位可使用 1：OCD 脚位挪为其他功能使用
ROMST	ROM 状态位	0：ROM CRC 校验通过 1：ROM CRC 校验失败

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

电源模式寄存器(PMR)

此寄存器主要设置装置的工作模式。

PMR (0x000A)	7	6	5	4	3	2	1	0
位符号	reserved		reserved	LDOON	DSM	PMODE[2:0]		
读/写	-	-	-	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使第 0-2 位复位。

LDOON	LDO 启动	0：于深眠模式启动 LDO 節電模式 1：于深眠模式关闭 LDO 節電模式
DSM	深眠模式	0：使用 Sleep 指令進入睡眠模式 1：使用 Sleep 指令進入深眠模式
PMODE [2:0]	电源模式	000：一般模式 其他：系统保留

Reset 状态寄存器(RSTFLG)

RSTFLG (0x000B)	7	6	5	4	3	2	1	0
位符号	CLR	LVDRST1	LVDRST0	BRRST	Reserved	WDTF	PRRST	EXRST
读/写	W	R	R	R	R	R	R	R
复位后	0	0	0	0	1	0	1	1

注：仅能使用 POR 进行复位

CLR	清除 RSTFLG	0：不变更 Reset Flag 1：清除 Reset Flag, 清除后此位将自动为 0 (write 1 clear)
LVDRST1	LVD1 复位状态	0: 无 LVD 复位 1: LVD1 复位
LVDRST0	LVD0 复位状态	0: 无 LVD 复位 1: LVD0 复位
BRRST	BROR 复位状态	0: 无 BROR 复位 1: BROR 复位
WDTF	Watch dog 复位状态	0：无 Watch dog 复位 1：有 Watch dog 复位
PRRST	外围线路复位状态	0：无软件复位 1：有软件复位
EXRST	外部复位旗帜	0：无外部复位复位 1：有外部复位

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

唯一标识符寄存器(UID)

UID (0x000C)	7	6	5	4	3	2	1	0
位符号	UIDn							
读/写	R/W							
复位后	*	*	*	*	*	*	*	*

注 1：唯一标识符寄存器将回传设备标示码(device identification number)。复位值依出厂设定而定。

注 2：一组 UID 为 16 bytes，LSB 最先读取，MSB 最后读出。UIDn, n=0~15。

注 3：读取 UID 方式为在 UID register(0x00C)，重复读取 16 次，一次读取一个 Byte，每个 Byte 读取后，IC 内部自动移置到下一个 Byte。每次需读取 16 次以将 UID 16 Bytes 读取完整。

注 4：每次读取前，请先在 UID Register 写入 0x00，使得内部自动移位计数器归零，以避免读取数据错误
 [* (volatile unsigned char*)(0x000C) = 0x00;]。若未写入 0x00，则当读取超过第 16 次时，读出的值会维持为 UID15。

注 5：读取 UID 的范例程序如下，用户读取 UID 须使用 8 bit 的参数(temp)作存取，再传递给呼叫参数或写入的设定位置。

```
void UID_Read(unsigned char *DID) {
    unsigned char i;
    unsigned char temp;
    *(volatile unsigned char*)(0x000C) = 0x00;           //Reset UID pointer by
    writing to it.
    for(i=0; i<16; i++)                                   //read 16 bytes of UID
    {
        temp = (*(volatile unsigned char*) 0x000C));
        DID[i] = temp;
        __asm("NOP");
    }
}
```

软件复位寄存器(SWRST)

SWRST (0x000D)	7	6	5	4	3	2	1	0
位符号	SWRST [7:0]							
读/写	R/W							
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使此寄存器复位。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

睡眠模式与深眠模式的唤醒源如下：

工作模式	唤醒源
睡眠模式	全部的中断与复位
深眠模式	OCD 睡眠释放命令、KWI 脚位、外部中断、LVD 中断。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

5.1.2 系統寄存器

系統寄存器如下：

- 程序存储器配置寄存器 PMCFG
- 数据存储器配置寄存器 DMCFG
- 中断主允许寄存器 MIFR
- 程序状态字寄存器 PSW

以上寄存器会于以下章节进行介绍。

地址	寄存器	描述
0x0038	PMCFG	程序存储器配置寄存器
0x0039	DMCFG	数据存储器配置寄存器
0x003A	MIFR	中断主允许寄存器
0x003F	PSW	程序状态字寄存器

程序存储器配置寄存器(PMCFG)

PMCFG (0x0038)	7	6	5	4	3	2	1	0
位符号	PMCFG[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1：所有硬件与软件复位皆可使此寄存器复位

注 2：考虑未来的兼容性问题，位符号为 reserve 必须写入 0

PMCFG	程序区域映像配置	PMCFG=0x00: RAM 无映像至程序区域 PMCFG=0x01: RAM 映像至程序区域, RAM 于 0x1800 开始映像
-------	----------	--

数据存储器配置寄存器(DMCFG)

DMCFG	7	6	5	4	3	2	1	0
位符号	DMCFG[7:0]							
读/写	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1：所有硬件与软件复位皆可使此寄存器复位

汉芝电子股份有限公司

iMQ Technology Inc.

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

DMCFG	数据区域映像配置	DMCFG=0x00: Flash 前 16KB 映像至 0xC000-0xFFFF DMCFG=0x02: Flash 後 32KB 映像至0x8000-0xFFFF
-------	----------	---

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

中断主允许寄存器(MIFR)

MIFR (0x003A)	7	6	5	4	3	2	1	0
位符号	reserved							IMF
读/写	R							R/W
复位后	0							0

注 1：所有硬件与软件复位皆可使此寄存器复位

注 2：考虑未来的兼容性问题，位符号为 reserve 必须写入 0

IMF	中断主允许标志	此位由允许中断指令(EI)开启；并藉由禁止中断指令清除(DI)清除
-----	---------	-----------------------------------

程序状态字寄存器(PSW)

PSW (0x003F)	7	6	5	4	3	2	1	0
位符号	JF	ZF	CF	HF	SF	VF	RBS	-
读/写	R	R	R	R	R	R	R	-
复位后	0	0	0	0	0	0	0	*

注 1：所有复位皆可使此寄存器复位

注 2：第 0 位保留给 IMF 标志，此位只能读。寄存器位则在 0x003A 存储器映像寄存器中。

程序状态字 PSW 包含 7 位状态标志，由特定 CPU 运作可进行标志更新。RBS 与 HF 之外的标志皆可于条件跳转指令中指定为条件代码(Conditional Code,CC)，例如“JR cc, a”及“JRS cc, a”，条件代码说明如下。

条件代码	描述	状态
T	1	JF = 1
F	0	JF = 0
Z	Zero	ZF = 1
NZ	Not zero	ZF = 0
CS	Carry set	CF = 1
CC	Carry clear	CF = 0
VS	Overflow set	VF = 1
VC	Overflow clear	VF = 0
M	Minus	SF = 1
P	Plus	SF = 0
EQ	Equal	ZF = 1

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

条件代码	描述	状态
NE	Not equal	ZF = 0
LT	Unsigned less than	CF = 1
GE	Unsigned less than or equal to	CF = 0
LE	Unsigned less than or equal to	(CF ^ ZF) = 1
GT	Unsigned greater than	(CF ^ ZF) = 0
SLT	Signed less than	(SF ^ VF) = 1
SGE	Signed greater than or equal to	(SF ^ VF) = 0
SLE	Signed less than or equal to	ZF ^ (SF ^ VF) = 1
SGT	Signed greater than	ZF ^ (SF ^ VF) = 0

表 5-3 条件代码清单

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

5.2 外围存储器

5.2.1 外围存储器区域

所有外围线路与外围控制寄存器皆位于此区域：

系统外围线路为：

- 时钟控制器以及监控器
- 看门狗定时器(WDT)
- 时基定时器(TBT)

以上的外围线路会于相关章节进行说明。

地址	字节 0	字节 1	字节 2	字节 3	字节 4	字节 5	字节 6	字节 7	寄存器
0x0040	FCR	FSR	FADDR0	FADDR1	FDATA0	FDATA1	FDATA2	FDATA3	Flash 控制器
0x0048	EECR	EESR	EEADDR0	EEADDR1	EEDATA0	EEDATA1	EEDATA2	EEDATA3	EEPROM 控制器
0x0050	TMRA0CFG	TMRA0SR	TMRA0CR0	TMRA0CR1	TMRA0MD0	TMRA0MD1	TMRA0CPL	TMRA0DTM	16 位定时器 Timer A
0x0058	TMRA0DR0	TMRA0DR1	TMRA0PWM0	TMRA0PWM1	系统保留	系统保留	系统保留	系统保留	
0x0060	TMRA1CFG	TMRA1SR	TMRA1CR0	TMRA1CR1	TMRA1MD0	TMRA1MD1	TMRA1CPL	TMRA1DTM	
0x0068	TMRA1DR0	TMRA1DR1	TMRA1PWM0	TMRA1PWM1	系统保留	系统保留	系统保留	系统保留	
0x0070	TMRA2CFG	TMRA2SR	TMRA2CR0	TMRA2CR1	TMRA2MD0	TMRA2MD1	TMRA2CPL	TMRA2DTM	
0x0078	TMRA2DR0	TMRA2DR1	TMRA2PWM0	TMRA2PWM1	系统保留	系统保留	系统保留	系统保留	
0x0080	TMRA3CFG	TMRA3SR	TMRA3CR0	TMRA3CR1	TMRA3MD0	TMRA3MD1	TMRA3CPL	TMRA3DTM	
0x0088	TMRA3DR0	TMRA3DR1	TMRA3PWM0	TMRA3PWM1	系统保留	系统保留	系统保留	系统保留	
0x0090	TMRA4CFG	TMRA4SR	TMRA4CR0	TMRA4CR1	TMRA4MD0	TMRA4MD1	TMRA4CPL	TMRA4DTM	
0x0098	TMRA4DR0	TMRA4DR1	TMRA4PWM0	TMRA4PWM1	系统保留	系统保留	系统保留	系统保留	
0x00A0	UART0CR1	UART0CR2	UART0DR	UART0SR	RD0BUF	TD0BUF	UART1CR1	UART1CR2	
0x00A8	UART1DR	UART1SR	RD1BUF	TD1BUF	UART2CR1	UART2CR2	UART2DR	UART2SR	
0x00B0	RD2BUF	TD2BUF	系统保留	系统保留	系统保留	系统保留	系统保留	系统保留	
0x00B8	SBI0CR1	SBI0CR2	SBI0SR	I2C0AR	SBI0DBR	系统保留	系统保留	系统保留	I2C
0x00C0 0x00C8	系统保留								
0x00D0	SIO0CR1	SIO0CR2	SIO0SR	SIO0BUF	系统保留	系统保留	系统保留	系统保留	SIO
0x00D8	系统保留								
0x00E0	P0DO	P1DO	系统保留	P3DO	P4DO	系统保留	系统保留	系统保留	GPIO
0x00E8	系统保留								
0x00F0	P0DI	P1DI	系统保留	P3DI	P4DI	系统保留	系统保留	系统保留	
0x00F8	系统保留								
0x0100	P0OE	P1OE	系统保留	P3OE	P4OE	系统保留	系统保留	系统保留	

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

地址	字节 0	字节 1	字节 2	字节 3	字节 4	字节 5	字节 6	字节 7	寄存器
0x0108	系统保留								
0x0110	P0PU	P1PU	系统保留	P3PU	P4PU	系统保留	系统保留	系统保留	
0x0118	系统保留								
0x0120	P0PD	P1PD	系统保留	P3PD	P4PD	系统保留	系统保留	系统保留	
0x0128	系统保留								
0x0130	P0DSEL	P1DSEL	系统保留	P3DSEL	P4DSEL	系统保留	系统保留	系统保留	
0x0138	系统保留								
0x0140	P0CFGCR	P0CFGV	P1CFGCR	P1CFGV	系统保留	系统保留	P3CFGCR	P3CFGV	功能选择
0x0148	P4CFGCR	P4CFGV	P5CFGCR	P5CFGV	P6CFGCR	P6CFGV	P7CFGCR	P7CFGV	
0x0150 0x0170	系统保留								
0x0178	PCKEN0	PCKEN1	PCKEN2	PCKEN3	PCKEN4	PCKEN5	PCKEN6	PCKEN7	外围线路时钟允许
0x0180	PRSTRO	PRSTR1	PRSTR2	PRSTR3	PRSTR4	PRSTR5	PRSTR6	PRSTR7	
0x0188	KWUCRO	KWUCR1	KWUCR2	系统保留	KWUSR0	KWUSR1	KWUSR2	系统保留	唤醒
0x0190	EINTCR0	EINTCR1	EINTCR2	EINTCR3	EINTCR4	EINTCR5	EINTCR6	EINTCR7	外部中断
0x0198	EINTCR8	EINTCR9	系统保留	系统保留	系统保留	系统保留	系统保留	系统保留	
0x01A0	IFR0	IFR1	IFR2	IFR3	IFR4	IFR5	IFR6	IFR7	内部中断
0x01A8	IFR8	IFR9	IFR10	IFR11	IFR12	IFR13	IFR14	IFR15	
0x01B0	IER0	IER1	IER2	IER3	IER4	IER5	IER6	IER7	
0x01B8	IER8	IER9	IER10	IER11	IER12	IER13	IER14	IER15	
0x01C0	IPR0	IPR1	IPR2	IPR3	IPR4	IPR5	IPR6	IPR7	
0x01C8	IPR8	IPR9	IPR10	IPR11	IPR12	IPR13	IPR14	IPR15	
0x01D0	IPR16	IPR17	IPR18	IPR19	IPR20	IPR21	IPR22	IPR23	
0x01D8	IPR24	IPR25	IPR26	IPR27	IPR28	IPR29	IPR30	IPR31	
0x01E0 0x02F8	系统保留								
0x0300	ADCCR0	ADCCR1	ADCCR2	系统保留	ADCCKDIV	系统保留	ADCLV	ADCSCAN0	ADC
0x0308	系统保留	系统保留	ADCSR	ADCCHRDY	ADCCHSEL	系统保留	系统保留	系统保留	
0x0310	ADCDRL	ADCDRH	ADCLLVL	ADCLLVH	ADCHLVL	ADCHLVH	系统保留	系统保留	
0x0318 0x031F	系统保留								
0x0320	CMPCR	CMPSR	系统保留	系统保留	系统保留	系统保留	系统保留	系统保留	比较器
0x0328 0x084F	系统保留								
0x0850	CRCCR	系统保留	CRCDI		CRCDO0	CRCDO1			CRC
0x0858	DICCR	系统保留	DICCNT0	DICCNT1	DICADR0	DICADR1	DICADR2	系统保留	DIC
0x0860 0x0FFF	系统保留								

6. 系统运行

此功能涵盖下方功能：

- 工作模式
- 复位
- 唤醒
- 中断
- 系统供电监控

6.1 工作模式

产品拥有 3 种工作模式

- 一般模式
- 睡眠模式
- 深眠模式

一般模式为正常运行模式。在低功耗模式，CPU 可进入睡眠、深眠，以上两种模式，皆可进行功耗节约，逐渐降低电流消耗值，使系统运行所需电流由 mA 降至 uA 等级。

下表总结以上模式中各功能开启/关闭状态。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

模式	普通	睡眠	深眠
CPU 时钟	ON	OFF	OFF
外围 时钟	ON*	ON*	OFF*
LDO	ON	ON	OFF
BROR	ON*	ON*	ON*
LVD	OFF*	OFF*	OFF*
PLL	OFF*	OFF*	OFF
HXTAL	OFF*	OFF*	OFF
LXTAL	OFF*	OFF*	OFF*
LIRC	ON	ON	ON
Flash	ON	ON	OFF
EEPROM	ON	ON	OFF
RAM	ON	ON	Retention
备注	* : 可以透过软件选择开启或关闭 Retention: 数据保留		

表 6-1 系统工作模式以及所对应之功能状态

更多关于时钟功能细节，可参考时钟控制器章节。

6.1.1 一般模式

在一般模式，CPU 可于最高时钟速度下执行指令，可满足高数据通量需求。当不需要高数据通量时，可降低系统时钟频率或是切换为低频率系统时钟，可节约功耗。另外，若外围装置的时钟不使用时可关闭，亦可节约功耗。

6.1.2 睡眠模式

低功耗模式下，系统可高速响应中断，并节约功耗。在此模式下，CPU 时钟关闭，且 PLL 保持工作状态并锁定。可视系统运行需要，关闭 PLL 以及高频内部参考时钟；外围线路若无使用时亦可关闭。

进入方式：

此模式可藉由执行睡眠指令进入。

◆ 退出方式：

使用 WDT INT/WDT RST 以外的中断源或复位皆可唤醒 CPU。

6.1.3 深眠模式

此模式下，CPU 与所有外围电路时钟皆关闭，PLL 及高频内部参考时钟亦无法使用，另外，ROM 和 Flash 也为掉电状态。只有核心稳压器为保持模式。

◆ 进入方式：

此模式可藉由执行睡眠指令进入。

◆ 退出方式：

在此模式，KWI 引脚可唤醒 CPU。若系统电源监控器开启，LVD 事件可立即唤醒 CPU，CPU 可于微秒内响应唤醒事件。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.1.4 低功耗模式

产品可由睡眠指令或电源模式寄存器 PMR(Power Mode Register)进入低功耗模式：

进入低功耗模式

在低功耗模式下，CPU 时钟可关闭；若所选择的产品支持保持模式，CPU 亦可关闭电源。

退出低功耗模式

系统接收到一中断事件并重新启动 CPU 时钟。产品支持保持模式，CPU 电源亦会重新开启，并继续执行进入低功耗模式前暂停的工作。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.2 复位控制线路

复位线路可控制外部和内部的复位因素并使系统复位。

6.2.1 复位架构

复位线路可控制外部和内部的复位因素并使系统复位。

1. 外部复位输入(RESETB · 外部因素)
2. 上电复位(POR · 内部因素)
3. 掉电复位(BROR, 内部因素)
4. 看门狗定时器复位(WDT · 内部因素)
5. 电压检测线路复位 1 (LVD1 · 内部因素)
6. 电压检测线路复位 2 (LVD2 · 内部因素)

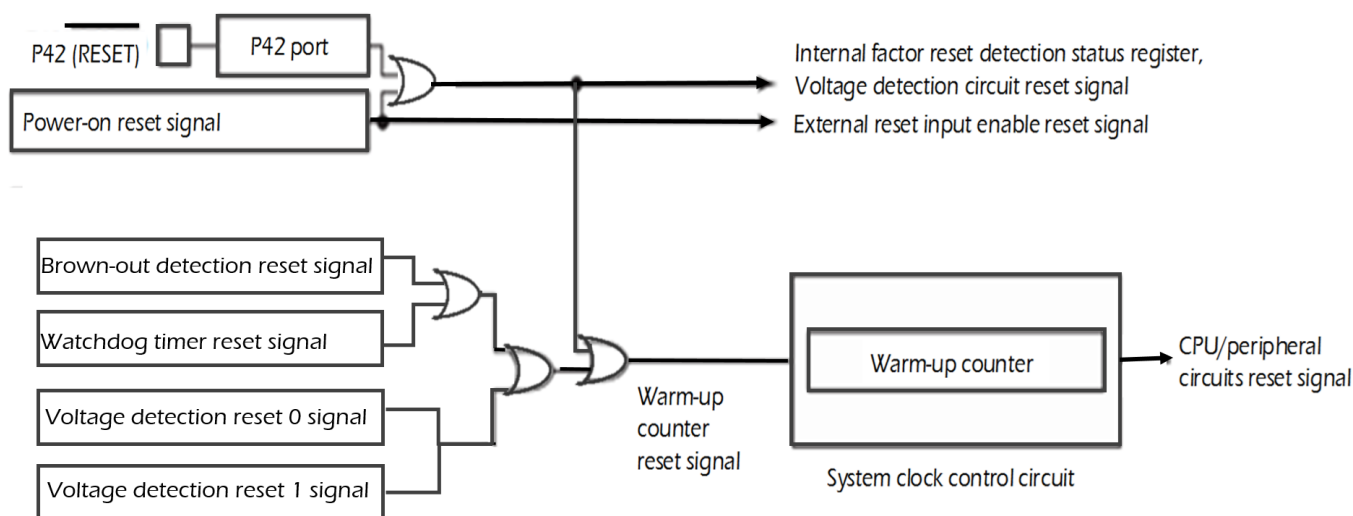


图 6-1 复位架构

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.2.2 复位控制

复位控制线路是由系统控制寄存器 0(SYSCRO) · Reset 状态寄存器 (RSTFLG))所控制。

地址	寄存器	描述
0x0008	SYSCRO	系统控制寄存器 0
0X000B	RSTFLG	Reset 状态寄存器

系统控制寄存器 0(SYSCRO)

SYSCRO	7	6	5	4	3	2	1	0
位符号	reserved		reserved	reserved	XRSTDIS	OCDDIS	ROMST	reserved
读/写	-		-	-	R/W	R/W	R	-
复位后	0		0	0	0	0	0	0

注 1：第 0 位只能以上电复位

注 2：所有硬件及软件复位皆可使此寄存器复位。

注 3：考虑未来的兼容性问题，位符号为 reserve 必须写入 0

XRSTDIS	外部复位失效	0：外部复位脚位可使用 1：外部复位脚位挪为其他功能使用
OCDDIS	OCD 失效	0：OCD 脚位可使用 1：OCD 脚位挪为其他功能使用
ROMST	ROM 状态位	0：ROM CRC 校验通过 1：ROM CRC 校验失败

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Reset 状态寄存器(RSTFLG)

RSTFLG (0x000B)	7	6	5	4	3	2	1	0
位符号	CLR	LVDRST1	LVDRST0	BRRST	Reserved	WDTF	PRRST	EXRST
读/写	W	R	R	R	R	R	R	R
复位后	0	0	0	0	1	0	1	1

注: 仅能使用 POR 进行复位

CLR	清除 RSTFLG	0 : 不变更 Reset Flag 1 : 清除 Reset Flag, 清除后此位将自动为 0 (写 1 清除 · write 1 clear)
LVDRST1	LVD1 复位状态	0: 无 LVD 复位 1: LVD1 复位
LVDRST0	LVD0 复位状态	0: 无 LVD 复位 1: LVDO 复位
BRRST	BROR 复位状态	0: 无 BROR 复位 1: 有 BROR 复位
WDTF	Watch dog 复位状态	0 : 无 Watch dog 复位 1 : 有 Watch dog 复位
PRRST	外围线路复位状态	0 : 无软件复位 1 : 有软件复位
EXRST	外部复位旗帜	0 : 无外部复位复位 1 : 有外部复位

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.2.3 复位功能

在系统复位期间，所有核心寄存器会复位至复位设定值。程序计数器(PC)装载复位中断矢量，复位处理器所使用的 CPU 矢量是基于中断矢量的内容。

上电复位、掉电复位、外部复位输入、看门狗复位、电压检测复位，都会产生复位。在离开复位状态后，此装置会进行初始化。

上电状态下，供电监控产生上电复位及掉电复位 (Brown-Out Reset, BROR) 初始化装置。当侦测到电源供应源有不稳定的情况时，将会产生复位，避免芯片不正常工作。

RESET 外部复位输入，当上电后，输入脚位默认为复位功能，此装置会立刻进行复位，复位功能为低电平有效 (low-active)。

电压检测复位是一种内部因素复位。当供应电压达到预先设定的侦测电压值时，电压检测复位便会发生。

看门狗定时器超时或其他故障状况，即产生复位。看门狗超时与外部复位相似。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.2.4 装置初始化

当装置初始化，下列情况将于复位期间进行：

寄存器复位至复位值

GPIO 脚位复位至输入 high-Z 状态

下方表格总结出在不同复位源，所进行的装置初始条件以及系统初始化。

复位源	CPU	GPIO	Peripheral SFR	复位时间 (typ.,sysclk=24MHz)
RESET(外部复位输入)	是	是	是	4 ms
BROR(掉电复位)	是	是	是	
上电复位	是	是	是	
看门狗复位	是	是	是	145 us
软件复位	是	是	是	16 us

表 6-2 装置初始化

注：以上复位时间不包含 BOOTROM code 执行时间；BOOTROM code 执行时间约需 50ms(typ.)。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

内置硬件	复位时	唤醒中	唤醒后
程序计数器 PC	0xFFFFE	0xFFFFE	0xFFFFE
堆栈指针 SP	0x1FFF	0x1FFF	0x1FFF
程序状态字 PSW	0x00	不确定	不确定
数据存储器 RAM	不确定	不确定	不确定
通用功能寄存器 (W、A、B、C、D、E、H、L、IX和IY)	不确定	不确定	不确定
跳转状态标帜位 JF	不确定	不确定	不确定
零标帜位 ZF	不确定	不确定	不确定
进位标帜位 CF	不确定	不确定	不确定
半进位标帜位 HF	不确定	不确定	不确定
正负号标帜位 SF	不确定	不确定	不确定
溢位标帜位 VF	不确定	不确定	不确定
中断主允许标帜 IMF	0	0	0
中断允许标帜 IER	0	0	0
中断标帜寄存器 IFR	0	0	0
高速时钟振荡线路	振荡允许	振荡允许	振荡允许
低速时钟振荡线路	振荡禁止	振荡禁止	振荡禁止
唤醒计数器	复位	开始	停止
看门狗定时器	禁止	禁止	允许
电压检测线路	禁止或允许	禁止或允许	禁止或允许
I/O端口引脚状态	高阻	高阻	高阻
特殊功能寄存器	参考SFR说明	参考SFR说明	参考SFR说明

表 6- 3 SQ7653 利用复位操作进行内置硬件的初始化及完成复位后的状态

注：电压检测线路只能由上电复位 (Power-on Reset) 进行功能禁止。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.2.5 复位信号产生因素

复位信号是依以下的因素产生:

6.2.5.1 外部复位输入(RESETB 引脚输入)

P42 端口可作 RESETB 引脚使用。上电后，P42 默认是复位功能，请注意必须为高电平后，芯片才能正常工作。芯片正常工作后可以通过程序设定为 IO 端口。

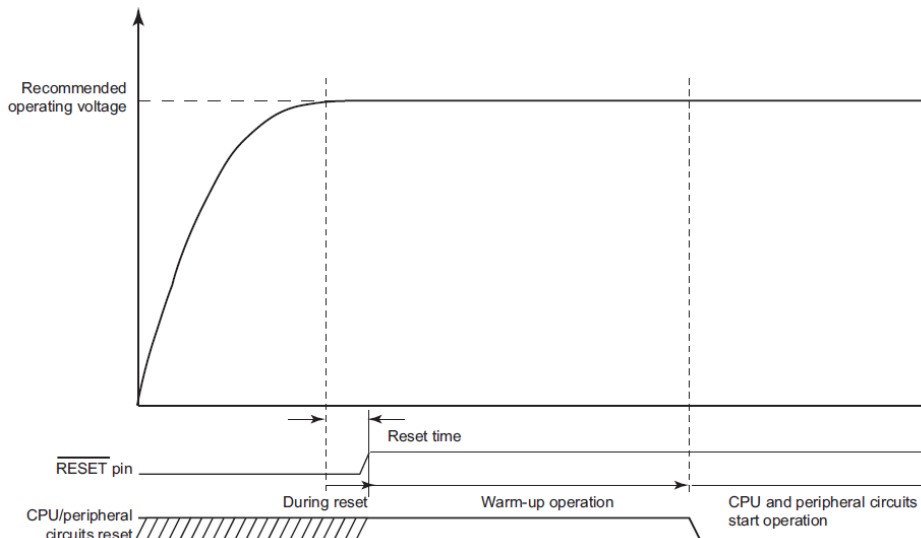


图 6-2 外部复位输入(上电时)

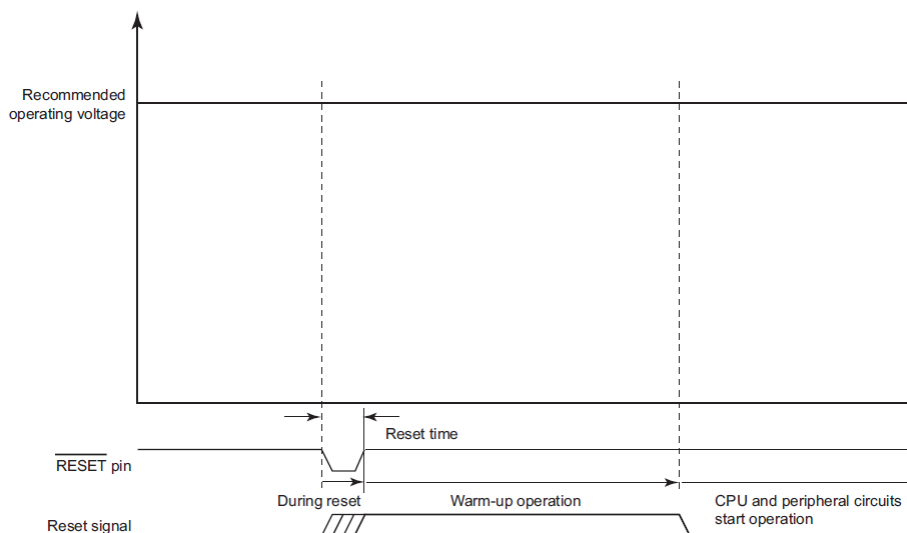


图 6-3 外部复位输入(电压稳定时)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

系统上电过程中， $\overline{\text{RESET}}$ 引脚设定为低电平时进行复位，Warm-up operation time 约: 4ms。

如果供应电压在建议操作电压范围内，而 $\overline{\text{RESET}}$ 引脚在振荡稳定的情况下维持在低电平 10 μs ，系统会进行复位。Warm-up operation time 约: 4ms

在以上两种情况下，改变 $\overline{\text{RESET}}$ 引脚的为高电平系统复位后，系统会在脱离复位后开始进行唤醒操作。

注：当供应电压等于或低于上电复位线路的检测电压时，就算 RESET 引脚为“H”，系统也不会脱离上电复位。

6.2.5.2 上电复位

上电复位是种发生在系统上电时的一种内部因素复位。

供应电压升高的过程中，供应电压若低于或等于上电复位线路的释放电压，会产生复位信号。如果供应电压高于该释放电压，复位信号会被解除。

供应电压降低的过程中，供应电压若低于或等于上电复位线路的检测电压，会产生复位信号。相关说明请参考“5.2 上电复位线路”。

6.2.5.3 掉电复位

掉电检测复位是一种内部因素复位，用于监测系统运行时 VDD 电平。当 VDD 下降到所设定的掉电触发电平(VBROR)时，掉电复位便会发生。相关说明请参考“6.4 掉电复位”。

6.2.5.4 电压检测复位

电压检测复位是一种内部因素复位。当供应电压达到预先设定的侦测电压值时，电压检测复位便会发生。相关说明请参考“6.5 电压检测线路”。

6.2.5.5 看门狗定时器(WDT) 复位

看门狗定时器复位是一种内部因素复位。当看门狗定时器发生溢位时，看门狗定时器复位便会发生。相关说明请参考“13.1 看门狗定时器”。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.2.5.6 使用 P42 作外部复位

若要使用 P42 进行外部复位，在系统上电且复位释放后的唤醒操作完成前，保持 P42 在高电平。

上电复位后的系统唤醒操作完成后，设定 P4OE2 为"0"，并将上拉电阻连接至 P42 端口。接着清除 SYSCR0<XRSTDIS>为"0"。如此可允许外部复位功能并使用 P42 端口为复位输入引脚。

要使用 P42 作 IO 引脚，设定 SYSCR0<XRSTDIS>为"1"。

注 1 : P42 引脚稳定地位于高电平时，才可进行由外部复位输入引脚切换成 IO 引脚，或是由 IO 引脚切换成外部复位输入引脚的功能切换操作。在 P42 引脚处于低电平时，进行引脚功能的切换可能会导致复位。

注 2 :若外部复位输入被当作 IO 端口使用，则清除 SYSCR0<XRSTDIS>为"0"的程序在执行时会发生问题，此程序执行的异常，可能造成系统的外部复位输入操作异常。

6.2.5.7 软件复位

用户亦可透过以下软件程序设定 SWRST 寄存器，产生软件复位。

ld (SWRST), 0x5A

ld (SWRST), 0xA5

ld (SWRST), 0xC3

ld (SWRST), 0x3C

执行以上软件程序，到 CPU 复位时间约 2us (@16MHz)；CPU 复位到 ready (不包含 BOOTROM code 执行) 约需 16us (@16MHz)。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.2.5.7 外围线路复位

用户亦可透过设定 PRSTRx 寄存器，产生外围线路复位。

PRSTRx	复位功能
PRSTR0.0	全系统复位(Global system reset)
PRSTR0.1	外围线路复位1: 外围功能复位(不包含GPIOs)
PRSTR0.2	外围线路复位2: 外围功能复位(包含GPIOs)

Bit	7	6	5	4	3	2	1	0
PRSTR0	TMRA4	TMRA3	TMRA2	TMRA1	TMRA0	Peripheral Reset 2	Peripheral Reset 1	Global Reset
PRSTR1		UART2	UART1	UART0				
PRSTR2				SIO0				I2C0
PRSTR3	EINT7	EINT6	EINT5	EINT4	EINT3	EINT2	EINT1	EINT0
PRSTR4							EINT9	EINT8
PRSTR5								
PRSTR6						CMP		ADC
PRSTR7								CRC/DIC

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.3 上电复位线路

供应电源开启时，上电复位线路会产生一个复位信号。当供应电压低于上电复位线路的侦测电压时，上电复位信号便被产生。

6.3.1 上电复位架构

上电复位线路包含参考电压产生线路和比较器。供应电压经梯形电阻进行分压后，比较器会取之与参考电压产生线路所产生的参考电压进行比较。

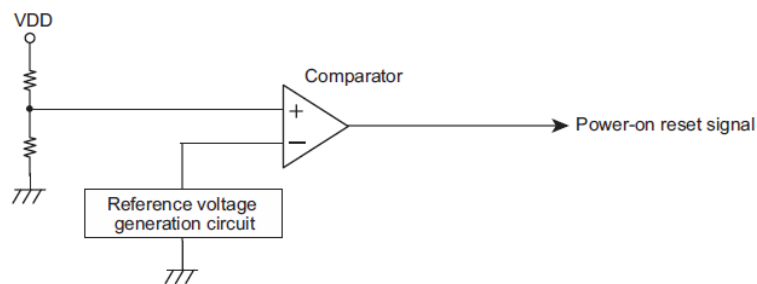


图 6-4 上电复位线路

6.3.2 上电复位功能

供应电压升高的过程中，供应电压若低于或等于上电复位线路的释放电压，会产生复位信号。如果供应电压高于该释放电压，复位信号会被解除。

供应电压降低的过程中，供应电压若低于或等于上电复位线路的检测电压，会产生复位信号。

到上电复位信号产生之前，唤醒线路和中央处理器 CPU 处于复位状态。

上电复位信号的释放会启动唤醒线路。等唤醒操作完成(过完唤醒时间后)，中央处理器 CPU 和外围线路会脱离复位。

在上电复位释放电压检测到唤醒操作完成之间，必须将供应电压升高至操作范围内。若供应电压在系统完成唤醒前没有进入操作范围，MCU 工作可能会发生不正常的状况。

注：上电复位电器特性与时序图请参照 [3.4 上电复位电器特性章节内容](#)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.4 掉电复位 (BROR)

6.4.1 掉电复位架构

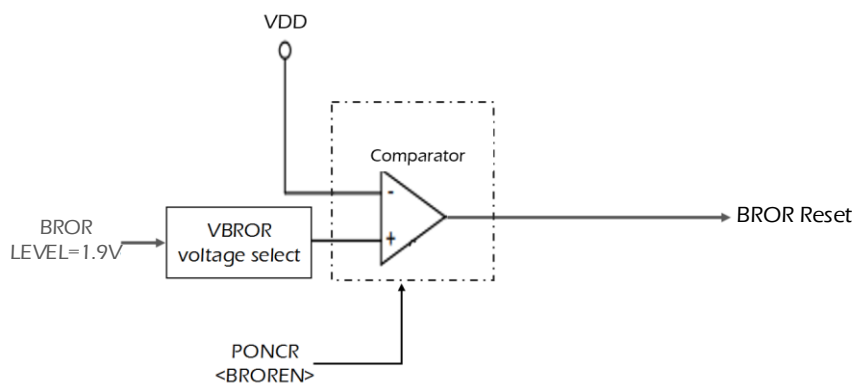


图 6-5 掉电复位线路

6.4.2 掉电复位功能

BROR 检测用于监测系统运行时 VDD 电平。当 VDD 下降到所选的 BROR 检测电压(VBROR) , 且 PONCR<BROREN>为 1 , 则 CPU 将掉电复位。发生掉电复位后 , RSTFLG<BRRST>、RSTFLG<EXRST>将会自动置为 0。RSTFLG<BRRST>、RSTFLG<EXRST>可透过软件设置或清除。

注 : BROR 特性请参考「CH3.5 BROR 电气特性」内容。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.4.3 掉电复位控制

上电控制寄存器 (PONCR)

PONCR (0x0034)	7	6	5	4	3	2	1	0
位符号	reserved ^{注1}	reserved	reserved ^{注1}	reserved ^{注1}	reserved	reserved	reserved	BROREN
读/写	R/W	R	R/W	R/W	R	R	R	R/W
复位后	1	0	1	0	0	0	0	1

注 1 : Bit 7 值必须为 1, Bit 5 值必须为 1, Bit 4 值必须为 0

注 2 : 上电复位可使此寄存器各位复位

注 2 : 考虑未来的兼容性问题, 位符号为 reserve 必须写入 0

BROREN	掉电复位允许	0 : 禁止 1 : 允许
--------	--------	------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.5 电压检测线路

电压检测线路会检测供应电压的下降，并且产生电压检测中断(INTLVD)要求信号与电压检测复位信号。

6.5.1 电压检测架构

电压检测线路包含参考电压产生线路，检测电压电平选择线路，比较器与控制寄存器。

供应电压(VDD)在经过梯形电阻的分压后，会被输入检测电压选择线路。依据 VDxLVL 的电平，检测电压选择线路会产生选择电压，而比较器会将之与参考电压作比较。供应电压(VDD)低于检测电压 VDxLVL 时，电压检测中断要求信号或电压检测复位信号会被产生。(x = 1, 2)

藉由软件编程，可选择当供应电压(VDD)低于检测电压时，电压检测线路产生电压检测复位信号，或是电压检测中断(INTLVD)要求信号。

注 1 :由于电压检测所使用之比较器不包含滞后架构，当供应电压(VDD)接近检测电压时，可能频繁产生电压检测中断(INTLVD)要求信号。因为供应电压(VDD)降低至检测电压与回升至检测电压，皆会产生电压检测中断(INTLVD)要求信号。

注 2 : LVD 特性请参考「CH3.6 LVD 电气特性」内容。

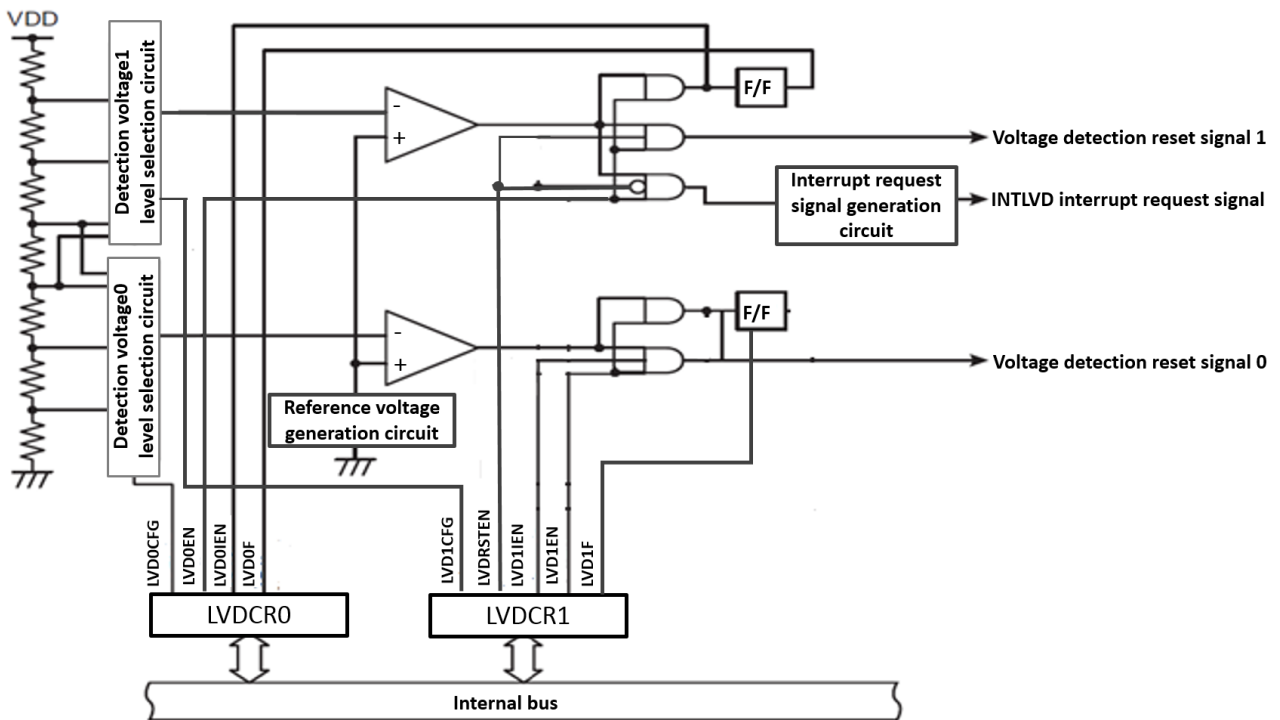


图 6-6 电压检测线路

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.5.2 电压检测控制

电压检测线路是由低电压控制寄存器(LVDCR0, LVDCR1)控制。

地址	寄存器名称	描述
0x0031	LVDCR0	低电压控制寄存器 0
0x0036	LVDCR1	低电压控制寄存器 1

低电压控制寄存器(LVDCR0)

LVDCR0 (0x0031)	7	6	5	4	3	2	1	0
位符号	LVDO LP	LVDO CFG [2:0]			LVDO RSTEN	LVDO F	LVDO IEN	LVDO EN
读/写	R/W	R/W			R/W	R/W1C	R/W	R/W
复位后	0	1	1	1	0	0	0	0

注 1 : 所有复位皆可使此寄存器各位复位

LVDO LP	LVDO 工作模式	0: 普通模式 1: 深眠模式
LVDO CFG [2:0]	LVDO 配置	000 : 2.00V +/-60 mV 001 : 2.35V +/-70 mV 010 : 2.65V +/-80 mV 011 : 2.85V +/-90 mV
LVDO RSTEN	LVDO 复位允许	0 : 中断 1 : 复位
LVDO F	LVDO 标帜	0 : 无 LVD 1 : 侦测到 LVD
LVDO IEN	LVDO 中断允许	0 : 禁止 1 : 允许
LVDO EN	LVDO 允许	0 : 禁止 1 : 允许

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

低电压控制寄存器(LVDCR1)

LVDCR1 (0x0036)	7	6	5	4	3	2	1	0
位符号	LVD1LP	LVD1CFG [2:0]			LVD1RSTEN	LVD1F	LVD1IEN	LVD1EN
读/写	R/W	R/W			R/W	R/W1C	R/W	R/W
复位后	0	1	1	1	0	0	0	0

注 1 : 所有复位皆可使此寄存器各位复位

LVD1LP	LVD1 低功耗模式	0: 普通模式 1: 深眠模式
LVD1CFG [2:0]	检测电压选择	111 : 4.5V +/-140 mV 110 : 4.2V +/-130 mV 101 : 3.98V +/-120 mV 100 : 3.15V +/-90 mV
LVD1RSTEN	LVD1 复位允许	0 : 中断 1 : 复位
LVD1F	LVD1 标帜	0 : 无 LVD 1 : 侦测到 LVD
LVD1IEN	LVD1 中断允许	0 : 禁止 1 : 允许
LVD1EN	LVD1 允许	0 : 禁止 1 : 允许

6.5.3 电压检测功能

6.5.3.1 允许/禁止电压检测操作

设定 LVDCRx<LVDxEN>为"1"可允许电压检测操作。设定 LVDCRx<LVDxEN>为"0"则会禁止电压检测操作(x=0~1)。

注 : 供应电压(VDD)低于检测电压时, 设定 LVDCRx<LVDxEN>为"1"会产生电压检测中断要求信号。

6.5.3.2 选择电压检测操作模式

设定 LVDCRx<LVDxRSTEN>为"0"时, 电压检测操作模式为产生电压检测中断(INTLV Dx)要求信号之产生。设定 LVDCRx<LVDxRSTEN>为"1"时, 产生电压检测复位信号。

(a) 在产生电压检测中断(INTLV Dx)要求信号的模式下 (LVDCRx<LVDxRSTEN>为"0")

当 LVDCRx<LVDxIEN>为"1", 在供应电压(VDD)降低至检测电压时, 系统会产生电压检测中断(INTLV D)要求信号(x=0~1)。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

注 1 : 由于电压检测所使用之比较器不包含滞后架构, 当供应电压(VDD)接近检测电压时, 可能频繁产生电压检测中断(INTLVD)要求信号。因为供应电压(VDD)降低至检测电压与回升至检测电压, 皆会产生电压检测中断(INTLVD)要求信号。

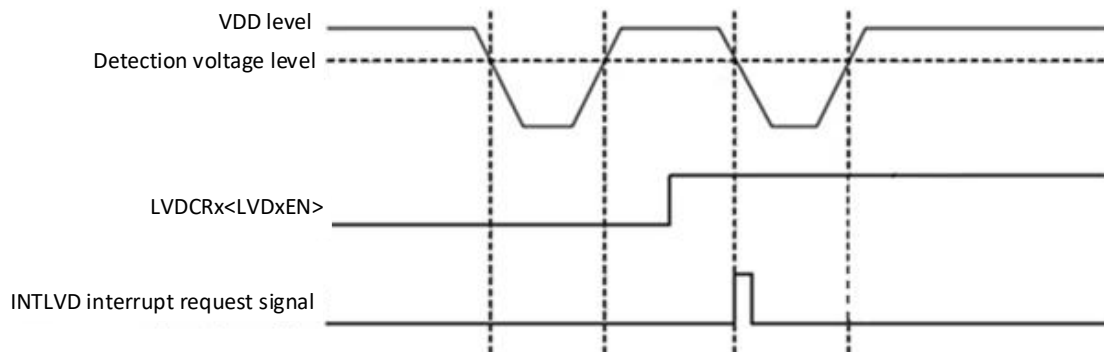


图 6-7 电压检测中断(INTLVD)要求信号

(b) 在产生电压检测复位信号的模式下 (LVDCRx<LVDxRSTEN>为"1")

当 LVDCRx<LVDxRSTEN>为"1", 在供应电压(VDD)低于检测电压 V_{DxLVL} 时, 系统会产生电压检测复位信号。

上电复位或外部复位输入后, LVDCR0 与 LVDCR1 会被回复至初始设定。只要供应电压(VDD)低于检测电压 V_{DxLVL}, 电压检测复位信号会被连续产生。

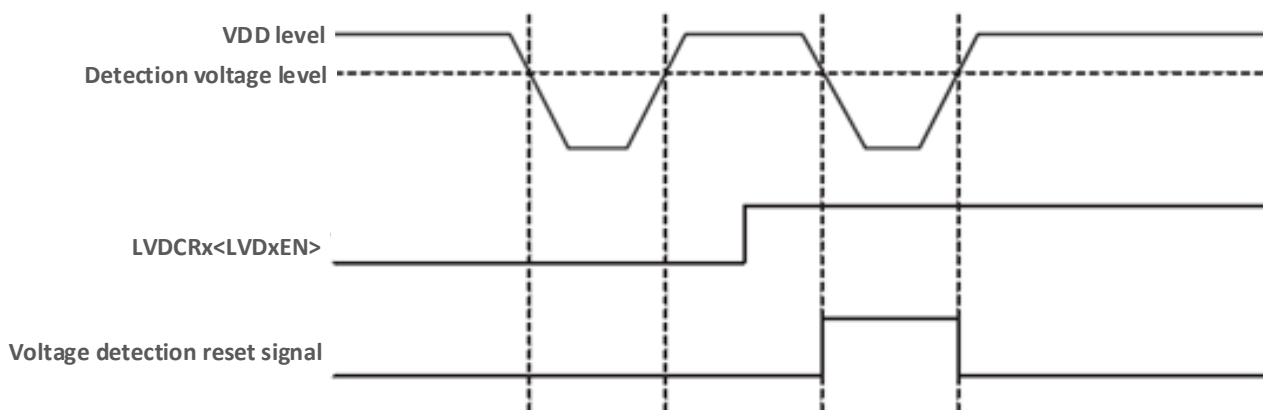


图 6-8 电压检测复位信号

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.5.3.3 选择检测电压电平

设定电压检测控制寄存器 LVDCRx<LVDxCFG>以选择检测电压电平。

6.5.3.4 电压检测标帜和电压检测状态标帜

供应电压(VDD)和检测电压之间的数值关系可藉由读取 LVDCRx<LVDxCFG>进行确认。

若设定 LVDCRx<LVDxEN>为“1”，则供应电压(VDD)降低至低于检测电压 VDxLVL 时，LVDCRx<LVDxF>会被设定为“1”并且保持该状态。就算供应电压(VDD)升高至等于或高于检测电压 VDxLVL，LVDCRx<LVDxF>也不会被清除为“0”。

在 LVDCRx<LVDxF>被设定为“1”之后，就算清除 LVDCRx<LVDxEN>为“0”，LVDCRx<LVDxF>仍会维持原状态。要清除 LVDCRx<LVDxF>为“0”，必须将 LVDCRx<LVDxF>写为“0”。

若设定 LVDCRx<LVDEN>为“1”，则供应电压(VDD)降低至低于检测电压 VDLVDx 时，LVDCRx<LVDxF>会被设定为“1”。在供应电压(VDD)升高至等于或高于检测电压 VDxLVL 后，LVDCRx<LVDxF>会被清除为“0”。

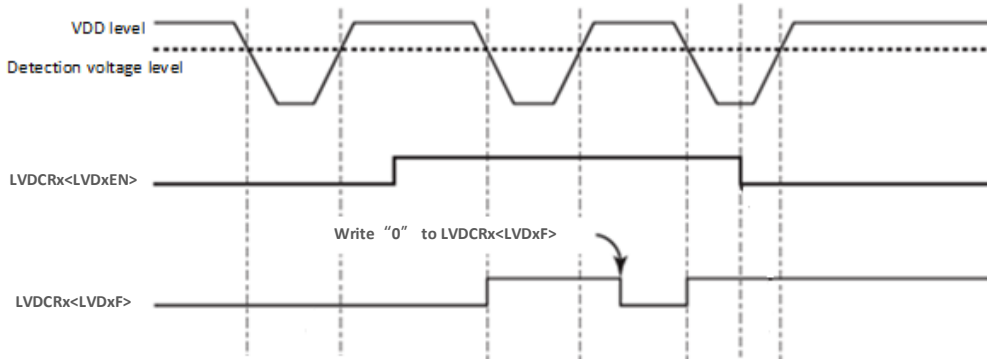


图 6-9 电压检测标帜和电压检测状态标帜的改变

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.5.4 电压检测寄存器设定

6.5.4.1 设定操作模式为产生电压检测中断(INTLVD)要求信号

设定操作模式为产生电压检测中断(INTLVD)要求信号时，进行以下设定：

1. 清除电压检测线路中断允许标帜为“0”。
2. 清除 LVDCRx<LVDxRSTEN>为“0”，设定操作模式为产生电压检测中断(INTLVDx)要求信号。
3. 设定 LVDCRx<LVDxCFG>以选择检测电压(x=0~1)。
4. 设定 LVDCRx<LVDxIEN>为“1”，设定操作模式为产生电压检测中断(INTLVD)要求信号(x=0~1)。
5. 设定 LVDCRx<LVDxEN>为“1”，允许电压检测操作(x=0~1)。
6. 至少等 10μs，直至电压检测线路稳定。
7. 确定 LVDCRx<LVDxF>为“0”，(x=0~1)。
8. 清除 LVD 中断标帜寄存器(IFR)为“0”，设定中断允许标帜(IER)为“1”以允许中断。

注：若检测电压 VLVD 的设定数值接近供应电压(VDD)，电压检测要求信号会被频繁地产生。在系统跳离电压检测中断处理时，依系统电源供应的波动状况执行适当的等待处理并清空中断锁存器。

欲在允许电压检测中断(INTLVD)要求信号时停止电压检测线路，则进行以下设定：

1. 清除电压检测线路中断允许标帜为“0”。
2. 清除 LVDCRx<LVDxEN>为“0”，停止电压检测操作(x=0~1)。

注：若停止电压检测线路时未清除中断允许标帜，可能会发生不预期的中断要求。

6.5.4.2 设定操作模式为产生电压检测复位信号

设定操作模式为产生电压检测复位信号时，进行以下设定：

1. 清除电压检测线路中断允许标帜为“0”。
2. 设定 LVDCRx<LVDxCFG>以选择检测电压(x=0~1)。
3. 清除 LVDCRx<LVDxRSTEN>为“0”，设定操作模式为产生电压检测中断(INTLVDx)要求信号。
4. 设定 LVDCRx<LVDxEN>为“1”，允许电压检测操作(x=0~1)。
5. 等待 10μs 或更长的时间，直至电压检测线路稳定。
6. 确定 LVDCRx<LVDxF>设定为“0”(x=0~1)。
7. 清除 LVDCRx<LVDxF>为“0”(x=0~1)。
8. 设定 LVDCRx<LVDxRSTEN>为“1”，以设定操作模式为产生电压检测复位信号。

注 1：电压检测控制寄存器 LVDCR0 和 LVDCR1 仅在上电复位或外部复位输入后才会回复至初始设定。在电压检测复位后到清除 LVDCRx<LVDxEN>为“0”的过程中，若供应电压(VDD)低于检测电压 VDxLVL，电压检测复位信号会立即产生。

注 2：供应电压(VDD)低于检测电压 VDxLVL 时，电压检测线路会连续产生电压检测复位信号。

欲在允许电压检测复位信号时停止电压检测线路，则进行以下设定：

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

1. 清除电压检测线路中断允许标识为“0”。
2. 除 LVDCRx<LVDxRSTEN>为“0”，设定操作模式为产生电压检测中断(INTLVVDx)要求信号。
3. 清除 LVDCRx<LVDxRSTEN>为“0”，停止电压检测操作。

注：若停止电压检测线路时未清除中断允许标识，可能会发生不预期的中断要求。

6.6 唤醒 KWU

唤醒是控制引脚 KWI 7 到引脚 KWI 0 使系统脱离深眠模式(Deep sleep mode)。

6.6.1 唤醒 KWU 架构

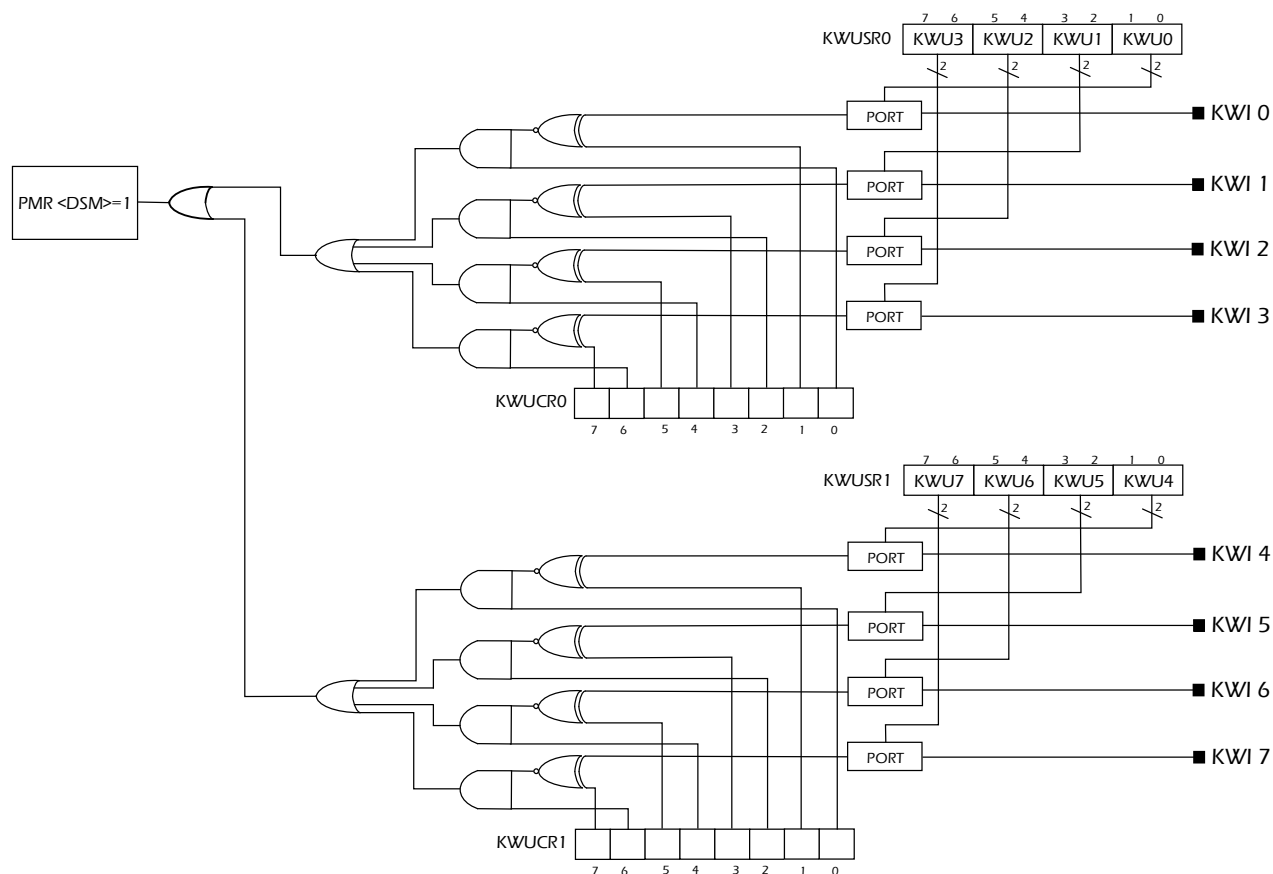


图 6-10 唤醒线路(以 KWI 0~ KWI 7 为例)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.6.2 唤醒 KWU 控制寄存器

设定唤醒控制寄存器 KWUCR0 与 KWUCR1 可指定脱离深眠模式引脚为唤醒引脚 **KWI 7** 到 **KWI 0**，同时设定这些唤醒引脚的深眠模式释放电平。

地址	寄存器	描述
0x0188	KWUCR0	KWU 控制寄存器 0
0x0189	KWUCR1	KWU 控制寄存器 1
0x018A	KWUCR2	KWU 控制寄存器 2
0x018C	KWUSR0	KWU 配置寄存器 0
0x018D	KWUSR1	KWU 配置寄存器 1
0x018E	KWUSR2	KWU 配置寄存器 2

KWU 控制寄存器 0(KWUCR0)

KWUCR0 (0x0188)	7	6	5	4	3	2	1	0
位符号	KW3LE	KW3EN	KW2LE	KW2EN	KW1LE	KW1EN	KW0LE	KW0EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有硬件与软件复位皆可使此寄存器复位。

KW3LE	KWI 3 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW3EN	KWI 3 引脚输入允许/禁止控制	0: 禁止 1: 允许
KW2LE	KWI 2 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW2EN	KWI 2 引脚输入允许/禁止控制	0: 禁止 1: 允许
KW1LE	KWI 1 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW1EN	KWI 1 引脚输入允许/禁止控制	0: 禁止 1: 允许
KW0LE	KWI 0 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW0EN	KWI 0 引脚输入允许/禁止控制	0: 禁止 1: 允许

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

KWU 控制寄存器 1(KWUCR1)

KWUCR1 (0x0189)	7	6	5	4	3	2	1	0
位符号	KW7LE	KW7EN	KW6LE	KW6EN	KW5LE	KW5EN	KW4LE	KW4EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有硬件与软件附位皆可使此寄存器复位。

KW7LE	KWI 7引脚的停止模式释放电平	0: 低电平 1: 高电平
KW7EN	KWI 7引脚输入允许/禁止控制	0: 禁止 1: 允许
KW6LE	KWI 6引脚的停止模式释放电平	0: 低电平 1: 高电平
KW6EN	KWI 6引脚输入允许/禁止控制	0: 禁止 1: 允许
KW5LE	KWI 5引脚的停止模式释放电平	0: 低电平 1: 高电平
KW5EN	KWI 5引脚输入允许/禁止控制	0: 禁止 1: 允许
KW4LE	KWI 4引脚的停止模式释放电平	0: 低电平 1: 高电平
KW4EN	KWI 4引脚输入允许/禁止控制	0: 禁止 1: 允许

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

KWU 控制寄存器 2(KWUCR2)

KWUCR2 (0x018A)	7	6	5	4	3	2	1	0
位符号	Reserved	Reserved	Reserved	Reserved	KW9LE	KW9EN	KW8LE	KW8EN
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有硬件与软件附位皆可使此寄存器复位。

KW6LE	KWI 9引脚的停止模式释放电平	0: 低电平 1: 高电平
KW6EN	KWI 9引脚输入允许/禁止控制	0: 禁止 1: 允许
KW5LE	KWI 8引脚的停止模式释放电平	0: 低电平 1: 高电平
KW5EN	KWI 8引脚输入允许/禁止控制	0: 禁止 1: 允许

唤醒功能可透过 KW 唤醒配置寄存器指定引脚，此产品引脚为多任务复用，以下寄存器信息亦同不记载于「外为网络互联系统 (PNIC)」章节。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

KWU 配置寄存器 0(KWUSR0)

KWUSR0 (0x018C)	7	6	5	4	3	2	1	0
位符号	KWU3		KWU2		KWU1		KWU0	
读/写	R/W		R/W		R/W		R/W	
复位后	0		0		0		0	

注：所有复位皆可使此寄存器复位。

KWU 配置寄存器 1(KWUSR1)

KWUSR1 (0x018D)	7	6	5	4	3	2	1	0
位符号	KWU7		KWU6		KWU5		KWU4	
读/写	R/W		R/W		R/W		R/W	
复位后	0		0		0		0	

注：所有复位皆可使此寄存器复位。

KWU 配置寄存器 2(KWUSR2)

KWUSR2 (0x018E)	7	6	5	4	3	2	1	0
位符号	Reserved		Reserved		KWU9		KWU8	
读/写	R		R		R/W		R/W	
复位后	0		0		0		0	

注：所有复位皆可使此寄存器复位。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.6.3 KWU 控制寄存器

藉由操作 KWI m 引脚 (m: 0~9) , 用户可启动唤醒功能 , 使系统脱离深眠(deep sleep)模式。若要指定 KWI m 引脚作为深眠模式释放引脚 , 必须先设定唤醒配置寄存器 KWUSRn (n: 0~2) 。

6.6.3.1 设定 KWU 配置寄存器 (KWUSRn)

要指定 KWI m 引脚作为深眠(deep sleep)模式释放引脚 , 可透过唤醒配置寄存器 KWUSRn 指定引脚。产品各引脚皆为多任务复用 , 可根据用户的配置 , 调度指定特定引脚。

6.6.3.2 设定 KWU 控制寄存器 (KWUCRn)

设定完唤醒引脚 , 接着需设定唤醒控制寄存器 KWUCRn <KWmEN>=1 , 启动此引脚对唤醒的控制。KWI m 引脚对应的唤醒控制寄存器 KWUCRn<KWmEN>被设定为"1"后 , 可藉由设定 KWUCRn<KWmLE>寄存器以设定深眠模式释放电平。若 KWUCRn<KWmLE>为"0" , 输入低电平信号可释放深眠模式。若 KWUCRn<KWmLE>为"1" , 输入高电平信号可释放深眠模式。举例来说 , 若要设定系统在 KWI 0 脚位接收到高电平输入信号时脱离停止模式 , 设定 KWUCR0<KW0EN>为"1" , 并设定 KWUCR0 <KW0LE>为"1" 。

6.6.3.3 进入深眠模式

深眠模式(deep sleep mode)可藉由设定电源模式寄存器 PMR<DSM>=1 , 使用 Sleep 指令进入深眠模式。(更多工作模式叙述请参照「6.1 工作模式」章节。)

6.6.3.4 退出深眠模式

要退出深眠模式 , 可在 KWI m 引脚上输入符合设定的深眠模式释放电平。

如果 KWI m 引脚在系统要进入深眠模式时已位于释放电平 , 系统会执行剩下的指令并不启动深眠模式(无唤醒 warm-up 动作)。

注 : 在唤醒控制寄存器 KWUCRn 设定为输入允许的情况下 , 不要在 KWI m 引脚上输入模拟电压信号 , 否则会引起非预期的系统耗电电流。

6.7 中断

本产品支持高达 40 个中断(含 Reset) , 可分成 2 种类型 : 非屏蔽中断或是屏蔽中断。非屏蔽中断拥有比屏蔽中断更高的优先级 , 所有屏蔽中断皆可以优先级进行嵌套(nested)。

以上两种中断的优先级将于下章节叙述。

6.7.1 非屏蔽中断

非屏蔽中断可分为 4 种型态 :

- 复位 , 第一优先
- 软件中断 , 第二优先
- 未定义指令中断 , 第二优先
- 看门狗中断 , 第三优先

复位为最高优先 ; 软件中断以及未定义指令中断为两种不同类型 , 故两者并列为第二优先级 ; 而看门狗中断则是最低优先。

6.7.2 屏蔽中断

本产品支持高达 36 个屏蔽中断 , 由中断 4 开始至中断 73 为止。屏蔽中断的自然优先级是以降序排列 , 中断 4 为最高优先 ; 中断 73 为最低优先。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.7.3 中断列表

中断列表如下所示。

中断源	中断名称	中断 优先级	中断向量	IER	IFR	IPR
上电复位	RESET_IRQ	1	0xFFFFE	-	-	-
软件中断	SWI_IRQ	2	0xFFFFC	-	-	-
未定义指令	UNDEF_IRQ	2	0xFFFFC	-	-	-
看门狗定时器	WDT_IRQ	3	0xFFFF8	-	IFR0.3	-
LVD0 侦测	LVD0_IRQ	4	0xFFFF6	IER0.4	IFR0.4	IPR1[1:0]
系统保留		5	0xFFFF4	IER0.5	IFR0.5	IPR1[3:2]
系统保留		6	0xFFFF2	IER0.6	IFR0.6	IPR1[5:4]
时基定时器	TBT_IRQ	7	0xFFFF0	IER0.7	IFR0.7	IPR1[7:6]
LVD1 侦测	LVD1_IRQ	8	0xFFEE	IER1.0	IFR1.0	IPR2[1:0]
TimerA00 16 位定时器	TMRA00_IRQ	9	0xFFEC	IER1.1	IFR1.1	IPR2[3:2]
TimerA01 16 位定时器	TMRA01_IRQ	10	0xFFEA	IER1.2	IFR1.2	IPR2[5:4]
TimerA10 16 位定时器	TMRA10_IRQ	11	0xFFE8	IER1.3	IFR1.3	IPR2[7:6]
TimerA11 16 位定时器	TMRA11_IRQ	12	0xFFE6	IER1.4	IFR1.4	IPR3[1:0]
TimerA20 16 位定时器	TMRA20_IRQ	13	0xFFE4	IER1.5	IFR1.5	IPR3[3:2]
TimerA21 16 位定时器	TMRA21_IRQ	14	0xFFE2	IER1.6	IFR1.6	IPR3[5:4]
系统保留		15	0xFFE0	IER1.7	IFR1.7	IPR3[7:6]
UART0 RX	UART0_RX_IRQ	16	0xFFDE	IER2.0	IFR2.0	IPR4[1:0]
UART0 TX	UART0_TX_IRQ	17	0xFFDC	IER2.1	IFR2.1	IPR4[3:2]
I2C0	I2C0_IRQ	18	0xFFDA	IER2.2	IFR2.2	IPR4[5:4]
SIO0	SIO0_IRQ	19	0xFFD8	IER2.3	IFR2.3	IPR4[7:6]
外部中断 0	EXT0_IRQ	20	0xFFD6	IER2.4	IFR2.4	IPR5[1:0]
外部中断 1	EXT1_IRQ	21	0xFFD4	IER2.5	IFR2.5	IPR5[3:2]
外部中断 2	EXT2_IRQ	22	0xFFD2	IER2.6	IFR2.6	IPR5[5:4]
外部中断 3	EXT3_IRQ	23	0xFFD0	IER2.7	IFR2.7	IPR5[7:6]
ADC	ADC_IRQ	24	0xFFCE	IER3.0	IFR3.0	IPR6[1:0]
系统保留		25	0xFFCC	IER3.1	IFR3.1	IPR6[3:2]
系统保留		26	0xFFCA	IER3.2	IFR3.2	IPR6[5:4]
比较器	CMP_IRQ	27	0xFFC8	IER3.3	IFR3.3	IPR6[7:6]

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

中断源	中断名称	中断 优先级	中断向量	IER	IFR	IPR
系统保留		28	0xFFC6	IER3.4	IFR3.4	IPR7[1:0]
Flash 控制器	FMC_IRO	29	0xFFC4	IER3.5	IFR3.5	IPR7[3:2]
系统保留		30	0xFFC2	IER3.6	IFR3.6	IPR7[5:4]
系统保留		31	0xFFC0	IER3.7	IFR3.7	IPR7[7:6]
系统保留		32	0xFFBE	IER4.0	IFR4.0	IPR8[1:0]
系统保留		33	0xFFBC	IER4.1	IFR4.1	IPR8[3:2]
系统保留		34	0xFFBA	IER4.2	IFR4.2	IPR8[5:4]
系统保留		35	0xFFB8	IER4.3	IFR4.3	IPR8[7:6]
系统保留		36	0xFFB6	IER4.4	IFR4.4	IPR9[1:0]
系统保留		37	0xFFB4	IER4.5	IFR4.5	IPR9[3:2]
系统保留		38	0xFFB2	IER4.6	IFR4.6	IPR9[5:4]
DIC	DIC_IRO	39	0xFFB0	IER4.7	IFR4.7	IPR9[7:6]
系统保留		40	0xFFAE	IER5.0	IFR5.0	IPR10[1:0]
系统保留		41	0xFFAC	IER5.1	IFR5.1	IPR10[3:2]
系统保留		42	0xFFAA	IER5.2	IFR5.2	IPR10[5:4]
外部中断 4	EXT4_IRO	43	0xFFA8	IER5.3	IFR5.3	IPR10[7:6]
外部中断 5	EXT5_IRO	44	0xFFA6	IER5.4	IFR5.4	IPR11[1:0]
外部中断 6	EXT6_IRO	45	0xFFA4	IER5.5	IFR5.5	IPR11[3:2]
外部中断 7	EXT7_IRO	46	0xFFA2	IER5.6	IFR5.6	IPR11[5:4]
EEPROM 控制器	EE_IRO	47	0xFFA0	IER5.7	IFR5.7	IPR11[7:6]
TimerA30 16 位定时器	TMRA30_IRO	48	0xFF9E	IER6.0	IFR6.0	IPR12[1:0]
TimerA31 16 位定时器	TMRA31_IRO	49	0xFF9C	IER6.1	IFR6.1	IPR12[3:2]
TimerA40 16 位定时器	TMRA40_IRO	50	0xFF9A	IER6.2	IFR6.2	IPR12[5:4]
TimerA41 16 位定时器	TMRA41_IRO	51	0xFF98	IER6.3	IFR6.3	IPR12[7:6]
系统保留		52	0xFF96	IER6.4	IFR6.4	IPR13[1:0]
		53	0xFF94	IER6.5	IFR6.5	IPR13[3:2]
UART1 RX	UART1_RX1_IRO	54	0xFF92	IER6.6	IFR6.6	IPR13[5:4]
UART1 TX	UART1_TX1_IRO	55	0xFF90	IER6.7	IFR6.7	IPR13[7:6]
系统保留		56	0xFF8E	IER7.0	IFR7.0	IPR14[1:0]
系统保留		57	0xFF8C	IER7.1	IFR7.1	IPR14[3:2]
系统保留		58	0xFF8A	IER7.2	IFR7.2	IPR14[5:4]

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

中断源	中断名称	中断 优先级	中断向量	IER	IFR	IPR
系统保留		59	0xFF88	IER7.3	IFR7.3	IPR14[7:6]
系统保留		60	0xFF86	IER7.4	IFR7.4	IPR15[1:0]
外部中断 8	EXT8_IRO	61	0xFF84	IER7.5	IFR7.5	IPR15[3:2]
外部中断 9	EXT9_IRO	62	0xFF82	IER7.6	IFR7.6	IPR15[5:4]
系统保留		63	0xFF80	IER7.7	IFR7.7	IPR15[7:6]
系统保留		64	0xFF7E	IER8.0	IFR8.0	IPR16[1:0]
系统保留		65	0xFF7C	IER8.1	IFR8.1	IPR16[3:2]
系统保留		66	0xFF7A	IER8.2	IFR8.2	IPR16[5:4]
系统保留		67	0xFF78	IER8.3	IFR8.3	IPR16[7:6]
系统保留		68	0xFF76	IER8.4	IFR8.4	IPR17[1:0]
系统保留		69	0xFF74	IER8.5	IFR8.5	IPR17[3:2]
系统保留		70	0xFF72	IER8.6	IFR8.6	IPR17[5:4]
系统保留		71	0xFF70	IER8.7	IFR8.7	IPR17[7:6]
UART2 RX	UART2_RX2_IRO	72	0xFF6E	IER9.0	IFR9.0	IPR18[1:0]
UART2 TX	UART2_TX2_IRO	73	0xFF6C	IER9.1	IFR9.1	IPR18[3:2]

表 6-4 中断列表

6.7.4 中断控制器 (INTC)

中断控制器支持 73 中断，前 4 个中断源为非屏蔽中断，分别为复位、SWI、未定义指令以及看门狗中断，以上中断有皆有固定优先级。中断 4 至中断 83 为屏蔽中断，这些中断的自然优先级以降序排列，中断 4 为最高优先；中断 83 为最低优先级。当中断程序执行，而中断主允许标帜(IMF)被设定时，系统则可支持以优先级排序之中断嵌套。

在控制器中共有 3 组寄存器：第一组为中断标帜，与中断源连接。第二组为中断允许，个别启动中断。当中断发生时，中断标帜位设置为“1”。若相对应之中断允许标帜及 IMF 标帜亦设定为“1”，即会产生中断需求并传送至 CPU 处理。若多个屏蔽中断同时产生时，这些中断则以自然优先级排序进行处理。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.7.5 中断标帜寄存器 (IFRx, x=0~9)

每个可屏蔽中断源皆可获得一中断标帜，共有 10 个寄存器，有 37 个标帜可被分配。

9

当外围线路产生一个中断时，中断标帜位会设定为 1，而当 CPU 接受此中断时，中断标帜会迅速的被清除。当系统复位期间，所有的中断标帜都会被初始化为 0。标帜只能由硬件设定，写入 1 时无任何影响；写入 0 时则标帜会被清除。

寄存器	地址
IFR0	0x01A0
IFR1	0x01A1
IFR2	0x01A2
IFR3	0x01A3
IFR4	0x01A4
IFR5	0x01A5
IFR6	0x01A6
IFR7	0x01A7
IFR8	0x01A8
IFR9	0x01A9

以下为 IFR0、IFR1 寄存器范例，IFR2 至 IFR9 请参照 IFR1 寄存器范例，寄存器地址请参照 6.7.3 中断列表。

IFR0 (0x01A0)	7	6	5	4	3	2	1	0
中断源	TBT	-	-	LVDO	WDT	UNDEF	SWI	Reset
读/写	R/W	R/W	R/W	R/W	R/W	*	*	*
复位后	0	0	0	0	0	*	*	*

注 1：所有硬件与软件复位皆可使此寄存器复位

注 2：此寄存器位是藉由硬件进行设定或清除，写入 1 无任何影响，写入 0 则会清除标帜。

注 3：* 表示此位不使用

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

IFR1 (0x01A1)	7	6	5	4	3	2	1	0
中断源	-	TMRA21	TMRA20	TMRA11	TMRA10	TMRA01	TMRA00	LVD1
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1：所有硬件与软件复位皆可使此寄存器复位

注 2：此寄存器位是藉由硬件进行设定或清除，写入 1 无任何影响，写入 0 则会清除标帜。

6.7.6 中断允许寄存器 x (IERx, x=0~9)

中断允许寄存器为允许/禁止个别遮蔽中断。IMF 标志为主允许位，可使全部的遮蔽中断作用；清除 IMF 标帜则会使之全部失效。设定 IMF 标帜可允许中断，而此中断由 IER 寄存器中的个别中断允许标帜所指定，而 IER 寄存器总共有 10 个，IER0 至 IER9。

当一个中断发生时，IMF 标帜与处理状态标帜会一起推进堆栈区域。而进入处理程序时，IMF 标帜则会清除为 0，以使之之后接续而来的中断失效。中断处理程序执行完毕后，返回中断指令(RETI/RETN)则会使目前的 IMF 标帜，依据先前堆栈的 IMF 回复标帜。

请注意，非可屏蔽中断并不受这些寄存器影响。

寄存器	地址
IER0	0x01B0
IER1	0x01B1
IER2	0x01B2
IER3	0x01B3
IER4	0x01B4
IER5	0x01B5
IER6	0x01B6
IER7	0x01B7
IER8	0x01B8
IER9	0x01B9

此为 IER0、IER1 寄存器范例，IER2 至 IER11 请参照 IER1 寄存器范例，寄存器地址请参照 6.7.3 中断列表查找。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

IER0 (0x01B0)	7	6	5	4	3	2	1	0
位符号	IE7	-	-	IE4	*	*	*	*
中断源	TBT	-	-	LVD0	*	*	*	*
读/写	R/W	R/W	R/W	R/W	*	*	*	*
复位后	0	0	0	0	*	*	*	*

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : *表示此位不被使用

IER1 (0x01B1)	7	6	5	4	3	2	1	0
位符号	IE15	IE14	IE13	IE12	IE11	IE10	IE9	IE8
中断源	-	TMRA21	TMRA20	TMRA11	TMRA10	TMRA01	TMRA00	LVD1
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 : 所有硬件与软件复位皆可使此寄存器复位

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.7.7 中断优先级变更

系统默认的中断的优先级如表 6-4 中断列表中中断优先级所示。中断优先级可通过改变对应的中断优先级寄存器 (IPR)来更改。中断优先级寄存器(IPR)的优先级有四个级别，级别 0 到级别 3，级别 0 具有最低优先级，级别 3 具有最高优先级，此与基本优先级无关。可以通过中断优先级变更控制寄存器 (IPR) 更改中断优先级。要提高中断优先级，请将级别设置为更大的数字。要降低中断优先级，请将级别设置为较小的数字。当在同一优先级同时生成不同的可屏蔽中断时，将优先处理具有较高基本优先级的中断。

中断优先级寄存器(IPR)的优先级会取代系统默认的中断优先级。若中断优先级寄存器(IPR)的值一样，会以系统默认的中断优先级决定。

每个中断各自有一个 2 bits 的 IPR，以下以 IPR1,IPR2 内容为例，其他中断源请查照表 6-4 中断列表。

IPR1 (0x01C1)	7	6	5	4	3	2	1	0
位符号	IE7P		*		*		IE4P	
中断源	TBT		*		*		LVD	
读/写	R/W		*		*		R/W	
复位后	0		*		*		0	

*：未使用

IE7P	变更 Interrupt 7 的中断优先级	00: Level 0 (最低优先级) 01: Level 1 10: Level 2 11: Level 3 (最高优先级)
IE4P	变更 Interrupt 4 的中断优先级	

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

IPR2 (0x01C2)	7	6	5	4	3	2	1	0
位符号	IE11P		IE10P		IE9P		IE8P	
中断源	TMRA10		TMRA01		TMRA00		LVD1	
读/写	R/W		R/W		R/W		R/W	
复位后	0		0		0		0	

* : 未使用

IE11P	变更 Interrupt 11 的中断优先级	00: Level 0 (最低优先级) 01: Level 1 10: Level 2 11: Level 3 (最高优先级)
IE10P	变更 Interrupt 10 的中断优先级	
IE9P	变更 Interrupt 9 的中断优先级	
IE8P	变更 Interrupt 8 的中断优先级	

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.7.8 中断处理

当中断或多个中断发生时，由中断控制器决定处理顺序，其中断处理需求以及中断矢量回传送至 CPU 作业。当中断需求被允许后，进行分为 6 阶段的中断延迟。

E	E+1	E+2	E+3	F	D	E
---	-----	-----	-----	---	---	---

中断延迟	
代码	阶段工作
E	当中断需求允许后，指令单元接收中断矢量并产生指令取出地址；PSW 则推至堆栈区域
E+1	中断矢量内容返回且以跳转指令进入指令缓冲器，并将下一个操作码地址推至堆栈区域
E+2	中断处理程序地址译码
E+3	指令单元矢量传送至中断处理程序
F	中断处理程序的第一个操作码取出
D	指令操作码译码
E	执行指令

RETI 或 RETN 为中断处理程序中最后的指令，之后下一个操作码以及 PSW 会从堆栈区弹出(POP)，CPU 会持续执行脚本。

中断处理程序中，当中断主允许标志(IMF)设定后即可使用嵌套中断。

6.8 外部中断控制线路

外部中断是以侦测输入信号的改变产生中断要求。内建数字噪声抑制电路可减少噪声引起的误中断。

6.8.1 外部中断架构

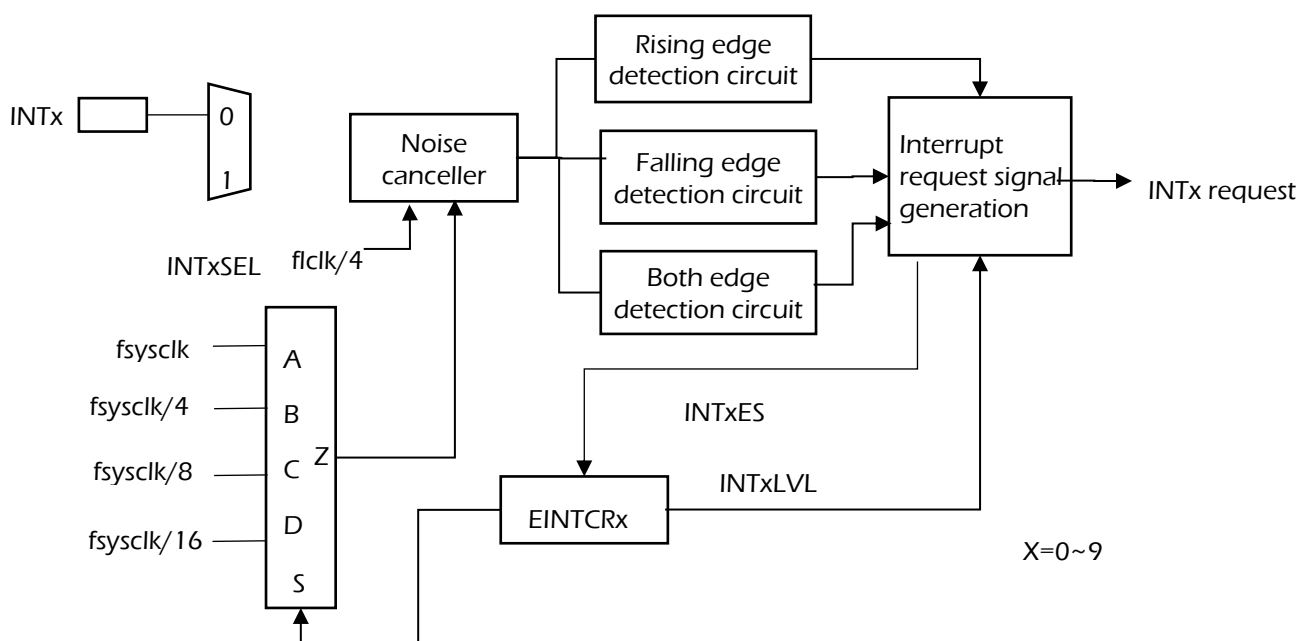


图 6-11 外部中断 (INT0~INT9)

外部中断控制线路包含噪声抑制器，沿侦测线路和中断信号产生线路。

外部中断控制线路后处理每一个外部中断信号，经过沿侦测线路后，再由噪声抑制器去除噪声。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.8.2 外部中断控制

外部中断由以下寄存器控制:

地址	寄存器	描述
0x0190	EINTCR0	外部中断控制寄存器 0
0x0191	EINTCR1	外部中断控制寄存器 1
0x0192	EINTCR2	外部中断控制寄存器 2
0x0193	EINTCR3	外部中断控制寄存器 3
0x0194	EINTCR4	外部中断控制寄存器 4
0x0195	EINTCR5	外部中断控制寄存器 5
0x0196	EINTCR6	外部中断控制寄存器 6
0x0197	EINTCR7	外部中断控制寄存器 7
0x0198	EINTCR8	外部中断控制寄存器 8
0x0199	EINTCR9	外部中断控制寄存器 9

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

外部中断控制寄存器(EINTCRx), x=0 ~ 9

EINTCRx	7	6	5	4	3	2	1	0
位符号	Reserved			INTxLVL	INTxES[1:0]		INTxINC[1:0]	
读/写	R			R	R/W		R/W	
复位后	0			0	0		0	

注：所有硬件与软件复位皆可使此寄存器复位

INTxLVL	中断需求信号产生时，噪声清除器通过信号的电平	0：原始状态或信号为低电平(L) 1：高电平(H)
INTxES[1:0]	选择外部中断需求产生条件	00：于通过噪声清除器信号之上升沿 01：于通过噪声清除器信号之下降沿 10：于通过噪声清除器信号之上升与下降沿 11：系统保留
INTxINC[1:0]	设定外部中断噪声清除器之取样区间	00：fsysclk 01：fsysclk / 4 10：fsysclk / 8 11：fsysclk / 16

6.8.3 外部中断功能

外部中断 0 到 7 的中断要求信号及噪声抑制时间都是可以设定的。

中断源	引脚	允许中断条件	产生中断要求信号	外部中断引脚输入信号宽度与噪声抑制	
				一般/睡眠模式	一般/睡眠模式(低速时钟)
INT0	INT0	IMF=1 IER2.4=1	下降沿 上升沿 下降沿/上1升沿	短于2/fsIO: 噪声 介于2/fspl和3/fsIO+1/fsysclk之间: 不确定 长于3/fsIO+1/fsysclk: 有效信号	短于4/fclk: 噪声 介于4/fclk和8/fclk之间: 不确定 长于8/fclk: 有效信号
INT1	INT1	IMF=1 IER2.5=1			
INT2	INT2	IMF=1 IER2.6=1			
INT3	INT3	IMF=1 IER2.7=1			
INT4	INT4	IMF=1 IER5.3=1			
INT5	INT5	IMF=1 IER5.4=1			

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

INT6	INT6	IMF=1 IER5.5=1			
INT7	INT7	IMF=1 IER5.6=1			
INT8	INT8	IMF=1 IER7.5=1			
INT9	INT9	IMF=1 IER7.6=1			

表 6-5 外部中断

注：fsysclk：系统时钟，fclk：低速时钟，fspl：取样间隔。

6.8.3.1 外围电路时钟允许功能

不使用外部中断时，可使用外围电路时钟寄存器 PCKEN 达到降低耗能的功效。设定 PCKEN3<EINTx> 为“0”会停止外部中断所需的基本时钟并节省耗能，此时外部中断功能也被禁止。设定 PCKEN3<EINTx>为“1”可以启动外部中段所需的基本时钟并且允许外部中断功能。

复位后，PCKEN3<EINTx>为“1”并禁止外部中断功能。在第一次使用外部中断功能时，确认已于软件初始设定(在操作外部中断控制寄存器前)将 PCKEN3<EINTx>设为“1”。

注：改变 EINTx 时可能会产生中断要求信号。在改变 EINTx 前，先清空对应的中断允许寄存器(EIR)为“0”以禁止中断的发生。当工作模式从一般/睡眠模式切换到一般/睡眠模式(低速时钟)时，在模式转换后先等候 12/fclk 秒，接着清空中断锁存器。当工作模式从一般/睡眠模式(低速时钟)切换到一般/睡眠模式时，在模式转换后先等候 2/fsysclk+3/fspl 秒，接着清空中断锁存器。

6.8.3.1 外部中断 0 到 9

外部中断 0 到 9 侦测 INT0 到 INT9 引脚的下降沿、上升沿，上升沿及下降沿，然后产生中断要求信号。

(a) 中断要求信号产生条件侦测功能

于 EINTCRx <INTxES>选择中断 0 到 7 的中断要求信号产生条件。

EINTCRx <INTxES>	侦测于
00	上升沿
01	下降沿
10	上升沿及下降沿
11	系统保留

表 6-6 中断要求产生沿的选择

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

(b) 于中断要求信号产生时的噪声抑制器监控功能

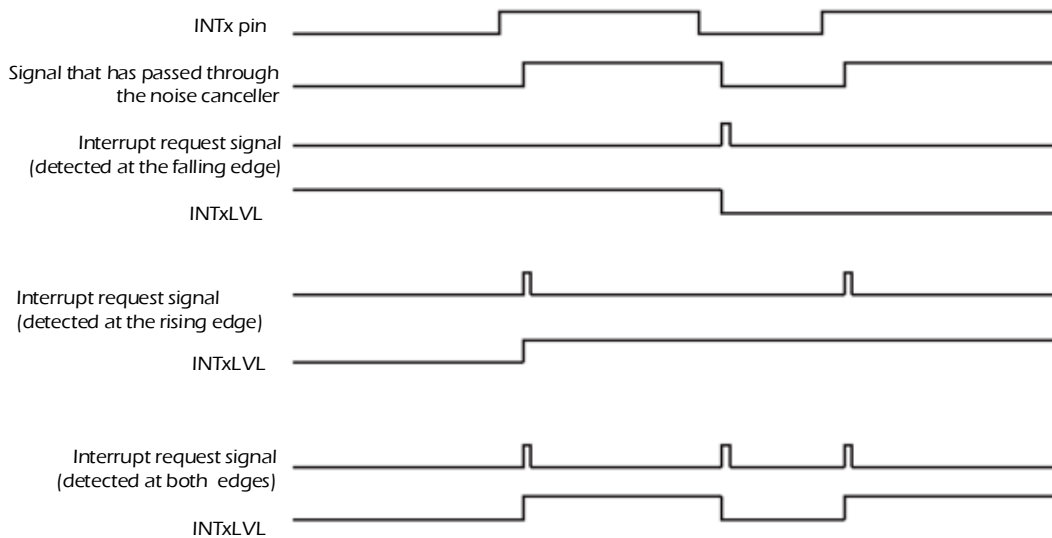


图 6-12 中断要求的产生与 $EINTCRx<INTxLVL>$ ($x = 0\sim9$)

使用 $EINTCRx<INTxLVL>$ 可以读取中断要求产生时通过噪声抑制器的信号电平。当侦测沿的设置是“上升沿和下降沿”，读取 $EINTCRx<INTxLVL>$ 可侦测产生中断的是上升沿还是下降沿。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

(c) 噪声抑制时间选择功能

在一般/睡眠模式下，由 fcgck 取样信号时，取样的间隔是由 EINTCRx<INTxNC>选择。如果连续三次取样的信号电平相同，则此信号会被视为有效信号。如果不同，则被视为噪声。

EINTCRx <INTxES>	取样间隔
00	fcgck
01	fcgck/2 ²
10	fcgck/2 ³
11	fcgck/2 ⁴

表 6-7 噪声抑制器取样时钟

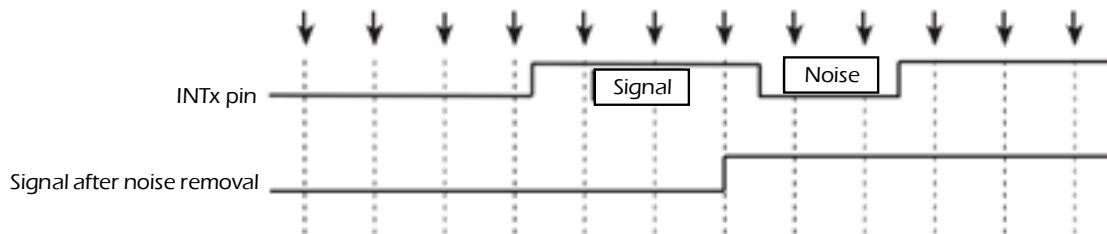


图 6-13 噪声抑制功能

在一般/睡眠模式(低速时钟)下，信号取样速度是 fclk/4。如果连续二次取样的信号电平相同，则此信号会被视为有效信号。

在深眠模式下，噪声抑制取样停止，系统无法由外部中断。在系统切换回一般/睡眠模式后，噪声抑制取样会重新启动。

注 1：在噪声连续干扰外部中断引脚信号的情况下，噪声抑制功能会发生异常。此时可依外部输入噪声周期设定 EINTCRx<INTxNC>。

注 2：当外部中断引脚被当作输出端口使用时，此端口的输入信号会被固定在“L”，进而引起外部中断。要正确使用此引脚为输出端口，清除对应中断允许寄存器为“0”，禁止中断要求的产生。

注 3：工作模式的转换可能会引发中断要求。在改变工作模式前，先清空对应的中断允许寄存器为“0”以禁止中断的发生。当工作模式从一般/睡眠模式切换成一般/睡眠模式(低速时钟)时，在模式转换后先等候 12/fclk 秒，接着清空中断锁存器。当工作模式从一般/睡眠模式(低速时钟)切换成一般/睡眠模式时，在模式转换后先等候 2/fsysclk+3/fspl 秒，接着清空中断锁存器。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

6.9 系统供电监控

此模块功能为在上电状态下，进行系统监控以及产生上电复位及掉电复位(Brown-Out Reset, BROR)。另外，低电压侦测可依用户需求进行编程，低于或高于设定值时会提醒系统。在稳压器上的突波侦测，则可用于核心工作电压之高与低突波侦测。

6.9.1 系统供电监控控制寄存器

地址	寄存器名称	描述
0x0034	PONCR	上电控制寄存器

表 6-7 系统供电监控控制寄存器

上电控制寄存器 (PONCR)

PONCR	7	6	5	4	3	2	1	0
位符号	reserved ^{注1}	reserved	reserved ^{注1}	reserved ^{注1}	reserved	reserved	reserved	BROREN
读/写	R/W	R	R/W	R/W	R	R	R	R/W
复位后	1	0	1	0	0	0	0	1

注 1：Bit 7 值必须为 1，Bit 5 值必须为 1，Bit 4 值必须为 0

注 2：上电复位可使此寄存器各位复位

注 2：考虑未来的兼容性问题，位符号为 reserve 必须写入 0

BROREN	掉电复位允许	0：禁止 1：允许
--------	--------	--------------

7.系统时钟控制器

此章节描述基本时钟控制器的使用。

7.1 时钟源

主要具有 4 种基本时钟源：

时钟源	速度(频率)
低速内部参考时钟 (LIRC)	32 KHz
内部高速时钟 (Phase-Locked Loop, PLL)	24 MHz
高速外部参考时钟 (HXTAL)	1~16 MHz
低速外部参考时钟 (LXTAL)*	32768 Hz

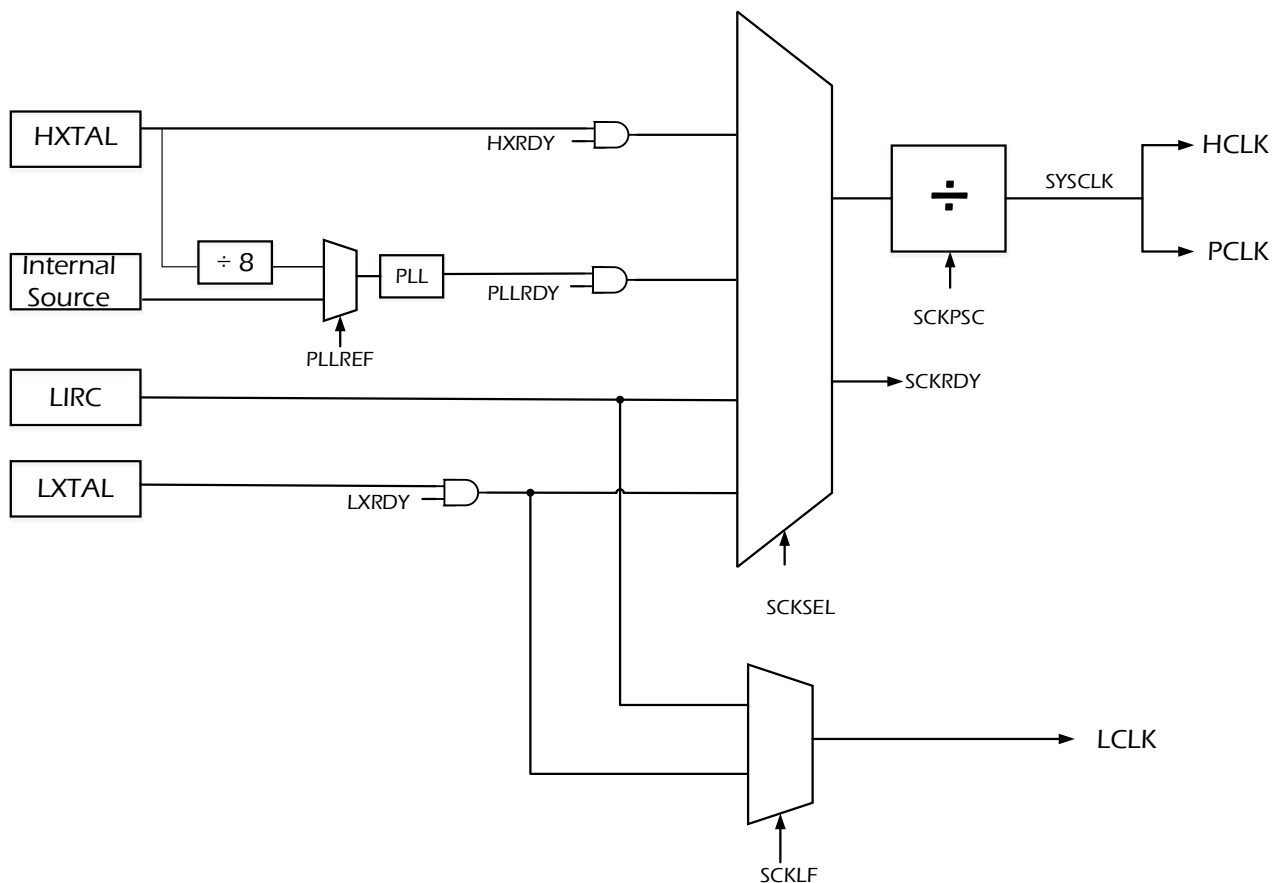


图 7-1 系统时钟示意图

注：LIRC 为恒开。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

当系统复位时，会启动 PLL 时钟并默认为系统时钟，可以从 CKSRC 确认目前的系统时钟源。系统时钟源是由 SCKSEL 选择，在选择不同时钟源之前，须先将该时钟的允许位(HXEN,LXEN, PLL)设置为 1。当选择的时钟源就绪时(HXRDY,LXRDY,PLLRDY)将自动切换为所选择的系统时钟源，并同时更新 SCKSRC。

系统时钟可进一步进行除频，用户可设定<SCKPSC>对系统时钟进行预除频(除以 1、除以 2、除以 4...等)。系统时钟、除频、预除频设定进行变更时，需要无干扰且一致的方式进行。须确保在进行变更前，目前的时钟源已履行其时钟任务。例如：目前时钟源设定为系统时钟需除以 8，因此在切换到新的时钟源与新的时钟除频设定前，必须先完成 1/8 周期。

为了系统执行安全考虑，若软件意外将所有的系统时钟关闭，则硬件不会关闭目前使用的时钟源，并且继续执行。在任何时间内，必须至少有一个有效的时钟源进行系统运作。

7.2 时钟预热时间 (Clock Warmup Time)

除了恒开启的 LIRC 以外，其他的时钟源在启动后需要一段预热时间(warmup time)。可透过配置各唤醒计数器(warm up timer) 来延长预热时间。对于相对应的时钟源，必须将唤醒计数器设置为所需要的值。启用时钟源后，唤醒计数器的变更将会被忽略。

		min	time	1x	1.25x	1.500x	2x	3x	4x	
PLL	PLLWUP	0.67	ms	0.67	0.84	1.01	1.34	2.02	2.69	ms
HXTAL	HXWUP	1.13	ms	1.13	1.41	1.70	2.26	3.39	4.52	ms
LXTAL	LXWUP	0.88	sec	0.88	1.10	1.32	1.77	2.65	3.53	sec

表 7-1 时钟唤醒时间 (Typ.)

7.3 时钟切换

当系统复位时，会启动 PLL 时钟并默认为系统时钟，可以从 CKSRC 确认目前的系统时钟源。系统时钟源是由 SCKSEL 选择，在选择不同时钟源之前，须先将该时钟的允许位(HXEN,LXEN, PLL)设置为 1。当选择的时钟源就绪时(HXRDY,LXRDY,PLLRDY)将自动切换为所选择的系统时钟源，并同时更新 SCKSRC。时钟切换流程如下：

1. 启动所选择的系统时钟源允许位
2. 等待所选择的系统时钟就绪
3. 选择新的系统时钟源作为系统时钟
4. 等待系统时钟源切换

范例: 切换到外部高速时钟 16MHz

```

HXEN=1; // 启动外部高速时钟 16 MHz
: // 进行其他系统初始化任务
    
```

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

```

:
:
While (HXRDY == 0){} // 切换前·确认 HXTAL 是否就绪
SCKSEL = HXTAL; // 切换时钟源到外部高速时钟
While (SCKSRC !=HXTAL){} // 等待系统时钟切换到外部高速时钟
: // 继续执行其他任务
:

```

7.3.1 从 PLL 切换到外部低速时钟 32kHz

范例: 从 PLL 切换到外部低速时钟 32kHz

```

LXEN=1; // 启动外部低速时钟 32768 Hz
: // 进行其他系统初始化任务
:
:
While (LXRDY == 0){} //切换前·确认 LXTAL 是否就绪
SCKSEL = LXTAL; //切换时钟源到外部低速时钟
While (SCKSRC !=LXTAL){} //等待系统时钟切换到外部低速时钟
: //继续执行其他任务
:

```

7.3.2 从 PLL 切换到外部高速时钟 8MHz

与其他时钟切换不同·PLL 时钟源切换到外部高速时钟步骤略为复杂。PLL 为默认系统时钟源·在 PLL 关闭且重新切换到新时钟源之前·系统时钟首先须切换到可选的时钟源。

```

HXEN=1; // 启动外部高速时钟 8MHz
: //进行其他系统初始化任务
:
:
While (HXRDY == 0){} //切换前·确认 HXTAL 是否就绪
SCKSEL = HXTAL; //切换时钟源到外部高速时钟
While (SCKSRC !=HXTAL){} //等待系统时钟切换到外部高速时钟
PLLEN = 0; // 关闭 PLL
PLLCR0 = PLLREF_EXT_8_MHz | PLLEN ; // 启动 PLL, PLL 时钟源使用外部高速时钟 8MHz
: //进行其他系统任务
:
:
While (PLLRDY == 0){} // 等待 PLL 就绪
SCKSEL = PLL; // 选择时钟源 PLL
While (SCKSRC !=PLL){} // 等待时钟源切换到 PLL

```

汉芝电子股份有限公司

iMQ Technology Inc.

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

:
:
:

//进行其他系统任务

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

7.4 时钟控制寄存器

地址	寄存器	描述
0x0020	CLKCR0	时钟控制寄存器 0
0x0021	CLKCR1	时钟控制寄存器 1
0x0022	CLKCR2	时钟控制寄存器 2
0x0023	CLKST	时钟状态寄存器
0x0024	PLLCR0	PLL 控制寄存器 0
0x0026	CLKWUP	时钟唤醒寄存器
0x002C	WUCCR	唤醒计数器控制寄存器
0x002D	WUCDR	唤醒计数器数据寄存器

时钟控制寄存器 0 (CLKCR0)

CLKCR0 (0x0020)	7	6	5	4	3	2	1	0
位符号	Reserved		SCKPSC[2:0]			SCKSEL[2:0]		
读/写	R		R/W			R/W		
复位后	00		000			001		

注 1 : 所有复位皆可使此寄存器复位

SCKPSC [2:0]	系统时钟预除频器	000 : /1 001 : /2 010 : /4 011 : /8 100 : /16 101 : /32 110 : /64 111 : /128
SCKSEL[2:0]	系统时钟选择	000 : N/A 001 : 锁相环(PLL) 010 : 低速内部参考时钟(LIRC) 011 : 外部高速时钟(HXTAL) 110 : 外部低速时钟(LXTAL) 其他 : 系统保留

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

时钟控制寄存器 1 (CLKCR1)

CLKCR1 (0x0021)	7	6	5	4	3	2	1	0
位符号	Reserved	Reserved	Reserved	Reserved	LXEN	HXEN	LIRCEN	Reserved
读/写	R	R	R	R	R/W	R/W	R	R
复位后	0	0	0	0	0	0	1	1

注：所有软件及硬件复位皆可使此寄存器复位

LXEN	外部低速时钟允许	0：禁止 1：允许
HXEN	外部高速时钟允许	0：禁止 1：允许
LIRCEN	LIRC 允许	0：- 1：允许

时钟控制寄存器 2 (CLKCR2)

CLKCR2 (0x0022)	7	6	5	4	3	2	1	0
位符号	Reserved							SCKLF
读/写	R	R	R	R	R	R	R	R/W
复位后	0	0	0	0	0	0	0	0

注 1：所有复位皆可使此寄存器复位

注 2：考虑未来的兼容性问题，位符号为 reserve 必须写入 0

SCKLF	低速时钟选择	0：LIRC 1：LXTAL
-------	--------	-------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

时钟状态寄存器 (CLKST)

CLKST (0x0023)	7	6	5	4	3	2	1	0
位符号	SCKSRC[2:0]			SCKRDY	LXRDY	HXRDY	LIRCRDY	Reserved
读/写	R			R	R	R	R	R
复位后	0	0	1	1	0	0	1	1

注 1 : 所有复位皆可使此寄存器复位

SCKSRC[2:0]	系统时钟源	000: N/A 001: PLL 010:内部低速时钟(LIRC) 011:外部高速时钟(HXTAL) 110:外部低速时钟(LXTAL) 其他:系统保留
SCKRDY	系统时钟就绪	0 : 尚未就绪 1 : 就绪
LXRDY	外部低速时钟就绪	0 : 尚未就绪 1 : 就绪
HXRDY	外部高速时钟就绪	0 : 尚未就绪 1 : 就绪
LIRCRDY	内部低速时钟就绪	0 : 尚未就绪 1 : 就绪

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

PLL 控制寄存器 0 (PLLCR0)

PLLCR0 (0x0024)	7	6	5	4	3	2	1	0
位符号	Reserved	PLLWUP			PLLREF		PLLRDY	PLLEN
读/写	R	R/W			R/W		R	R/W
复位后	0	000			0	0	1	1

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 考虑未来的兼容性问题 · 位符号为 *reserve* 必须写入 0

PLLWUP	PLL 唤醒计数器 (PLL Warm up counter)	000: 1x 001: 1.25x 010: 1.5x 011: 2x 100: 3x 101: 4x 其他: 系统保留
PLLREF	PLL 参考时钟选取	00 : 选择内部时钟源 01 : 选择外部高速时钟 8MHz 其他: 系统保留
PLLRDY	PLL 就绪	0 : 尚未就绪 1 : 就绪
PLLEN	PLL 允许	0 : 禁止 1 : 允许

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

时钟唤醒寄存器(CLKWUP)

CLKWUP (0x0026)	7	6	5	4	3	2	1	0
位符号	reserved	LXWUP			reserved	HXWUP		
读/写	R	R/W			R	R/W		
复位后	0	0	0	0	0	0	0	0

注：所有硬件与软件复位皆可使此寄存器复位

LXWUP	外部低速时钟唤醒计数器 (LXTAL Warm up counter)	000: 1x 001: 1.25x 010: 1.5x 011: 2x 100: 3x 101: 4x 其他: 系统保留
HXWUP	外部高速时钟唤醒计数器 (LXTAL Warm up counter)	000: 1x 001: 1.25x 010: 1.5x 011: 2x 100: 3x 101: 4x 其他: 系统保留

唤醒计数器控制寄存器 (WUCCR)

WUCCR (0x002C)	7	6	5	4	3	2	1	0
位符号	WUCRST	-			WUCDIV		WUCSEL	-
读/写	R	R			R/W		R/W	R
复位后	0	0	0	0	1	1	0	0

WURST	复位/停止唤醒计数器	0:- 1:清除并停止定时器
WUCDIV	设定唤醒计数器时钟源的分频状态	00: 时钟源 01: 时钟源/2 10: 时钟源/2 ² 11: 时钟源/2 ³
WUCSEL	选择唤醒计数器的时钟源	0: 选择外部高速时钟 1: 选择外部低速时钟

注 1：WUCCR<WUCRST>会自动清除为“0”。在设定为“1”之后，不需靠再次设定清除。

注 2：WUCCR 读出的第 7 到第 4 位为“0”。

注 3：在开始唤醒前，设定 WUCCR 的时钟源、分频器以及 WUCDR 的唤醒时间。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

唤醒计数器数据寄存器 (WUCDR)

WUCDR (0x002D)	7	6	5	4	3	2	1	0
位符号	WUCDR							
读/写	R/W							
复位后	0	0	0	0	1	1	1	1

WUCDR	唤醒時間設定
-------	--------

注 1 : 不要在 WUCDR 设定为 0x00 的条件下启动唤醒计数器。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

7.5 系统及外围电路时钟

7.5.1 功能性门控时钟

所有功能皆被外围电路时钟允许寄存器 PCKENx 各别控制。

地址	寄存器	描述
0x0178	PCKEN0	外围电路时钟允许寄存器 0
0x0179	PCKEN1	外围电路时钟允许寄存器 1
0x017A	PCKEN2	外围电路时钟允许寄存器 2
0x017B	PCKEN3	外围电路时钟允许寄存器 3
0x017C	PCKEN4	外围电路时钟允许寄存器 4
0x017D	PCKEN5	外围电路时钟允许寄存器 5
0x017E	PCKEN6	外围电路时钟允许寄存器 6
0x017F	PCKEN7	外围电路时钟允许寄存器 7

外围电路时钟允许寄存器 0(PCKEN0)

PCKEN0 (0x0178)	7	6	5	4	3	2	1	0
位符号	PCKEN0[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN0[7]	TMRA4
PCKEN0[6]	TMRA3
PCKEN0[5]	TMRA2
PCKEN0[4]	TMRA1
PCKEN0[3]	TMRA0
PCKEN0[2:0]	Reserved

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

外围电路时钟允许寄存器 1 (PCKEN1)

PCKEN1 (0x0179)	7	6	5	4	3	2	1	0
位符号	PCKEN1[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN1[7]	Reserved
PCKEN1[6]	UART2
PCKEN1[5]	UART1
PCKEN1[4]	UART0
PCKEN1[3:0]	Reserved

外围电路时钟允许寄存器 2(PCKEN2)

PCKEN2 (0x017A)	7	6	5	4	3	2	1	0
位符号	PCKEN2[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN2[7:5]	reserved
PCKEN2[4]	SIO
PCKEN2[3:1]	reserved
PCKEN2[0]	I2C0

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

外围电路时钟允许寄存器 3 (PCKEN3)

PCKEN3 (0x017B)	7	6	5	4	3	2	1	0
位符号	PCKEN3[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN3[7]	EINT7
PCKEN3[6]	EINT6
PCKEN3[5]	EINT5
PCKEN3[4]	EINT4
PCKEN3[3]	EINT3
PCKEN3[2]	EINT2
PCKEN3[1]	EINT1
PCKEN3[0]	EINT0

外围电路时钟允许寄存器 4 (PCKEN4)

PCKEN4 (0x017C)	7	6	5	4	3	2	1	0
位符号	PCKEN4[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN4[7:2]	reserved
PCKEN4[1]	EINT9
PCKEN4[0]	EINT8

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

外围电路时钟允许寄存器 5(PCKEN5)

PCKEN5 (0x017D)	7	6	5	4	3	2	1	0
位符号	PCKEN5[7:0]							
读/写	R/W							
复位后	0	0	0	0	1	0	0	0

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详情请见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN5[7:0]	reserved

外围电路时钟允许寄存器 6(PCKEN6)

PCKEN6 (0x017E)	7	6	5	4	3	2	1	0
位符号	PCKEN6[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详情请见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN6[7:3]	reserved
PCKEN6[2]	CMP
PCKEN6[1]	reserved
PCKEN6[0]	ADC

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

外围电路时钟允许寄存器 7(PCKEN7)

PCKEN7 (0x017F)	7	6	5	4	3	2	1	0
位符号	PCKEN7[7:0]							
读/写	R/W							
复位后	0	0	0	0	0	0	0	1

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详情请见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN7[7:1]	reserved
PCKEN7[0]	CRC

8. 12 位 ADC

本产品具一个准 12 位 SAR 型 ADC 器，8 个输入端口(AIN0-AIN7)。

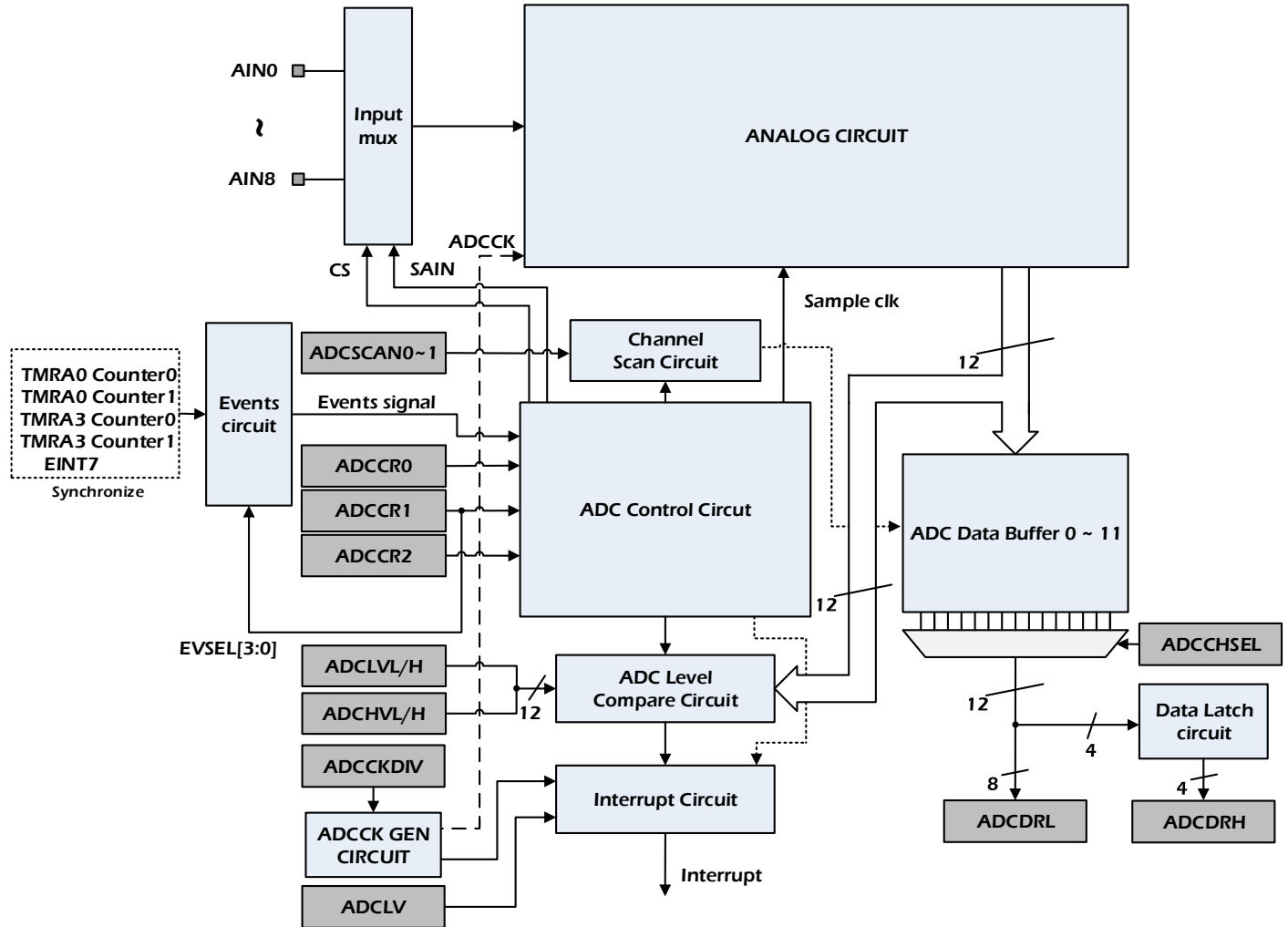


图 8-1 ADC 器模块图

注：使用 ADC 前，需設置輸入埠相對應的端口配置控制寄存器(P1CFGCR)。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

8.1 功能叙述

12 位 ADC 器架构如图 8.1 所示，此 ADC 器包含 3 个控制寄存器(ADCCR0 ~ 2)、转换数值寄存器 ADCDRL 及 ADCDRH、一个取样保留(sample-hold)线路、一个比较器以及一个连续比较线路等。

8.1.1 ADC 控制寄存器

控制寄存器具备以下 13 个功能：

1. ADC 控制寄存器 0 (ADCCR0)

设定 ADCCR0 寄存器，选取 ADC 工作模式，选择 ADC 参考源，并控制 ADC 器启动。

2. ADC 控制寄存器 1 (ADCCR1)

设定 ADCCR1 寄存器，选择触发 ADC 器的事件。

3. ADC 控制寄存器 2 (ADCCR2)

设定 ADCCR2 寄存器，设置阶层比较中断。

4. ADC 时钟分频寄存器(ADCKDIV)

此寄存器设置 ADC 时钟频率。

5. ADC 阶层比较寄存器(ADCLV)

此寄存器设置阶层比较开始，控制阶层比较区间以及通道。

6. ADC 信道扫描寄存器(ADCSCANx, x=0~1)

此寄存器控制 ADC 信道扫描。

7. ADC 状态寄存器(ADCSR)

此寄存器控制数据缓存并侦测阶层比较条件，设定 ADC 工作开始，与 ADC 工作状态。

8. ADC 通道就绪寄存器(ADCRDY)

此寄存器显示最新 ADC 信道就绪的编号。

9. ADC 通道选择寄存器(ADCCHSEL)

此寄存器选择读取 ADC 数据的信道。

10. ADC 数据寄存器(ADCDRH 及 ADCDRL)

设定 ADCDRH 及 ADCDRL 寄存器，此寄存器储存 ADC 器所产生的数值。

11. ADCHLV 寄存器(ADCHLVH 及 ADCHLVL)

此寄存器储存 ADCHLV 的值。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13. ADCLLV 寄存器(ADCLLVH 及 ADCLLVL)

此寄存器储存 ADCLLV 的值。

8.1.2 数据缓存器

每个转换结束后，ADC 数据会被写入相对应信道的数据缓冲器。另外，ADC 数据就绪寄存器亦会根据 ADC 通道数目进行更新。

存取特定信道数据时，软件会写入 ADC 通道选择寄存器(ADCCHSEL)，接着读取 ADC 数据寄存器(ADCDRL/ADCDRH)。用户需读取低位的数据寄存器 ADCDRL，再读高位数据寄存器 ADCDRH。

当 ADC 结果写入数据缓存器时，数据缓存器会被锁定，直到下列任一项条件发生时才会解锁：

1. ADCDR 被读取。在特定通道，若 ADCDRL 被读取，此信道的数据缓存器会被锁定，直到 ADCDRH 也被读取后才会解锁，以保持数据的完整性。
2. 数据缓存器解锁(UNLCK = 1)。在此模式下，ADC 缓存器中最近的内容都会被解锁；如同使用者的软件已读取所有的内容，所以新的转换结果可写入数据缓存器。
3. 数据缓存器覆写允许(BUFOVR= 1)。在此模式下，ADC 数据会连续地更新。

8.1.3 多重信道扫描

具 ADC 扫描寄存器 ADCSCAN0 支持多重信道扫描功能。各个寄存器位代表一个 ADC 信道，填入值“1”代表此信道加入信道扫描；若填入“0”则代表此信道不进行信道扫描。ADC 转换由最低信道(AIN0)开始作业，至最高信道(AIN7)。于 ADC 空闲时<ADBF>=0，才可变更 ADCSCAN 寄存器的值；当 ADC 转换进行中，必须先停止 ADC 转换(<AMD>=00)才能对 ADCSCAN 寄存器进行变更。

8.1.4 ADC 时钟源选择

ADC 取样时钟源自于系统时钟，分频器可透过 ADCCKDIV 进行设置。

8.1.5 ADC 参考

系统默认 ADC 无内部参考电压，使用外部参考电压，外部参考可设置 ADCCR0<IRFEN>后启动。

8.1.6 ADC 事件源

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

当事件选择寄存器 ADCCR1<EVSEL>设置为 00 时，透过设置 ADCSR<ADRS>为 1 可启动 ADC。当 EVSEL 设置为其他值时，可由源选择触发 ADC 且忽略 ADRS 输入。

8.1.7 ADC 阶层比较

在部分应用中，使用者只对 ADC 值于特定区间时特别关注。故为减少 CPU 不必要的中断，ADC 阶层比较启用 ADCLV<LVCMP>、ADCHLV (ADCHLVL, ADCHLVH)及 ADCLLV (ADCLLVL, ADCLLVH)寄存器可用来过滤部分不需关注之 ADC 值。

LVCMP	ADC 后进行阶层比较的条件(需先设定 ADEN)	中断条件
00	阶层比较禁止	每次转换的最后产生中断
01	ADCDR < ADCLLV	ADCLLV = 0x0060 · ADCHLV=0x3FFF · 当 ADCDR ≤ 0x005F 产生中断
10	ADCDR > ADCHLV	ADCLLV = 0x0000 · ADCHLV=0x005F · 当 ADCDR ≥ 0x0060 产生中断
11	ADCLLV > ADCDR > ADCHLV	ADCLLV = 0x0200 · ADCHLV=0x00FF · 当 ADCDR 为 0x0100 至 0x01FF 产生中断； ADCLLV = 0x0100 · ADCHLV=0x01FF · 当 ADCDR ≤ 0x00FF 或 ADCDR ≥ 0x0200 即产生中断

阶层比较区间决定阶层比较使用于全部样本，或是特定样本。若使用于全部样本(ADCLV<LVINTVL>=0)，阶层比较会于各个扫描信道执行；若只有特定样本(ADCLV<LVINTVL>=1)，特定通道数会写入阶层比较信道选择寄存器位(ADCLV <LVSEL>)，且只有这些特定信道的样本执行阶层比较。当符合比较条件(ADCLV <LVCMP>)时，阶层比较侦测(<LVDET>)会设置为 1。

8.1.8 中断产生

共有 2 种产生中断的方式，转换结束标志(<EOCF>)或阶层侦测(ADCSR<LVDET>)。

1. EOCF：若中断区间设置为 0 (ADCCR0<INTLV>=0)，于各个转换完成后，EOCF 会设置为 1。若中断区间设置为 1(ADCCR0<INTLV>=1)，则扫描序列完成后，EOCF 会设置为 1，EOCF 会保持设置至软件清除，EOCF 写入 0 无任何作用。若 ADC 中断启动(ADCCR0<INTEN>=1)，设置 EOCF 为 1 时会产生中断。

2. LVDET：当符合比较条件时，阶层比较侦测(ADCSR <LVDET>)会设置为 1，ADCSR <LVDET>会保持设置值至软件清除。ADCSR <LVDET>写入 0 无任何作用，若 ADC 阶层中断启动(ADCCR2<LVINTEN>=1)时，设置 ADCSR <LVDET>为 1 时会产生中断。

ADC 忙碌标志 ADCSR<ADBF>会保持设定至所有 ADC 转换完成，中断设置并不会造成任何影响。

8.1.9 ADC 工作模式

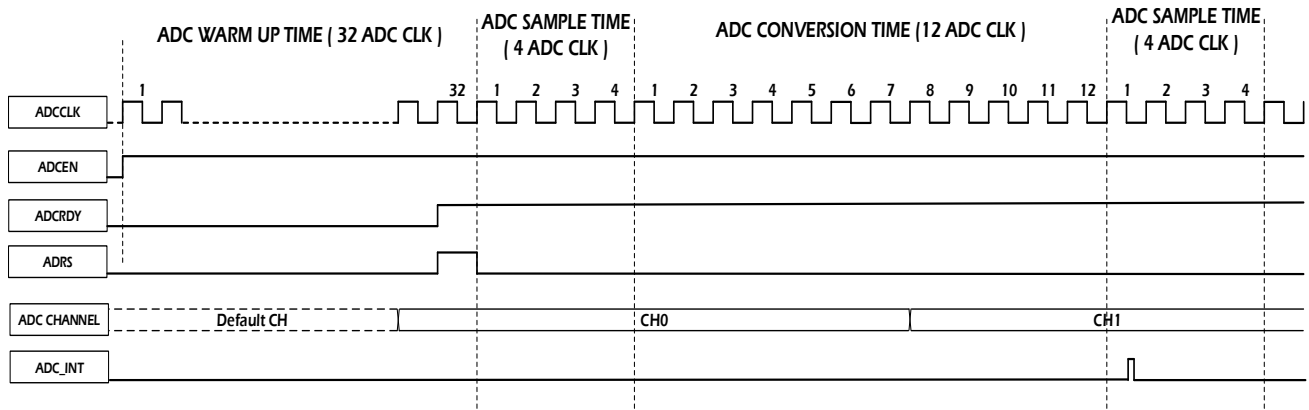


图 8-2 ADC 上电与转换时序图

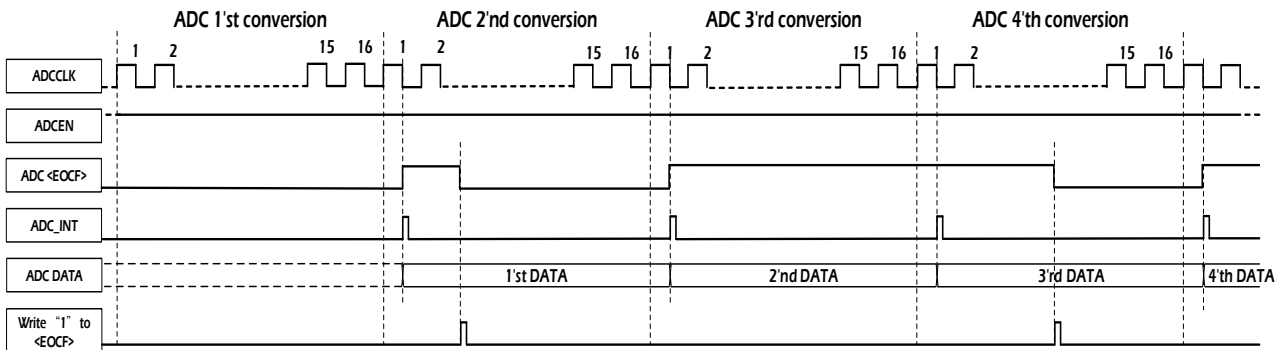


图 8-3 ADC<EOCF>与数据总线时序图

AD 轉換器具有兩種操作模式：單次模式以及重覆模式，皆可對選定的通道取得數據。

8.1.9.1 单次模式

单次模式下，ADC 器只对指定模拟信号输入引脚的电压进行一次 ADC。

ADC 启动后，ADCSR<ADBF>被设定为"1"。在 ADC 完成或 ADC 被强制停止时，ADCSR<ADBF>会被清除为"0"。

ADC 完成后，转换结果会被储存在数据缓存器(data buffer)中。同时，ADCSR <EOCF>会被设定为"1"，并产生 ADC 完成中断。进行 ADC 时，依中断处理程序读取 ADC 数值寄存器。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

当 ADC 开始(ADCSR<ADRS>="1")，且于单一模式完成 ADC 后，转换数据会存入缓存器内，由用户决定何时读出数据至 ADCDRL/ADCDRH。在下一个 ADC 开始时，<EOCF>仍不会自动清除为 0，须以软件设定清除为 0。

为节省功耗，可在每个 ADC 结束后设置为自动掉电；当 ADCCR0<AUTOPD>设置为 1 时，在每次转换完成后，ADC 会自动掉电。请注意，若 ADC 于每次转换完成后自动掉电，要再启动下一次 ADC 转换，需手动设置 ADEN 与 ADRS，且在下一个转换开始会有延迟，此与 AD 初始启动的延迟相同。

当未启动 ADC 自动掉电，ADCCR0<AUTOPD>设置为 0 时，则转换完成后，ADC 不会自动掉电，ADC 会持续保持上电。要再启动下一次 ADC 转换，需手动设置 ADRS。

ADCCR0<ADEN>为"1"后，需等待 ADRDY 为"1"，才能进行 ADC 转换时，ADCSR<ADRS>为"1"。ADC 完成后，ADCCR0<ADEN>自动为"0"。执行下次 ADC，需再重复进行上述说明。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

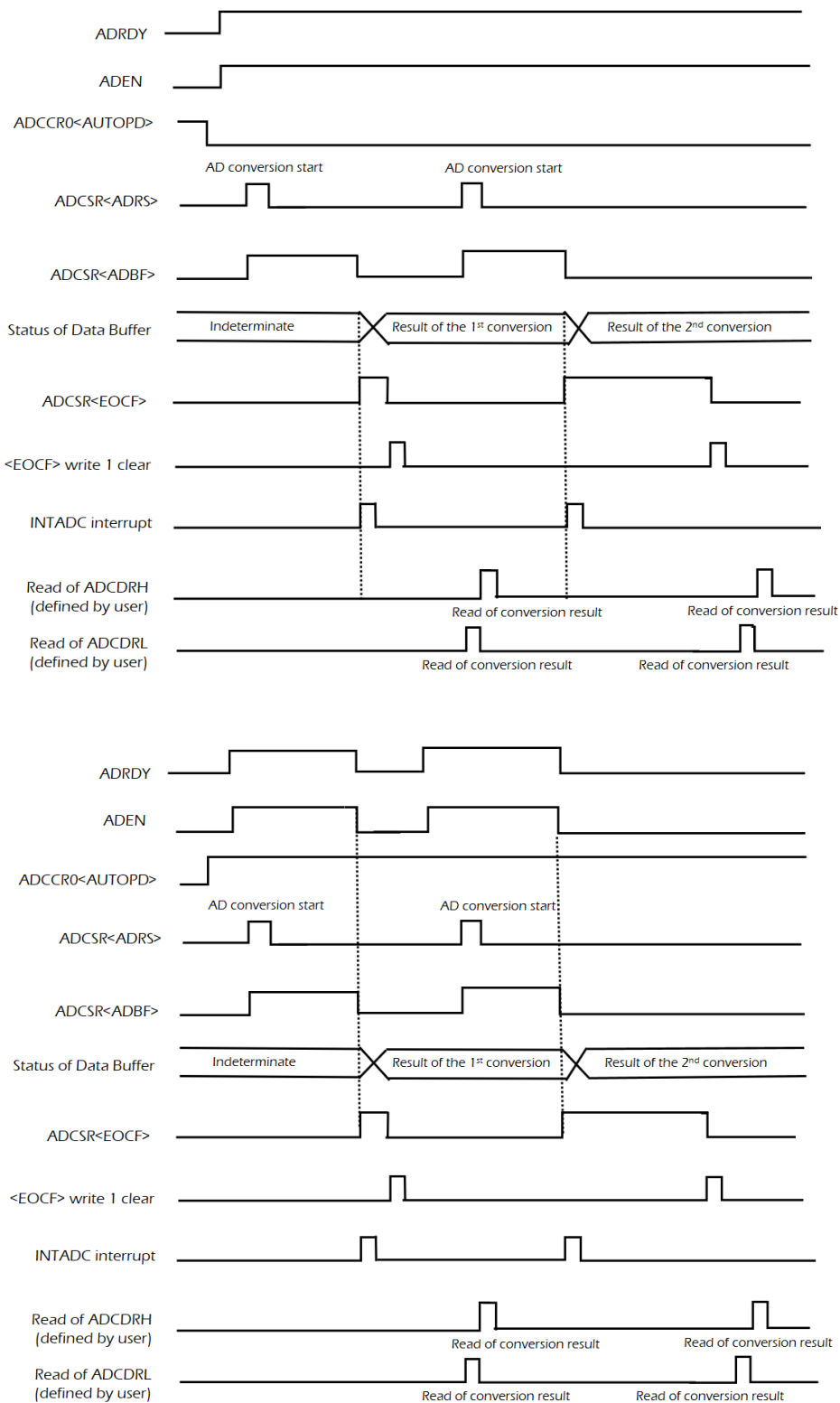


图 8-4 ADC 单次模式

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

8.1.9.2 重复模式

重复模式下，ADC 器重复对模拟信号输入引脚的电压进行 ADC。将 ADCCR0<AMD>设定为“11”，启动重复模式。将 ADCSR<ADRS>设定为“1”启动 ADC。

ADC 启动后，ADCSR<ADRS>便自动被清除。第一次 ADC 完成后，转换结果会被存在 ADC 数值寄存器 ADCDRL 和 ADCDRH，同时 ADCSR <EOCF>会被设定为“1”，并产生 ADC 完成中断。在此中断产生后，随即开始下一次 ADC。

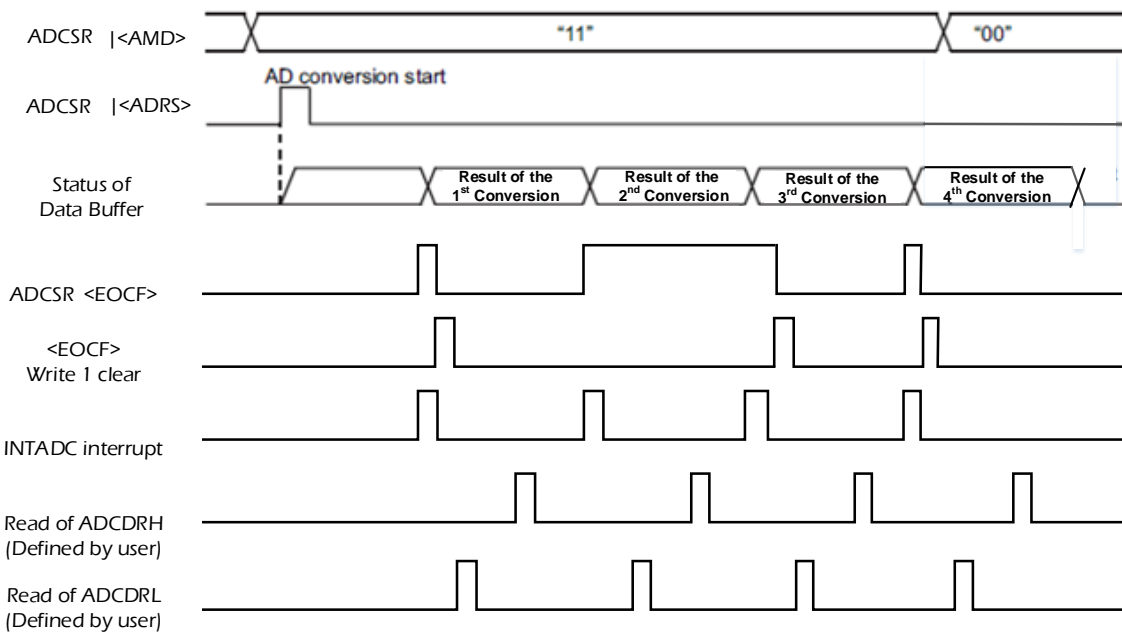


图 8-5 ADC 重复模式

8.1.10 停止 AD 工作

设置 ADCCR0<AMD>为“00”，可于单次以及重复模式下强制停止进行中的 ADC 操控。

当 ADCCR0<AMD>设置为“00”时，ADC 会立即停止，其转换数值不会储存至 ADC 数据寄存器；且 ADCSR<EOCF>，ADCSR<ADBF>会初始化为“0”；若掉电后，<ADEN>=0，ADCDRL/ADCDRH 则会初始化为 0。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

8.1.11 ADC 工作流程

1. 透过寄存器 ADCCKDIV<ADCKDIV>设置 ADC 时钟频率
2. 先设置 ADCCR0<ADEN>为"1"来启动 ADC，选择 ADC 控制寄存器中的内部参考位 ADCCR0<IRFEN>以及阶层比较器 ADCLV<LVCMP>。
3. 选择 ADC 输入触发事件源 ADCCR1<EVSEL>
4. 选择工作模式 ADCCR0<AMD>
5. 确认 ADC 状态寄存器(ADCSR)的 ADC 预备就绪标帜<ADRDY>= 1
6. 设置 ADCSR<ADRS>为"1"，开始进行 ADC 转换
7. ADC 完成后，ADC 状态寄存器(ADCSR)的 ADC 终止标帜<EOCF>会被设定为"1"，ADC 结果会被存在 ADC 数值寄存器 ADCDRH 和 ADCDRL 内，并产生 INTADC 中断要求。
8. 从 ADCDRH 读取转换结果后，EOCF 即可写入 1 清除为"0"。如果在读取 ADC 数值寄存器 ADCDRH 前再次执行 ADC，前次转换结果仍会写入数据缓冲器，待使用者读出至 ADCDRL 和 ADCDRH。

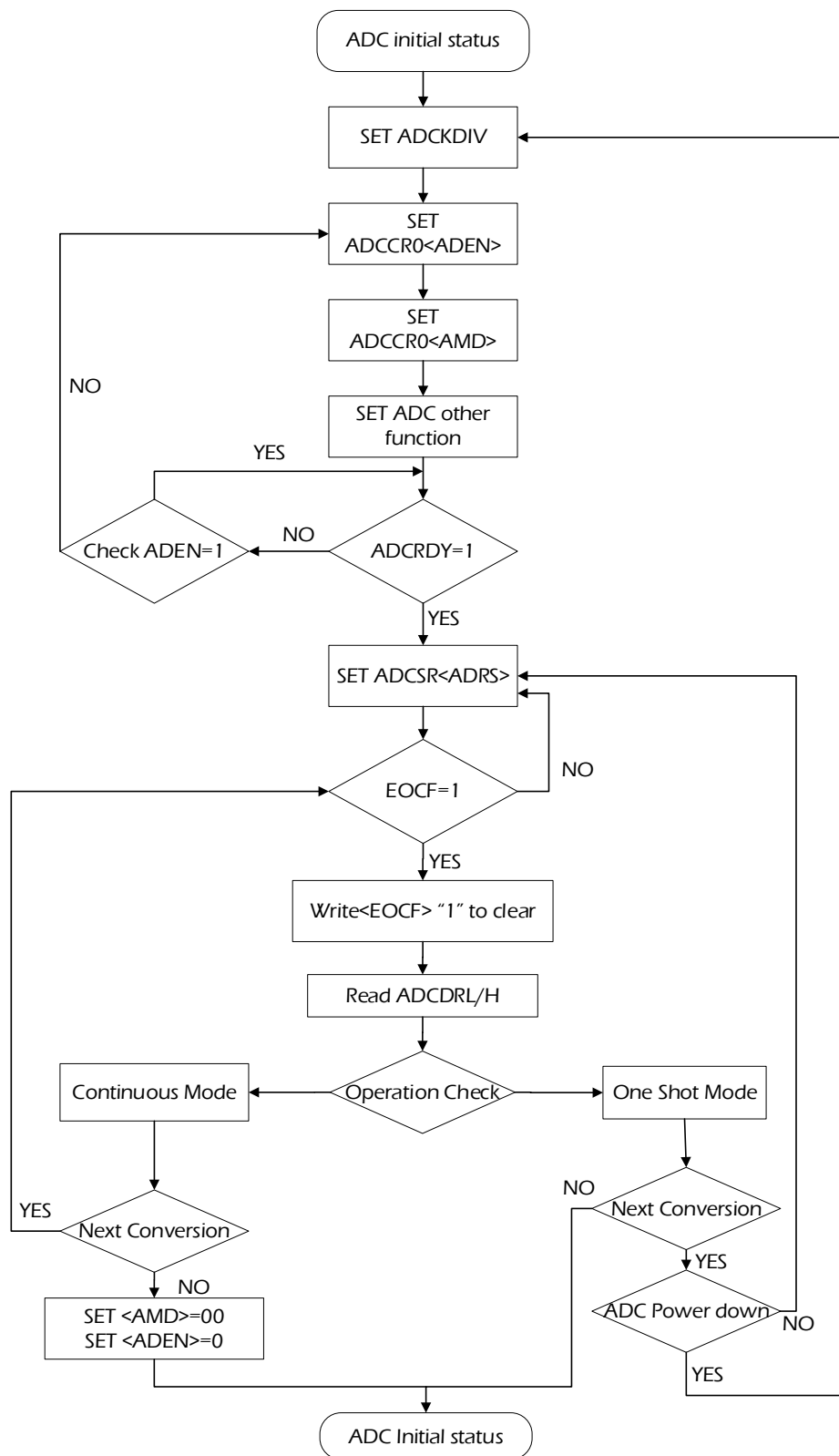


图 8-6 ADC 工作流程示意图

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

8.2 注意事项

8.2.1 模拟信号输入引脚电压范围

模拟信号输入引脚 AIN 的电平必须控制必须在 VREF 和 VSS 之间。若任何单一模拟信号输入引脚的输入电平超过此范围，除该引脚的 ADC 数值不正确外，其他模拟信号输入引脚的转换数值也会受到影响。

8.2.2 模拟信号输入引脚作 I/O 埠用

模拟信号输入引脚也可作 I/O 埠用。使用任何单一模拟信号输入引脚(端口)作 ADC 时，不可在其他模拟信号输入引脚(端口)执行输入/输出指令，否则可能影响 ADC 精准度。此现象也适用模拟信号输入引脚之外的其他引脚；任一引脚接收外界输入或产生输出信号时都可能产生噪声，并影响相邻引脚的特性。

8.2.3 噪声抑制

图 8.7 是模拟信号输入引脚的内部等效线路。模拟信号输入源的外部阻抗越高，受噪声的影响就越严重。为了减少噪声问题的发生，请确认信号源的输出阻抗小于 5KΩ。建议加上外部电容器。

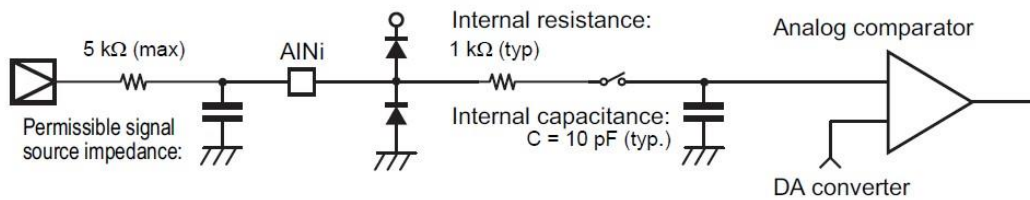


图 8-7 模拟信号输入等效线路及输入引脚设计范例

注：i=0~7

8.3 ADC 寄存器

地址	寄存器	描述
0x0300	ADCCR0	ADC 控制寄存器 0
0x0301	ADCCR1	ADC 控制寄存器 1
0x0302	ADCCR2	ADC 控制寄存器 2
0x0304	ADCKDIV	ADC 时钟分频寄存器
0x0306	ADCLV	ADC 阶层比较寄存器
0x0307	ADCSCAN0	ADC 扫描寄存器 0
0x030A	ADCSR	ADC 状态寄存器
0x030B	ADCCHRDY	ADC 通道就绪寄存器
0x030C	ADCCHSEL	ADC 通道选择寄存器
0x0310	ADCDRL	ADC 数据寄存器(低位)
0x0311	ADCDRH	ADC 数据寄存器(高位)
0x0312	ADCLLV	ADCLLV 寄存器(低位)
0x0313	ADCLLVH	ADCLLV 寄存器(高位)
0x0314	ADCHLV	ADCHLV 寄存器(低位)
0x0315	ADCHLVH	ADCHLV 寄存器(高位)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

ADC 控制寄存器 0 (ADCCRO)

ADCCRO (0x0300)	7	6	5	4	3	2	1	0
位符号	AMD[1:0]		AUTOPD	INTLV	INTEN	IRFEN[1:0]		ADEN
读/写	R/W		R/W	R/W	R/W	R/W		R/W
复位后	0	0	0	0	0	0	1	0

注：所有硬件与软件复位皆可使此寄存器复位

AMD [1:0]	AD 工作模式	00：转换禁止，强制停止 AD 工作 01：单次模式 10：系统保留 11：重复模式
AUTOPD	自动掉电	0：每次转换之间，ADC 皆不掉电 1：单次模式，每次转换后，ADC 皆自动掉电
INTLV	中断区间	0：每笔数据转换 1：扫描结束
INTEN	中断允许	0：ADC 中断禁止 1：ADC 中断允许
IRFEN [1:0]	内部参考允许	00：系统保留 01：VDDA_ADC 10：外部参考电压 11：系统保留
ADEN	AD 允许	0：ADC 禁止 1：ADC 允许

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

ADC 控制寄存器 1 (ADCCR1)

ADCCR1 (0x0301)	7	6	5	4	3	2	1	0
位符号	EVSEL[3:0]				reserved			
读/写	R/W				R			
复位后	0				0			

注：所有硬件与软件复位皆可使此寄存器复位

EVSEL [3:0]	事件选择	0000 : ADRS 1000 : TMRA0 Counter0 1001 : TMRA0 Counter1 1010 : TMRA3 Counter0 1100 : TMRA3 Counter1 1101 : EINT7 其他：系统保留
-------------	------	--

ADC 控制寄存器 2 (ADCCR2)

ADCCR2 (0x0302)	7	6	5	4	3	2	1	0
位符号	reserved							LVINTEN
读/写	R							R/W
复位后	0							0

注：所有硬件与软件复位皆可使此寄存器复位

LVINTEN	阶层中断允许	0 : 阶层比较中断禁止 1 : 阶层比较中断允许
---------	--------	------------------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

ADC 时钟分频寄存器 (ADCCKDIV)

ADCCKDIV (0x0304)	7	6	5	4	3	2	1	0
位符号	Reserved				ADCKDIV[3:0]			
读/写	R				R/W			
复位后	0				0			

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : ADC 电气特性参考 CH3.7 内容

注 3 : $ADC\ sample\ rate = \frac{1}{22} \times \frac{f_{sysclk}}{ADCCKDIV}$

当系统主频为 24MHz, ADCCKDIV 设为 0x02 · ADC Sample rate : $\frac{1}{22} \times \frac{24MHz}{2^2} = 272.727ksps$

ADCCKDIV[3:0]	ADC 时钟分频 : 此位定义 ADC 时钟分频器与系统时钟的关系	0000 : fsysclk 0001 : fsysclk/2 0010 : fsysclk/2 ² 0011 : fsysclk/2 ³ 0100 : fsysclk/2 ⁴ 0101 : fsysclk/2 ⁵ 0110 : fsysclk/2 ⁶ 0111 : fsysclk/2 ⁷ 1000 : fsysclk/2 ⁸ 1001 : fsysclk/2 ⁹
---------------	--------------------------------------	--

ADC 阶层比较寄存器(ADCLV)

ADCLV (0x0306)	7	6	5	4	3	2	1	0
位符号	LVCMP[1:0]		LVINTVL	LVSEL[4:0]				
读/写	R/W		R/W	R/W				
复位后	0		0	0				

注 : 所有硬件与软件复位皆可使此寄存器复位

LVCMP[1:0]	阶层比较允许	00 : 阶层比较禁止 01 : ADCLLV > ADC 数值 10 : ADC 数值 > ADCHLV 11 : ADCLLV > ADC 数值 及 ADC 数值 > ADCHLV
LVINTVL	阶层比较区间	0 : 所有样本皆进行阶层比较 1 : 于 LVSEL 所指定的通道进行阶层比较
LVSEL [4:0]	阶层比较通道选择	当 LVINTVL=1 时 , 这些位会选择信道进行比较 00000: AIN0 00001: AIN1 00010: AIN2 00011: AIN3

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

ADC 信道扫描寄存器 0 (ADCSCAN0)

ADCSCAN0 (0x0307)	7	6	5	4	3	2	1	0
位符号	ADCSCAN[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

ADCSCAN [7:0]	ADC 信道扫描	此寄存器保存 ADC 信道扫描控制
---------------	----------	-------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

ADC 状态寄存器 (ADCSR)

ADCSR (0x030A)	7	6	5	4	3	2	1	0
位符号	EOCF	ADBF	ADRDY	reserved	BUFOVR	UNLCK	LVDET	ADRS
读/写	R/W1C	R	R/W	R	R/W	R/W	R/W1C	R/W
复位后	0	0	0	0	0	0	0	0

注：所有硬件与软件复位皆可使此寄存器复位

EOCF	ADC 结束标帜	0：转换前或转换处理中 1：转换结束
ADBF	ADC 忙碌标帜	0：ADC 停止 1：ADC 执行中
ADCRDY	ADC 预备就绪标帜	0：ADC 尚未就绪 1：ADC 就绪标帜
BUFOVR	数据缓存器覆写	0：ADC 数据缓存器锁定 1：ADC 数据缓存器自动覆写
UNLCK	数据缓存器解锁	0：数据缓存器锁定 1：数据缓存器解锁
LVDET	阶层比较侦测	0：未被侦测到 1：侦测到阶层比较条件 (此位 write 1 clear)
ADRS	ADC 开始	0：- 1：ADC 开始

ADC 通道就绪寄存器 (ADCCHRDY)

ADCCHRDY (0x030B)	7	6	5	4	3	2	1	0
位符号	reserved			CHRDY[4:0]				
读/写	R			R				
复位后	0			0				

注：所有硬件与软件复位皆可使此寄存器复位

CHRDY [4:0]	通道就绪	此位会显示最新 ADC 信道之编号
-------------	------	-------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

ADC 通道选择寄存器 (ADCCHSEL)

ADCCHSEL (0x030C)	7	6	5	4	3	2	1	0
位符号	reserved			CHSEL[4:0]				
读/写	R			R/W				
复位后	0			0				

注：所有硬件与软件复位皆可使此寄存器复位

CHSEL [4:0]	通道选择	此位定义读取 ADC 数据数据之信道
-------------	------	--------------------

ADC 数据寄存器(低位) (ADCDRL)

ADCDRL (0x0310)	7	6	5	4	3	2	1	0
位符号	ADCDRL[7:0]							
读/写	R							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

ADCDRL[7:0]	ADC 数据寄存器低位字节	此寄存器保存 ADC 数值
-------------	---------------	---------------

ADC 数据寄存器(高位) (ADCDRH)

ADCDRH (0x0311)	7	6	5	4	3	2	1	0
位符号	reserved				ADCDRH[3:0]			
读/写	R				R			
复位后	0				0			

注：所有硬件与软件复位皆可使此寄存器复位

ADCDRH[3:0]	ADC 数据寄存器高位字节	此寄存器保存较高位 ADC 数值
-------------	---------------	------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

ADC 低阶寄存器(低位) (ADCLLVL)

ADCLLVL (0x0312)	7	6	5	4	3	2	1	0
位符号	ADCLLVL[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

ADCLLVL[7:0]	ADC 低阶寄存器低位字节	此寄存器保存 ADC 低阶比较数值
--------------	---------------	-------------------

ADC 低阶寄存器(高位) (ADCLLVH)

ADCLLVH (0x0313)	7	6	5	4	3	2	1	0
位符号	reserved				ADCLLVH[3:0]			
读/写	R				R/W			
复位后	0				0			

注：所有硬件与软件复位皆可使此寄存器复位

ADCLLVH[3:0]	ADC 低阶寄存器高位字节	此寄存器保存 ADC 低阶比较数值
--------------	---------------	-------------------

ADC 高阶寄存器(低位) (ADCHLVL)

ADCHLVL (0x0314)	7	6	5	4	3	2	1	0
位符号	ADCHLVL[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

ADCHLVL[7:0]	ADC 高阶寄存器低位字节	此寄存器保存 ADC 高阶比较数值
--------------	---------------	-------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

ADC 高阶寄存器(高位) (ADCHLVH)

ADCHLVH (0x0315)	7	6	5	4	3	2	1	0
位符号	reserved				ADCHLVH[3:0]			
读/写	R				R/W			
复位后	0				0			

注：所有硬件与软件复位皆可使此寄存器复位

ADCHLVH[3:0]	ADC 高阶寄存器高位字节	此寄存器保存 ADC 高阶比较数值(较高位)
--------------	---------------	------------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

9. Flash 存储控制器(FMC)

9.1 FMC 功能叙述

Flash 存储控制器(Flash Memory Contorller, FMC)主要功能为处理 Flash 存储器读存取、编程与擦除工作，可支持下列的工作类型：

- 字节(1-byte)、4字节(4 byte)的读存取
- 字节(1-byte)、4字节(4 byte)的编程
- 区块擦除(sector erase)与块擦除(block erase)
- 设备擦除 (Device Erase)

标准的 Flash 控制器操作程序如下：

1. 将所需地址写入对应的 FADDRx
2. 将所需数据写入对应的 FDATAx
3. 将所需指令写入 Flash 控制寄存器 (Flash Control Register)
4. 操作完成后，清除 Flash Status Register < BUSY>
5. 检查错误位

Flash 读取和编程可以 1、4 字节操作。地址计数器将根据字节数自动增加到下一个地址。如果在连续的位置执行操作，则无需保留地址。

Flash 单次读/写，不需要地址。但是如果需要自动增加地址计数器，则起始地址必须在 4 字节边界上对齐才能正常运行。

通过 Flash 地址寄存器[1:0] FADDR 输入地址。请参阅表 2-1。外设存储器映像以了解区域和地址范围。Flash 将忽略任何未定义的区域或地址，并回传错误代码，用户需确保地址在有效的范围内。

对于一字节数据操作，请使用 FDATA0。

对于四个字节的地址和数据操作，最低有效字节分别输入 FADDR0 / FDATA0。最高有效字节输入到 FADDR3 / FDATA3，FADDR0 [1:0]被忽略。

将有效指令写入 Flash 控制寄存器 (FCR) 后，Flash 开始运作。 BUSY 标志将被设置为 1，错误代码将被清除为 ERR_NONE。忙碌时，控制器将忽略任何写入控制寄存器的子序列。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

在 Flash 操作结束时，BUSY 标志将被清除为 0，错误代码将更新，如果启动 FMC 中断的话，当 Flash 操作结束时将产生中断。Flash 控制寄存器也将清除为 0 (Flash 主要区块读取)。

Flash 存储控制器可分为 3 个接口，如图 9.1 所示意。当编程或擦除作业完成后，FMC 会产生中断需求。

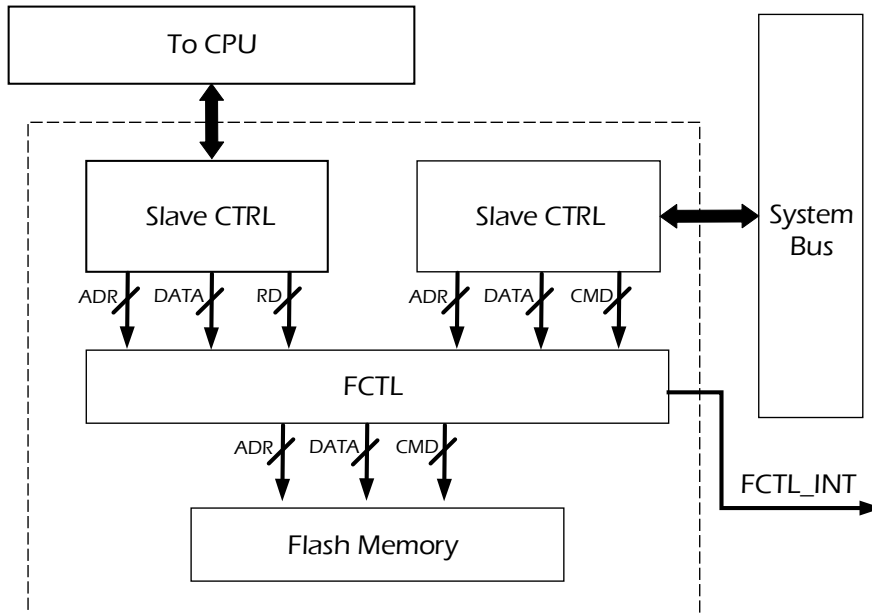


图 9- 1 FLASH 存储控制器模块图

读取模式下，从端(slave)接口允许来自系统总线的读取需求。若系统正在进行编程或是擦除工作，控制器会使总线 ready low，以延迟读存取需求。待系统完成工作后，会移除 BUSY 标示，并进行读存取。进行 Flash 编程/读写或擦除，Flash/EEPROM 频率必需为 1MHz，使用者可透过 FCKDIV 设定 Flash/EEPROM 频率，Flash 频率为系统时钟 / (FCKDIV+1)。当芯片 Reset 后，需再重新设定 FCKDIV。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

9.2 Flash 储存控制寄存器

地址	寄存器	描述
0x0027	FCKDIV	Flash 时钟分频寄存器
0x0040	FCR	Flash 控制寄存器
0x0041	FSR	Flash 状态寄存器
0x0042	FADDR0	Flash 地址寄存器 0
0x0043	FADDR1	Flash 地址寄存器 1
0x0044	FDATA0	Flash 数据寄存器 0
0x0045	FDATA1	Flash 数据寄存器 1
0x0046	FDATA3	Flash 数据寄存器 3
0x0047	FDATA4	Flash 数据寄存器 4

表 9.1 Flash 储存控制寄存器列表

以上寄存器中各位的叙述将于接下来的章节进行介绍，寄存器所对应地址则可对照上表查找。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Flash 时钟分频寄存器(FCKDIV)

FCKDIV (0x0027)	7	6	5	4	3	2	1	0
位符号	FCKDIV[7:0]							
读/写	R/W							
复位后	0x17							

注 1 : 进行 Flash 编程/读写或擦除 · Flash 频率必需为 1MHz ; Flash 频率为 系统时钟 / (FCKDIV + 1)

注 2 : 所有复位皆可使此寄存器复位

Flash 控制寄存器 0 (FCR0)

FCR (0x0040)	7	6	5	4	3	2	1	0
位符号	AREA[2:0]			FCMD[3:0]				
读/写	R/W	R/W	R/W	R/W				
复位后	0	0	0	0				

注 1 : 所有复位皆可使此寄存器复位

注 2 : 考虑未来的兼容性问题 · 位符号为 reserve 必须写入 0

AREA [2:0]	Command Area 指令区域	000: Flash Array 001: Flash User Data 其他:系统保留
FCMD [3:0]	Flash 指令寄存器	00000 : 读一字節 00001 : 系統保留 00010 : 读四字節 00011 : 系統保留 00100: 编程一字節 00101: 系統保留 00110: 编程四字節 00111: 系統保留 11000: 扇區擦除(sector erase) 11011: 系統保留 11101: 設備擦除 (Device Erase) 其他 : 系統保留

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Flash 状态寄存器 1 (Flash Status Register, FSR)

FSR (0x0041)	7	6	5	4	3	2	1	0
位符号	BUSY	reserved	reserved	reserved	Reserved	FERR		
读/写	R	R	R	R	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 所有复位皆可使此寄存器复位

注 2 : 考虑未来的兼容性问题, 位符号为 reserve 必须写入 0

BUSY	Flash 忙碌标志	0 : 空闲 1 : 忙碌, Flash 工作中 注 : 此位若由 1 转换为 0 时会产生中断。
FERR	Flash 错误代码	000: 无错误 001: 指令错误 010: 数据错误 011: 保护程序错误。保护程序输入错误。 100 : 编程错误 101 : 地址范围无效 (详情请参考 9.8 「错误位」说明)

Flash 地址寄存器 0 (FADDR0)

FADDR0 (0x0042)	7	6	5	4	3	2	1	0
位符号	FADDR0[7:0]							
读/写	R/W							
复位后	0							

注 : 所有复位皆可使此寄存器复位

FADDR0 [7:0]	Flash 地址(第 0-7 位)
--------------	-------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Flash 地址寄存器 1 (FADDR1)

FADDR1 (0x0043)	7	6	5	4	3	2	1	0
位符号	FADDR1							
读/写	R/W							
复位后	0							

注：所有复位皆可使此寄存器复位

FADDR1	Flash 地址(第 8-15 位)
--------	--------------------

Flash 数据寄存器 0 (FDATA0)

FDATA0 (0x0044)	7	6	5	4	3	2	1	0
位符号	FDATA0							
读/写	R/W							
复位后	不定值							

注：所有复位皆可使此寄存器复位

FDATA0	Flash 数据[7:0]
--------	---------------

Flash 数据寄存器 1 (FDATA1)

FDATA1 (0x0045)	7	6	5	4	3	2	1	0
位符号	FDATA1							
读/写	R/W							
复位后	不定值							

注：所有复位皆可使此寄存器复位

FDATA1	Flash 数据[15:8]
--------	----------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Flash 数据寄存器 2 (FDATA2)

FDATA2 (0x0046)	7	6	5	4	3	2	1	0
位符号	FDATA2							
读/写	R/W							
复位后	不定值							

注：所有复位皆可使此寄存器复位

FDATA2	Flash 数据[23:16]
--------	-----------------

Flash 数据寄存器 3 (FDATA3)

FDATA3 (0x0047)	7	6	5	4	3	2	1	0
位符号	FDATA3							
读/写	R/W							
复位后	不定值							

注：所有复位皆可使此寄存器复位

FDATA3	Flash 数据[31:24]
--------	-----------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

9.3 Flash 保护机制

Flash 程序和擦除操作，都具有保护机制。这是为了防止对指令寄存器的错误写入而导致对 Flash 内容的意外更改。为避免此类错误，每当更改 Flash 内容时，都必须执行以下描述的过程。

任何会更改 Flash 内容的指令都需要保护机制，其中包括：程序编程/扇区擦除(sector erase)/扇区擦除(block erase)/整体擦除(Deice Erase)。

Flash 保护机制操作程序如下：

- 1.将所需地址写入 FADDRx
- 2.将所需数据写入 FDATAx
- 3.将所需指令写入 Flash 控制寄存器 (FCR0)
- 4.将保护序列 0xA5、0x5A 连续写入 FDATA0。
- 5.操作完成后，清除 Flash Status Register < BUSY>
- 6.检查错误位（如果适用）

程序正确输入后，将启动保护机制。

写入 Flash 控制寄存器后，如果未正确进入保护机制，或 FDATA0 以外的 Flash 控制器寄存器写入，则 Flash 控制器将重置为其默认状态，并准备进行下一个操作，同时错误代码也将被设置。

9.4 Flash 读取

由于读取并非破坏性操作，因此无保护机制。

读取操作支持连续读取，每次读取后，内部地址将根据读取类型（单字节、双字节或 4 字节）递增到下一个地址。如果到达存储器（Flash 或 EEPROM）的末端，地址将不会再递增，到达末端之后，任何连续读取都将返回地址错误代码。

任何尝试读取无效地址，都将回传 0xFF 错误代码。

Flash 读取操作程序如下：

1. 将起始地址写入 FADDRx
2. 将读取指令写入 Flash 控制寄存器，以指定区域
3. 等待操作完成（清除 BUSY 标志）
4. 检查错误代码
5. 从 FDATAx 读取

9.4.1 Flash 读取范例 1

在以下面范例中，假定 Flash 内容最初如下表所示。

Address	Content
0x0400	0x00
0x0401	0x01
0x0402	0x02
0x0403	0x03
0x0404	0x04
0x0405	0x05
0x0406	0x06
0x0407	0x07

表 9-1 Flash 数据范例

范例：连续读取 Flash 数据

```
FADDR1 = 0x04;           // 写入起始地址到 FADDR1
FADDR0 = 0x01;           // 写入起始地址到 FADDR1
FCR = 0x00;              // 从 Flash Main block 读取单字节
while (FSR.BUSY ==1){}; // 当读取进行时 (BUSY 为 1)，结束后 (BUSY 清除为 0)
```

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

```

if (FSR.FERR == ERR_NONE) // 读取错误代码
data[0] = FDATA0; // 从 FDATA0 读取
else{
// 对应错误代码的处理方式
}

FCR = 0x00; //从 Flash Main block 读取单字节
while (FSR.BUSY ==1){} ; //当读取进行时 (BUSY 为 1), 结束后 (BUSY 清除为 0)
if (FSR.FERR == ERR_NONE) //读取错误代码
data[1] = FDATA0; //从 FDATA0 读取
else{
//对应错误代码的处理方式
}

Result:
data[0] = 0x0001;
data[1] = 0x0002;
FADDR = 0x0401; // FADDR 不受后续操作的影响
// 每次读取·内部的地址计数器皆将递增。
//内部的地址计数器递增至 0x0403;

```

9.4.2 Flash 读取范例 2

范例 2：随机读取 Flash 数据

```

FADDR1 = 0x04; //写入起始地址到 FADDR1
FADDR0 = 0x01; //写入起始地址到 FADDR0
FCR = 0x00; //从 Flash Main block 读取单字节
while (FSR.BUSY ==1){}; //当读取进行时 (BUSY 为 1), 结束后 (BUSY 清除为 0)
if (FSR.FERR == ERR_NONE) //读取错误代码
data[0] = FDATA0; //从 FDATA0 读取
else{
// 对应错误代码的处理方式
}

FADDR1 = 0x04; // 变更起始地址为 0x0407
FADDR0 = 0x07;
FCR = 0x00; // 从 Flash Main block 读取单字节
while (FSR.BUSY ==1){} ; // 当读取进行时 (BUSY 为 1), 结束后 (BUSY 清除为 0)
if (FSR.FERR == ERR_NONE) // 读取错误代码
data[1] = FDATA0; // 从 FDATA0 读取
else{

```

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

```
        // 对应错误代码的处理方式
    }

Result:
data[0] = 0x0001;
data[1] = 0x0007;
FADDR   = 0x0407;           // FADDR 不受后续操作的影响
                               // 每次读取，内部的地址计数器皆将递增。
                               // 内部的地址计数器递增到 0x0408;
```

9.5 Flash 编程

编程操作支持连续编程，每次编程后，内部地址将根据编程类型（单字节或 4 字节）增加到下一个地址。如果到达存储器（Flash 或 EEPROM）末端，地址将不再递增，任何后续连续编程将返回地址错误。

对于 4 字节操作，FADDR0 [1 : 0] 必须为 00，地址必须在 32 位边界上对齐。Flash 控制器将忽略 FADDR0 [1 : 0]。

在操作开始之前，Flash 控制器必须检查以确保地址的内容是已擦除的位置（数据 = 0xFF），否则会发生数据错误并终止操作。控制器完成操作后，它将通过比较 Flash 内容和提供的数据来检查编程操作是否成功，如果两者不同，则视为编程错误。

Flash 编程操作程序如下：

1. 将起始地址写入 FADDRx
2. 将数据写入 FDATAx
3. 将编程指令写入 Flash 控制寄存器，指定区域
4. 将保护序列 0xA5、0x5A 连续写入 FDATA0。
5. 操作完成后，清除 Flash Status Register < BUSY >
6. 检查错误位

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

9.6 Flash 扇区擦除(Sector Erase)

扇区擦除指令，将忽略 FDATAx。

Flash 为 512 字节/扇区，FADDR0 [8 : 0]被忽略。

Flash 扇区擦除(Sector Erase)操作程序如下：

1. 将扇区 (sector)地址写入 FADDRx
2. 将扇区擦除(sector erase)指令写入 Flash 控制寄存器，指定区域
3. 将保护序列 0xA5、0x5A 连续写入 FDATA0
4. 操作完成后，清除 Flash Status Register < BUSY>
5. Check for errors 检查错误位

9.7 块擦除(Block Erase)

对于块擦除(block erase)指令，将忽略 FDATAx。块擦除(block erase)指令仅适用于 EEPROM。如果将 AREA 指定为 Flash，则会发生地址错误。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

9.8 设备擦除(Device Erase)

设备擦除指令仅擦除用户应用程序中的主要区块。

设备擦除(Device Erase)操作程序如下

1. 对于设备擦除命令，将忽略 FADDRx 和 FDATAx
2. 将擦除设备命令写入 Flash 控制寄存器，指定区域
3. 将保护序列 0xA5、0x5A 连续写入 FFDATA0
4. 操作完成后，清除 Flash Status Register < BUSY >
5. 检查错误位

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

9.9 錯誤位(Error)

Flash 状态寄存器、FSR、Flash 错误 FERR 位提供有关 Flash 操作的信息。一旦设置了错误位(Error bit)，用户必须在错误位(error bits)写入 0x07 进行清除。必须在错误位被清除后，才能进行 Flash 存储控制器操作。

错误位相关说明如下:

FSR<FERR>		
000	ERR_NONE	没有错误
001	ERR_CMD	指令错误。无效的指令。使用无效的 FCMD 指令时。
010	ERR_DATA	数据错误 编程期间，初始指定的地址内容不包含 0xFF
011	ERR_SEQ	保护程序错误。保护程序输入错误。
100	ERR_PGM	程序错误。编程后，控制器将验证数据。若验证的数据与输入数据不同，则视为程序错误。
101	ERR_ADR	地址范围无效。 Flash 读取时会发生这种情况 <ol style="list-style-type: none"> 超出有效的 Flash 地址范围。在连续读/写操作操作时，回传的地址超出有效存储范围。 未经授权的区域(Unauthorized area) 无效区域，例如将区块擦除指令应用于不支持的数组位置。

10.EEPROM 控制器(EEC)

10.1 EEC 功能叙述

当 EEPROM 存储控制器处于繁忙状态时，对 EEPROM 的新命令/请求将被忽略。读取将始终回传 0xFF。请求编程或擦除操作后，用户应用程序必须等待操作完成后(查看 BUSY 标帜)，才能进行 EEPROM 访问。

一旦设置了错误位(Error bit)，用户必须在错误位(error bits)写入 0x07 进行清除。必须在错误位被清除后，才能进行 EEPROM 存储控制器操作。

当 EEPROM 操作正在进行时，程序仍将正常执行。

EEPROM 控制器与 Flash 存储控制器的行为相同，相关细节可参考「CH9.1 功能叙述」，不同处会另加说明。

10.2 EEPROM 储存控制寄存器

地址	寄存器	描述
0x0027	FCKDIV	Flash 时钟分频寄存器
0x0048	EECR	EEPROM 控制寄存器
0x0049	EESR	EEPROM 状态寄存器
0x004A	EEADDR0	EEPROM 地址寄存器 0
0x004B	EEADDR1	EEPROM 地址寄存器 1
0x004C	EEDATA0	EEPROM 数据寄存器 0
0x004D	EEDATA1	EEPROM 数据寄存器 1
0x004E	EEDATA2	EEPROM 数据寄存器 2
0x004F	EEDATA3	EEPROM 数据寄存器 3

表 10.1 EEPROM 储存控制寄存器列表

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

EEPROM 控制寄存器 (EECR)

EECR (0x0048)	7	6	5	4	3	2	1	0
位符号	AREA[2:0]			EECMD[4:0]				
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 所有复位皆可使此寄存器之复位

AREA [2:0]	Command Area 指令区域	000: EEPROM 数组 001: EEPROM 用户数据 其他:系统保留
EECMD [3:0]	EEPROM 指令寄存器	00000 : 读一字节(one byte) 00001 : 系统保留 00010 : 读四字节(four byte) 00011 : 系统保留 00100 : 编程一字节(one byte) 00101 : 系统保留 00110 : 编程四字节(four byte) 00111 : 系统保留 11000 : 扇区擦除(sector erase) 11011 : 块擦除(block erase) 11101 : 全数组擦除(Whole array erase) 其他 : 系统保留

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

EEPROM 状态寄存器(EESR)

EESR (0x0049)	7	6	5	4	3	2	1	0
位符号	BUSY	Reserved				EEERR		
读/写	R	R	R	R	R	R/W		
复位后	0	0	0	0	0	0	0	0

注 1 : 所有复位皆可使此寄存器复位

注 2 : 考虑未来的兼容性问题 · 位符号为 reserve 必须写入 0

BUSY	EEPROM 忙碌标识	0 : 空闲 1 : 忙碌 · EEPROM 工作中 注 : 此位若由 1 转换为 0 时会产生中断。
EEERR	EEPROM 错误位	000: 无错误 001: 指令错误 010: 数据错误 011: 保护程序错误 · 保护程序输入错误。 100 : 编程错误 101 : 地址范围无效 (详细请参考 9.8 「错误位」说明)

EEPROM 地址寄存器 0 (EEADDR0)

EEADDR0 (0x004A)	7	6	5	4	3	2	1	0
位符号	EEADDR0[7:0]							
读/写	R/W							
复位后	0							

注 : 所有复位皆可使此寄存器复位

EEADDR0 [7:0]	EEPROM 地址(第 0-7 位)	EEPROM 地址的最低有效字节
---------------	--------------------	------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

EEPROM 地址寄存器 1 (EEADDR1)

EEADDR1 (0x004B)	7	6	5	4	3	2	1	0
位符号	EEADDR1							
读/写	R/W							
复位后	0							

注：所有复位皆可使此寄存器复位

EEADDR1 [7:0]	EERPOM 地址(第 8-15 位)	EEPROM 地址的最高有效字节
---------------	---------------------	------------------

EEPROM 数据寄存器 0 (EEDATA0)

EEDATA0 (0x004C)	7	6	5	4	3	2	1	0
位符号	EEDATA[7:0]							
读/写	R/W							
复位后	同 0x2000 的数据值							

注：所有复位皆可使此寄存器复位

EEDATA [7:0]	EEPROM 数据(第 0-7 位)
--------------	--------------------

EEPROM 数据寄存器 1 (EEDATA1)

EEDATA1 (0x004D)	7	6	5	4	3	2	1	0
位符号	EEDATA[15:8]							
读/写	R/W							
复位后	同 0x2001 的数据值							

注：所有复位皆可使此寄存器复位

EEDATA [15:8]	EEPROM 数据(第 8-15 位)
---------------	---------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

EEPROM 数据寄存器 2 (EEDATA2)

EEDATA2 (0x004E)	7	6	5	4	3	2	1	0
位符号	EEDATA[23:16]							
读/写	R/W							
复位后	同 0x2002 的数据值							

注：所有复位皆可使此寄存器复位

EEDATA [15:8]	EEPROM 数据(第 16-23 位)
---------------	----------------------

EEPROM 数据寄存器 3 (EEDATA3)

EEDATA3 (0x004F)	7	6	5	4	3	2	1	0
位符号	EEDATA[31:24]							
读/写	R/W							
复位后	同 0x2003 的数据值							

注：所有复位皆可使此寄存器复位

EEDATA [31:24]	EEPROM 数据(第 24-31 位)
----------------	----------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

10.3 EEPROM 保护机制

EEPROM 程序和擦除操作，都具有保护机制。这是为了防止对指令寄存器的错误写入而导致对 EEPROM 内容的意外更改。为避免此类错误，每当更改 EEPROM 内容时，都必须执行以下描述的过程。

任何会更改 EEPROM 内容的指令都需要保护机制，其中包括：程序编程/扇区擦除(sector erase)/扇区擦除(block erase)/整体擦除(Deice Erase)。

EEPROM 保护机制操作程序如下：

- 1.将所需地址写入 EEADDRx
- 2.将所需数据写入 EEDATAx
- 3.将所需指令写入 EEPROM 控制寄存器 (EECR)
- 4.将保护序列 0xA5、0x5A 连续写入 EEDATA0。
- 5.操作完成后，清除 EEPROM Status Register < BUSY>
- 6.检查错误位 (如果适用)

程序正确输入后，将启动保护机制。

写入 EEPROM 控制寄存器后，如果未正确进入保护机制，或 EEDATA0 以外的 EEPROM 控制器寄存器写入，则 EEPROM 控制器将重置为其默认状态，并准备进行下一个操作，同时错误代码也将被设置。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

10.4 EEPROM 读取

由于读取并非破坏性操作，因此无保护机制。

读取操作支持连续读取，每次读取后，内部地址将根据读取类型（单字节、双字节或 4 字节）递增到下一个地址。如果到达存储器（Flash 或 EEPROM）的末端，地址将不会再递增，到达末端之后，任何连续读取都将返回地址错误代码。

任何尝试读取无效地址，都将回传 0xFF 错误代码。

EEPROM 读取操作程序如下：

1. 将起始地址写入 EEADDRx
2. 将读取指令写入 EEPROM 控制寄存器，以指定区域
3. 等待操作完成（清除 BUSY 标志）
4. 检查错误代码
5. 从 EEDATAx 读取

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

10.5 EEPROM 编程

编程操作支持连续编程，每次编程后，内部地址将根据编程类型（单字节或 4 字节）增加到下一个地址。如果到达存储器（Flash 或 EEPROM）末端，地址将不再递增，任何后续连续编程将返回地址错误。

在操作开始之前，EEPROM 控制器必须检查以确保地址的内容是已擦除的位置（数据= 0xFF），否则会发生数据错误并终止操作。控制器完成操作后，它将通过比较 EEPROM 内容和提供的数据来检查编程操作是否成功，如果两者不同，则视为编程错误。

EEPROM 编程操作程序如下：

1. 将起始地址写入 EEADDRx
2. 将数据写入 EEDATAx
3. 将编程指令写入 EEPROM 控制寄存器，指定区域
4. 将保护序列 0xA5、0x5A 连续写入 EEDATA0。
5. 操作完成后，清除 EEPROM Status Register < BUSY >
6. 检查错误位

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

10.6 EEPROM 扇区擦除(Sector Erase)

扇区擦除指令，将忽略 EEDATAx。

EEPROM 为 32 字节/扇区，FADDR0 [4 : 0]被忽略。

EEPROM 扇区擦除(Sector Erase)操作程序如下：

6. 将扇区 (sector)地址写 EEADDRx
7. 将扇区擦除(sector erase)指令写入 EEPROM 控制寄存器，指定区域
8. 将保护序列 0xA5、0x5A 连续写入 EEDATA0。
9. 操作完成后，清除 EEPROM Status Register < BUSY>
10. Check for errors 检查错误位

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

10.7 块擦除(Block Erase)

对于块擦除(block erase)指令，将忽略 FDATAx。块擦除(block erase)指令仅适用于 EEPROM。如果将 AREA 指定为 Flash，则会发生地址错误。

块擦除(Block Erase)操作程序如下：

1. 将扇区地址写入 EEADDRx
2. 将块擦除(block erase)指令写入 EEPROM 控制寄存器，指定区域
3. 将保护序列 0xA5、0x5A 连续写入 EEDATA0
4. 操作完成后，清除 EEPROM Status Register < BUSY>
5. 检查错误位

10.8 设备擦除(Device Erase)

设备擦除指令仅擦除用户应用程序中的主要区块。

对于 EEPROM，设备擦除指令用于擦除整个主数组；

EEPROM 设备擦除(Device Erase)操作程序如下

1. 对于设备擦除命令，将忽略 EEADDRx 和 EEDATAx。
2. 将擦除设备命令写入 EEPROM 控制寄存器，指定区域
3. 将保护序列 0xA5、0x5A 连续写入 EEDATA0。
4. 操作完成后，清除 EEPROM Status Register < BUSY>
5. 检查错误位

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

10.9 錯誤位(Error)

EEPROM 状态寄存器、EESR、EEPROM 错误 FERR 位提供有关 EEPROM 操作的信息。一旦设置了错误位(Error bit)，用户必须在错误位(error bits)写入 0x07 进行清除。必须在错误位被清除后，才能进行 EEPROM 存储控制器操作。

错误位相关说明如下:

EESR< EEERR>		
000	ERR_NONE	没有错误
001	ERR_CMD	指令错误。无效的指令。使用无效的 FCMD 指令时。
010	ERR_DATA	数据错误 编程期间，初始指定的地址内容不包含 0xFF
011	ERR_SEQ	保护程序错误。保护程序输入错误。
100	ERR_PGM	程序错误。编程后，控制器将验证数据。若验证的数据与输入数据不同，则视为程序错误。
101	ERR_ADR	地址范围无效。 EEPROM 读取时会发生这种情况 1. 超出有效的 EEPROM 地址范围。在连续读/写操作操作时，回传的地址超出有效存储范围。 2. 未经授权的区域(Unauthorized area) 3. 无效区域，例如将区块擦除指令应用于不支持的数组位置。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

11. 通用 IO

本产品有 4 种平行 IO 埠 (最多达个 29 IO 引脚) 如下表所示 :

埠	引脚	引脚数	输入/输出	选择功能	
PortP0	P0.0 到 P0.7	8	输入/输出	P0.0 P0.1 P0.2 P0.3 P0.4 P0.5	可用作 TMRA 功能。
				P0.6 P0.7	可用作 I2C、外部中断、唤醒输入功能。
PortP1	P1.0 到 P1.7	8	输入/输出	P1.0 P1.1	为 ADC 输入、比较器输入、外部中断、唤醒输入功能。
				P1.2	为 ADC 输入、ADC 参考电压输入、外部中断、唤醒输入功能。
				P1.3	为 ADC 输入、UART、外部中断、唤醒输入功能。
				P1.4	为 ADC 输入、UART、TMRA、外部中断、唤醒输入功能。
				P1.5 P1.6	为 ADC 输入、TMRA、外部中断、唤醒输入功能。
				P1.7	为 ADC 输入、外部中断、唤醒输入功能。
PortP3	P3.0 P3.1 P3.4 P3.5 P3.6 P3.7	6	输入/输出	P3.0	可用作比较器输出、TMRA 功能。
				P3.1	可用作 TMRA、UART 功能。
				P3.4	可用作 TMRA、DBG 功能。
				P3.5	可用作 TMRA、UART 功能。
				P3.6	可用作 SIO、TMRA 功能。
				P3.7	可用作 UART、SIO、TMRA 功能。
PortP4	P4.0 到 P4.6	7	输入/输出	P4.0	可用作 UART、SIO、TMRA 功能。
				P4.1	可用作 TMRA FLTINO 功能。
				P4.2	
				P4.3 P4.4	为外部高速时钟连接功能。
				P4.5	为外部低速时钟连接功能、TMRA FLTIN2 功能。
				P4.6	为外部低速时钟连接功能、TMRA FLTIN1 功能。

表 11-1 IO 埠

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

11.1 I/O 控制寄存器

以下控制寄存器供输入输出 I/O 端口使用。x 表示埠编号。寄存器可设定与否与埠相关。细节须参考每个埠的说明。

PxDO 寄存器

此寄存器用于设定输出数据。端口设定为输出模式时，PxDO 的设定数值会由埠输出。

PxDI 寄存器

此寄存器用于读输入数据。端口设定为输入模式时，端口输入状态可藉由 PxDI 读出。

PxOE 寄存器

此寄存器切换埠的输入与输出。端口可以在输入模式和输出模式切换。

PxPU 寄存器

此寄存器决定端口在输入模式下是否接上内部上拉电阻。

PxPD 寄存器

此寄存器决定端口在输入模式下是否接上内部下拉电阻。

PxDSEL 寄存器

此寄存器设定埠为一般驱动或者为高驱动。

11.2 I/O 寄存器

地址	寄存器	描述
0x00E0	P0DO	P0 输出锁存寄存器
0x00E1	P1DO	P1 输出锁存寄存器
0x00E3	P3DO	P3 输出锁存寄存器
0x00E4	P4DO	P4 输出锁存寄存器
0x00F0	P0DI	P0 输入锁存寄存器
0x00F1	P1DI	P1 输入锁存寄存器
0x00F3	P3DI	P3 输入锁存寄存器
0x00F4	P4DI	P4 输入锁存寄存器
0x0100	P0OE	P0 输入输出控制寄存器
0x0101	P1OE	P1 输入输出控制寄存器
0x0103	P3OE	P3 输入输出控制寄存器
0x0104	P4OE	P4 输入输出控制寄存器
0x0110	P0PU	P0 内置上拉电阻控制寄存器
0x0111	P1PU	P1 内置上拉电阻控制寄存器
0x0113	P3PU	P3 内置上拉电阻控制寄存器
0x0114	P4PU	P4 内置上拉电阻控制寄存器
0x0120	P0PD	P0 内置下拉电阻控制寄存器
0x0121	P1PD	P1 内置下拉电阻控制寄存器
0x0123	P3PD	P3 内置下拉电阻控制寄存器
0x0124	P4PD	P4 内置下拉电阻控制寄存器
0x0130	P0DSEL	P0 驱动选择寄存器

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

11.2.1 P0 端口寄存器

P0埠输出锁存寄存器(PODO)

PODO (0x00E0)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

P0输入数据寄存器(PODI)

PODI (0x00F0)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0
功能	设定于输入模式下可读取该端口的内容。非输入模式下的读取值为“0”。							

P0埠输入输出控制寄存器(POOE)

POOE (0x0100)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输入模式 (端口输入)						
	1	输出模式 (端口输出)						

P0内置上拉电阻控制寄存器(POPU)

POPU (0x0110)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此内置电阻。						

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

P0内置下拉电阻控制寄存器(POPD)

POPD (0x0120)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此内置电阻。						

注：如果 P_xP_{Ux} 与 P_xP_{Dx} 同时被设定为“1”时，埠将只连接至上拉电阻。(x = 0, 1)

P0驱动选择寄存器 (PODSEL)

PODSEL (0x0130)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	PODSEL=0	一般驱动						
	PODSEL=1	高驱动						

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

11.2.2 P1 端口寄存器

P1输出锁存寄存器(P1DO)

P1DO (0x00E1)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

P1输入锁存寄存器(P1DI)

P1DI (0x00F1)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0
功能	设定于输入模式下可读取该端口的内容。非输入模式下的读取值为“0”。							

P1输入输出控制寄存器(P1OE)

P1OE (0x0101)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输入模式 (端口输入)						
	1	输出模式 (端口输出)						

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

P1内置上拉电阻控制寄存器(P1PU)

P1PU (0x0111)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

P1内置下拉电阻控制寄存器(P1PD)

P1PD (0x0121)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

注：如果PxPux与PxPdx同时被设定为"1"时，埠将只连接至上拉电阻。(x = 0, 1)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

11.2.3 P3 端口寄存器

P3输出锁存寄存器(P3DO)

P3DO (0x00E3)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

P3输入数据寄存器(P3DI)

P3DI (0x00F3)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0
功能	设定于输入模式下可读取该端口的内容。非输入模式下的读取值为“0”。							

P3输入输出控制寄存器(P3OE)

P3OE (0x0103)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输入模式 (端口输入)						
	1	输出模式 (端口输出)						

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

P3内置上拉电阻控制寄存器(P3PU)

P3PU (0x0113)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

P3内置下拉电阻控制寄存器(P3PD)

P3PD (0x0123)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

注：如果PxPux与PxPDx同时被设定为"1"时，埠将只连接至上拉电阻。(x = 0, 1)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

11.2.4 P4 端口寄存器

P4输出锁存寄存器(P4DO)

P4DO (0x00E4)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

P4输入数据寄存器(P4DI)

P4DI (0x00F4)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0
功能	设定于输入模式下可读取该端口的内容。非输入模式下的读取值为“0”。							

P4输入输出控制寄存器(P4OE)

P4OE (0x104)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输入模式 (端口输入)						
	1	输出模式 (端口输出)						

注：当P4OE设定为输出，外部晶振的震荡讯号将无法链接到IC内部的震荡线路。若要使用外部晶振(HXOUT)功能，需将对应的P4OE_P4设为0。可参考附录D说明。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

P4内置上拉电阻控制寄存器(P4PU)

P4PU (0x0114)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

P4内置下拉电阻控制寄存器(P4PD)

P4PD (0x0124)	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	P0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

注：如果PxPux与PxPDx同时被设定为"1"时，埠将只连接至上拉电阻。(x = 0, 1)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

12 外围网络互连系统(PNI)

12.1 功能叙述

外围网络互连控制(Peripheral Network Inter-Connect ,PNIC)为可配置的连接矩阵，藉由脚位配置控制寄存器(Pin Configuration Control Register, PxCFGCR)即可设定各 IO 引脚的功能。

各功能与各信道皆有专属可编程的寄存器组，可指定 IO 执行所需要的功能。PNIC 架构使各群内的功能平行运作，增加系统的弹性化，可支持更广泛的应用。

12.2 PNIC 控制寄存器

地址	寄存器	描述
0x0140	P0CFGCR	P0 端口配置控制寄存器
0x0141	P0CFGV	P0 端口配置值寄存器
0x0142	P1CFGCR	P1 端口配置控制寄存器
0x0143	P1CFGV	P1 端口配置值寄存器
0x0146	P3CFGCR	P3 端口配置控制寄存器
0x0147	P3CFGV	P3 端口配置值寄存器
0x0148	P4CFGCR	P4 端口配置控制寄存器
0x0149	P4CFGV	P4 端口配置值寄存器

表 12-1 PNIC 控制寄存器清单

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

P0端口配置控制寄存器(POCFGCR)

POCFGCR (0x0140)	7	6	5	4	3	2	1	0
位符号	POCFGW	POSEL			POCFG			
读/写	W	W	W	W	W	W	W	W
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使此寄存器之复位

POCFGW	脚位配置写入	0：读取脚位配置 1：写入脚位配置
POSEL	脚位选择	选择脚位 000: P0.0 001: P0.1 010: P0.2 011: P0.3 100: P0.4 101: P0.5 110: P0.6 111: P0.7
POCFG	脚位配置	当 POCFGW 为 1 时，此位用于写入引脚功能设定； 当 POCFGW 为 0 时，会忽略此位。

	POCFG=0000	POCFG=0001	POCFG=0010	POCFG=0011	POCFG=0100	POCFG=1111
POSEL=000	GPIO	TA21	-	-	-	-
POSEL=001	GPIO	TA20	TA21O	-	-	-
POSEL=010	GPIO	TA11	-	-	-	-
POSEL=011	GPIO	TA10	TA11O	TA40I	TA4G	-
POSEL=100	GPIO	TA01	-	TA41	-	-
POSEL=101	GPIO	TA00	TA01O	TA40O	TA41O	-
POSEL=110	GPIO	SCL	SCL	SCL	SCL	-
POSEL=111	GPIO	SDA	SDA	SDA	SDA	-

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

P1 端口配置控制寄存器(P1CFGCR)

P1CFGCR (0x0142)	7	6	5	4	3	2	1	0
位符号	P1CFGW	P1SEL			P1CFG			
读/写	W	W	W	W	W	W	W	W
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使此寄存器之复位

P1CFGW	脚位配置写入	0：读取脚位配置 1：写入脚位配置
P1SEL	脚位选择	选择脚位 000: P1.0 001: P1.1 010: P1.2 011: P1.3 100: P1.4 101: P1.5 110: P1.6 111: P1.7
P1CFG	脚位配置	当 P1CFGW 为 1 时，此位用于写入引脚功能设定； 当 P1CFGW 为 0 时，会忽略此位。

	P1CFG=0000	P1CFG=0001	P1CFG=0010	P1CFG=0011	P1CFG=0100	P1CFG=1111
P1SEL=000	GPIO	-	-	-	-	AIN0/CMP0P
P1SEL=001	GPIO	-	-	-	-	AIN1/CMP0N
P1SEL=010	GPIO	-	-	-	-	AIN2/VREF_ADC
P1SEL=011	GPIO	-	-	TXD1	-	AIN3
P1SEL=100	GPIO	TA30I	TA3G	RXD1	-	AIN4
P1SEL=101	GPIO	TA30O	TA31O	-	-	AIN5
P1SEL=110	GPIO	TA31	-	-	-	AIN6
P1SEL=111	GPIO	-	-	-	-	AIN7

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

P3端口配置控制寄存器(P3CFGCR)

P3CFGCR (0x0146)	7	6	5	4	3	2	1	0
位符号	P3CFGW	P3SEL			P3CFG			
读/写	W	W	W	W	W	W	W	W
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使此寄存器之复位

P3CFGW	脚位配置写入	0：读取脚位配置 1：写入脚位配置
P3SEL	脚位选择	选择脚位 000: P3.0 001: P3.1 010:系统保留 011:系统保留 100: P3.4 101: P3.5 110: P3.6 111: P3.7
P3CFG	脚位配置	当 P3CFGW 为 1 时，此位用于写入引脚功能设定； 当 P3CFGW 为 0 时，会忽略此位。

	P3CFG=0000	P3CFG=0001	P3CFG=0010	P3CFG=0011	P3CFG=0100	P3CFG=1111
P3SEL=000	GPIO	-	-	TA10	TA11O	CMPOO
P3SEL=001	GPIO	-	TXD2	TA11	-	-
P3SEL=010	-	-	-	-	-	-
P3SEL=011	-	-	-	-	-	-
P3SEL=100	GPIO	-	-	TA30I	TA3G	-
P3SEL=101	GPIO		RXD2	TA00	TA01O	-
P3SEL=110	GPIO	SCK0	-	TA01	-	-
P3SEL=111	GPIO	SO0	TXD0	TA20	TA21O	-

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

P4端口配置控制寄存器(P4CFGCR)

P4CFGCR (0x0148)	7	6	5	4	3	2	1	0
位符号	P4CFGW	P4SEL			P4CFG			
读/写	W	W	W	W	W	W	W	W
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使此寄存器之复位

P4CFGW	脚位配置写入	0：读取脚位配置 1：写入脚位配置
P4SEL	脚位选择	选择脚位 000: P4.0 001: P4.1 010: P4.2 011: P4.3 100: P4.4 101: P4.5 110: P4.6 111: 系统保留
P4CFG	脚位配置	当 P4CFGW 为 1 时，此位用于写入引脚功能设定； 当 P4CFGW 为 0 时，会忽略此位。

	P4CFG=0000	P4CFG=0001	P4CFG=0010	P4CFG=0011	P4CFG=0100	P4CFG=1111
P4SEL=000	GPIO	SIO	RXD0	TA21	TA20	-
P4SEL=001	GPIO	FLTIN0	FLTIN0	FLTIN0	FLTIN0	-
P4SEL=010	GPIO	-	-	-	-	-
P4SEL=011	GPIO	-	-	-	-	HXIN
P4SEL=100	GPIO	-	-	-	-	HXOUT
P4SEL=101	GPIO	FLTIN2	FLTIN2	FLTIN2	FLTIN2	LXOUT
P4SEL=110	GPIO	FLTIN1	FLTIN1	FLTIN1	FLTIN1	LXIN
P4SEL=111	-	-	-	-	-	-

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

端口功能控制寄存器(PxCFGV, x=0,1,3,4)

PxCFGV	7	6	5	4	3	2	1	0
位符号	Reserved				PxCFGV			
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使此寄存器之复位

PxCFGV	脚位配置值	<p>此位用于回传 PxCFGCR 寄存器所设定值。</p> <p>当 PxCFGCR<PxCFGW>为 0 时，此位用于回传 PxCFGCR 寄存器设定值；</p> <p>当 PxCFGCR<PxCFGW>为 1 时，忽略此位。</p>
--------	-------	---

12.3 PNIC 功能设定

用户可透过脚位配置控制寄存器(Pin Configuration Control Register, PxCFGCR) 进行 I/O 功能设定。

PxCFGCR<PxSEL>选择端口脚位、PxCFGCR<PxCFG>进行功能选择。

当引脚有设定功能 (PxCFGCR<PxCFG>≠0)时，端口的输入/输出完全由 PxCFG 设定的功能控制，与 PxOE 的设定无关。

范例：设定 P1.3 为 TXD1、P1.4 为 RXD1

```
P1CFGCR= 0xB3;          // 设定 P1.3 为 TXD1
```

```
P1CFGCR= 0xC3;          //设定 P1.4 为 RXD1
```

可从配置寄存器读取设定

```
P1CFGCR= 0x30;          // 读取 P1.3 设定
```

```
P3_CFG = P1CFGV;        // P3_CFG 回传 0x03
```

```
P1CFGCR= 0x40;          //设定 P1.4 配置
```

```
P4_CFG = P1CFGV;        // P4_CFG 回传 0x03
```

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13. 定时器/计数器

13.1 看门狗定时器(WDT)

看门狗定时器是个防止系统故障的系统，用于快速检测 CPU 的故障如由噪声造成的死循环等，并使 CPU 恢复正常状态。

看门狗定时器信号可设定成看门狗中断要求信号，或是看门狗计时器重定信号。

注：看门狗定时器可能因噪声干扰或其他因素无法正常工作，进行系统设计时需务必特别注意。

13.1.1 看门狗定时器架构

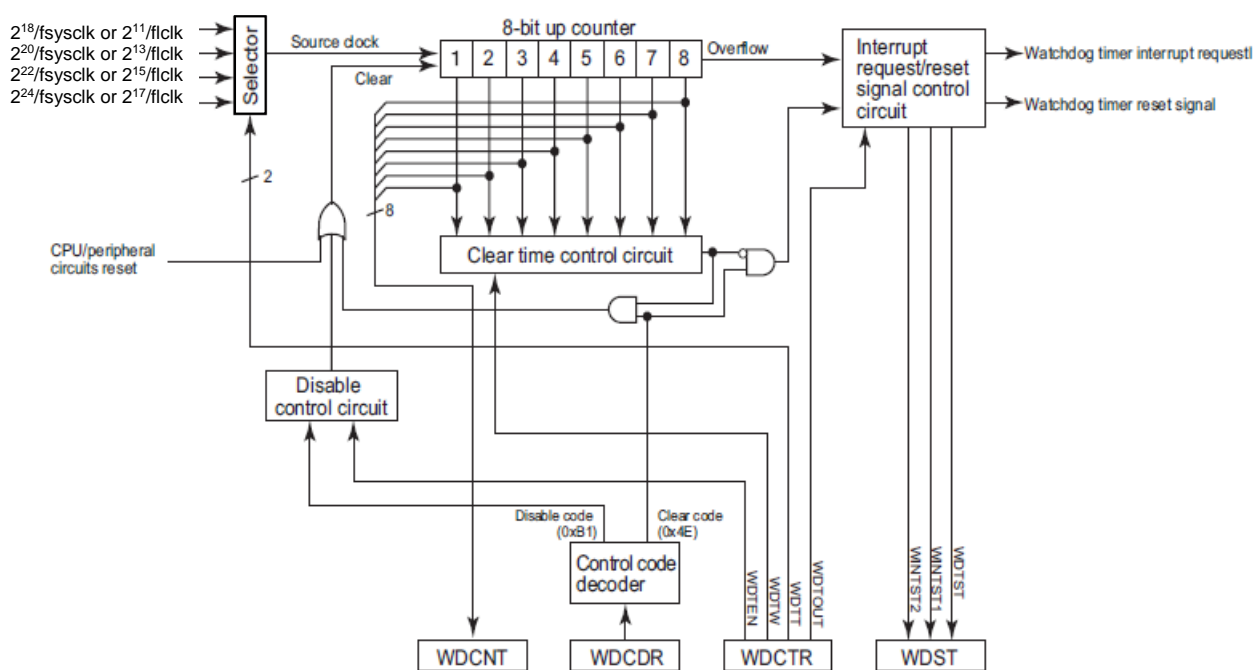


图 13-1 看门狗定时器架构

13.1.2 看门狗定时器控制

看门狗定时器由看门狗定时器控制寄存器 WDCTR，看门狗定时器控制寄存器 WDCDR，看门狗定时器计数器监控 WDCNT 和看门狗定时器状态 WDST 所控制。

在系统复位及唤醒操作完成后，看门狗定时器会自动被启动。

地址	寄存器	描述
0x0028	WDCTR	看门狗定时器控制寄存器
0x0029	WDCDR	看门狗定时器控制寄存器
0x002A	WDCNT	8 位上数计数器监控
0x002B	WDST	看门狗定时器状态

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

看门狗定时器控制寄存器(WDCTR)

WDCTR	7	6	5	4	3	2	1	0
位符号	-	-	WDTEN	WDTW[1:0]		WDTT[1:0]		WDTOUT
读/写	R	R	R/W	R/W		R/W		R/W
复位后	1	0	1	0	0	1	1	0

WDTEN	允许/禁止看门狗定时器	0: 禁止 1: 允许			
WDTW[1:0]	设定 8 位上数计数器清空时间	00: 于 8 位上数计数器溢位时间的全时段内，写入清空码会清除 8 位上数计数器。 01: 于 8 位上数计数器溢位时间的前 1/4 时段内，写入清空码会产生看门狗定时器中断要求。超过溢位时间的 1/4 时间后，写入清空码会清除 8 位上数计数器。 10: 于 8 位上数计数器溢位时间的前 1/2 时段内，写入清空码会产生看门狗定时器中断要求。超过溢位时间的 1/2 时间后，写入清空码会清除 8 位上数计数器。 11: 于 8 位上数计数器溢位时间的前 3/4 时段内，写入清空码以产生看门狗定时器中断要求。超过溢位时间的 3/4 时间后，写入清空码会清除 8 位上数计数器。			
WDTT[1:0]	设定 8 位上数计数器溢位时间	一般模式			
		TBTCR<DV9CK>=0	TBTCR<DV9CK>=1	一般模式 (低速时钟)	
		00:	2 ¹⁸ /fsysclk	2 ¹¹ /fclk	2 ¹¹ /fclk
		01:	2 ²⁰ /fsysclk	2 ¹³ /fclk	2 ¹³ /fclk
		10:	2 ²² /fsysclk	2 ¹⁵ /fclk	2 ¹⁵ /fclk
11:	2 ²⁴ /fsysclk	2 ¹⁷ /fclk	2 ¹⁷ /fclk		
WDTOUT	选择 8 位上数计数器的溢位检测信号	0: 看门狗定时器中断要求信号 1: 看门狗定时器复位要求信号			

注 1 : fsysclk 为系统时钟[Hz]，fclk 为低速时钟(Hz)。

注 2 : WDCTR<WDTEN>为“1”的情况下，WDCTR<WDTW>、WDCTR<WDTT>和 WDCTR<WDTOUT>寄存器设定无法改变。若要禁止看门狗定时器的操作，清除 WDCTR<WDTEN>为“0”并且将禁止码(0xB1)写入看门狗定时器控制寄存器 WDCCR 内。在设定 WDCTR<WDTEN>为“1”时，可以同时设定 WDCTR<WDTW>、WDCTR<WDTT>和 WDCTR<WDTOUT>寄存器。

注 3 : WDCTR 的第 7 位和第 6 位读出数值分别为“1”和“0”。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

看门狗定时器控制寄存器(WDCDR)

WDCDR	7	6	5	4	3	2	1	0
位符号	WDTCR[7:0]							
读/写	W							
复位后	0							

WDTCR[7:0]	写入看门狗定时器控制	<p>0x4E: 清空码，清除看门狗定时器</p> <p>0xB1: 禁止码，当 WDTCR<WDTCR>为“0”时，禁止看门狗定时器操作同时清除 8 位上数计数器</p> <p>其他: 无效</p>
------------	------------	--

8 位上数计数器监控(WDCNT)

WDCNT	7	6	5	4	3	2	1	0
位符号	WDCNT[7:0]							
读/写	R							
复位后	0							

WDCNT[7:0]	监控 8 位上数计数器监控数值	读取 8 位上数计数器数值
------------	-----------------	---------------

看门狗定时器状态(WDST)

WDST	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	WINTST2	WINTST1	WDTST
读/写	R	R	R	R	R	R	R	R
复位后	0	1	0	1	1	0	0	1

WINTST2	看门狗定时器中断要求信号因素状态 2	<p>0: 无看门狗定时器中断要求信号产生</p> <p>1: 有看门狗定时器中断要求信号产生，原因为 8 位上数计数器发生溢位</p>
WINTST1	看门狗定时器中断要求信号因素状态 1	<p>0: 无看门狗定时器中断要求信号产生</p> <p>1: 有看门狗定时器中断要求信号产生，原因为清空时间外的 8 位上数计数器释放</p>
WDTST	看门狗定时器操作状态	<p>0: 操作禁止</p> <p>1: 操作允许</p>

注 1：藉由读取 WDST 将 WDST<WINTST2>和 WDST<WINTST1>清除为“0”。

注 2：复位后的数值可由 WDST 的第 7 位到第 3 位读出。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.1.2.1 看门狗定时器操作的允许/禁止设定

设定 WDCTR<WDTEN>为“1”可允许看门狗定时器的操作，8 位上数计数器会开始进行源时钟的计数。

在系统复位及唤醒操作完成后，WDCTR<WDTEN>会被初始设定为“1”。此时看门狗定时器被启动。

若要禁止看门狗定时器操作，将 WDCTR<WDTEN>清除为“0”并将 0xB1 写入看门狗定时器控制寄存器 WDCDR。要禁止看门狗定时器操作，将 8 位上数计数器清除为“0”。

注：在 WDCTR<WDTEN>为“1”的情况下，若将禁止码 0xB1 写入 WDCDR 的同时发生 8 位上数计数器的溢位，看门狗定时器操作会优先被禁止，而不会执行溢位检测。

要重新允许看门狗定时器操作，设定 WDCTR<WDTEN>为“1”即可。不需写入控制进 WDCDR 寄存器。

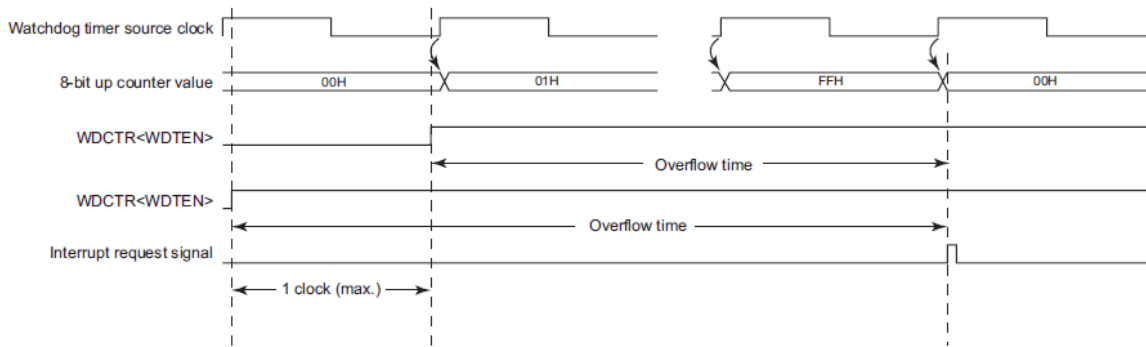


图 13- 2 WDCTR<WDTEN>设定时序和溢位时间

注：8 位上数计数器的源时钟的工作和 WDCTR<WDTEN>并不同步。因此，8 位上数计数器在 WDCTR<WDTEN>设定为“1”之后第一次的溢位时间，可能比设定要短最多一个源时钟周期。要清空 8 位上数计数器，必须在溢位时间减去一个源时钟周期的时间内进行。

13.1.2.2 设定 8 位上数计数器清空时间

用 WDCTR<WDTW>寄存器设定 8 位上数计数器的清空时间。

WDCTR<WDTW>设定为“00”时，清空时间等同于 8 位上数计数器的溢位时间，可于任意时间进行 8 位上数计数器的清除。

WDCTR<WDTW>设定不为“00”时，清空时间被定在 8 位上数计数器溢位时间内的某特定时段。在清空时间外进行 8 位上数计数器的操作释放，会产生看门狗定时器中断要求信号。

此时，看门狗定时器不会被清空而是继续计数。若 8 位上数计数器没有在清空时间内被清空，依据 WDCTR<WDTOUT>的设定，计数器发生溢位时会产生看门狗计时器重定要求信号或是看门狗定时器中断要求信号。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

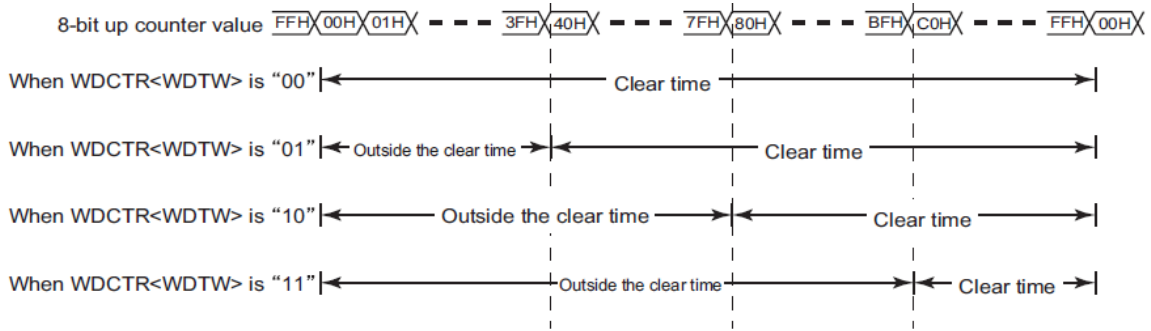


图 13-3 WDCTR<WDTW>与 8 位上数计数器清空时间

13.1.2.3 设定 8 位上数计数器溢位时间

用 WDCTR<WDTT>寄存器设定 8 位上数计数器的溢位时间。

8 位上数计数器发生溢位时，依据 WDCTR<WDTOUT>的设定，会产生看门狗计时器重定要求信号或看门狗定时器中断要求信号。

若选择看门狗定时器中断要求信号为故障检测信号，看门狗定时器不会停止计数，甚至在发生溢位后仍继续。

在深眠模式(包括唤醒)中或睡眠/睡眠(低速时钟)模式中，看门狗定时器会暂时停止计数，并且在系统脱离深眠/睡眠/睡眠(低速时钟)模式后继续计数。为避免 8 位上数计数器在系统脱离深眠/睡眠/睡眠(低速时钟)模式后发生即刻溢位的状况，建议在进入工作模式切换前，先清空 8 位上数计数器。

WDTT	看门狗溢位时间		
	一般模式, 系统时钟为 PLL/HXTAL		一般模式 系统时钟为 LIRC/LXTAL
	TBTCR<DV9CK> = 0	TBTCR<DV9CK> = 1	
00	10.92ms	62.5ms	62.5ms
01	43.70 ms	250ms	250ms
10	174.76ms	1s	1s
11	699.06ms	4s	4s

表 13-1 看门狗定时器溢位时间 (以 FSYCLK = 24MHZ; FLCLK = 32.768KHZ 为范例)

注: 8 位上数计数器的源时钟的工作和 WDCTR<WDTEN>并不同步。因此，8 位上数计数器在 WDCTR<WDTEN>设定为“1”之后第一次的溢位时间，可能比设定要短最多一个源时钟周期。要清空 8 位上数计数器，必须在溢位时间减去一个源时钟周期的时间内进行。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.1.2.4 设定 8 位上数计数器溢位检测信号

用 WDCTR<WDTOUT>选择 8 位上数计数器的溢位被检测到后所产生的信号种类。

(a) 选择看门狗定时器中断要求信号(WDCTR<WDTOUT>为'0')

WDCTR<WDTOUT>为"0"时，8 位上数计数器发生溢位时会产生看门狗定时器中断要求信号。

看门狗定时器中断属于非屏蔽中断，不管中断主允许标帜 IMF 的设定为何，系统都会接受看门狗定时器中断要求。

注：看门狗定时器中断产生时，另一个中断(包括另一个看门狗定时器中断)如果已先被系统接受，系统会接受新的看门狗定时器中断并保留先前的中断。若看门狗定时器中断在没有执行 RETN 指令的情况下连续产生，单片机可能会因多层的中断交错发生故障。

(b) 选择看门狗定时器重定要求信号(WDCTR<WDTOUT>为'1')

设定 WDCTR<WDTOUT>为"1"时，8 位上数计数器发生溢位时会产生看门狗定时器重定要求信号。

看门狗定时器重定要求信号会引起系统复位与后续的唤醒操作。

13.1.2.5 写入看门狗定时器控制寄存器

将看门狗定时器控制写入看门狗定时器控制寄存器 WDCDR。

于 WDCDR 写入清空码 0x4E，则 8 位上数计数器会被清除为"0"并继续源时钟的计数。

WDCTR<WDTEN>为"0"时，于 WDCDR 写入禁止码 0xB1，会禁止看门狗定时器的操作。

为避免 8 位上数计数器发生溢位现象，在短于 8 位上数计数器溢位时间也同时是清空时间的时段内，清空 8 位上数计数器。

藉由设计不会发生计数器溢位的程序，程序的故障及死循环可藉由看门狗定时器中断要求信号所引起的中断进行检测。

利用看门狗定时器重定要求信号进行单片机的复位，可以在发生故障和死循环后使 CPU 恢复正常操作。

13.1.2.6 读取 8 位上数计数器

读取 WDCNT 可读出 8 位上数计数器的计数数值。藉由随机读取 8 位上数计数器的计数值并和前一次读取数值比较，可检测看门狗定时器的停止与其他异常状态。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.1.2.7 读取看门狗定时器状态

读取 WDST 可了解看门狗定时器状态。

允许看门狗定时器操作时，WDST<WDTST>读取值为“1”。禁止看门狗定时器操作时，WDST<WDTST>读取值为“0”。

8 位上数计数器发生溢位并产生看门狗定时器中断要求信号时，WDST<WINTST2>读取值为“1”。

8 位上数计数器在清空时间外的释放产生看门狗定时器中断要求信号时，WDST<WINTST1>读取值为“1”。

在看门狗定时器中断服务程序中读取 WDST<WINTST2>和 WDST<WINTST1>，可了解引起看门狗定时器中断要求信号的因素。

读取 WDST 时，WDST<WINTST2>和 WDST<WINTST1>会被清空为“0”。如果 WDST<WINTST2>或 WDST<WINTST1>因条件吻合要转变成“1”的同时进行 WDST 的读取，WDST<WINTST2>或 WDST<WINTST1>会被设定为“1”，而不是被清空为“0”。

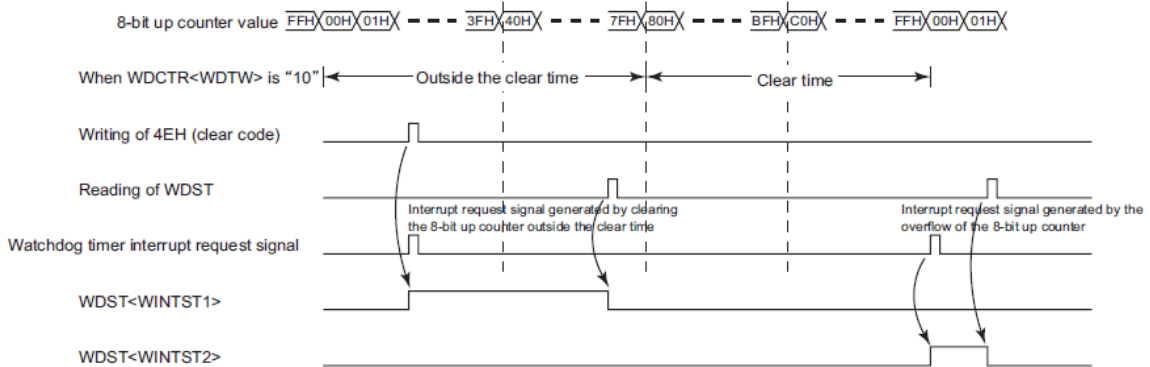


图 13-4 看门狗定时器状态

13.2 时基定时器(TBT)

时基定时器 TBT 产生按键扫描、动态显示及其他处理所需的时基。时基定时器同时提供时基定时器中断 INTTBT。

13.2.1 时基定时器架构

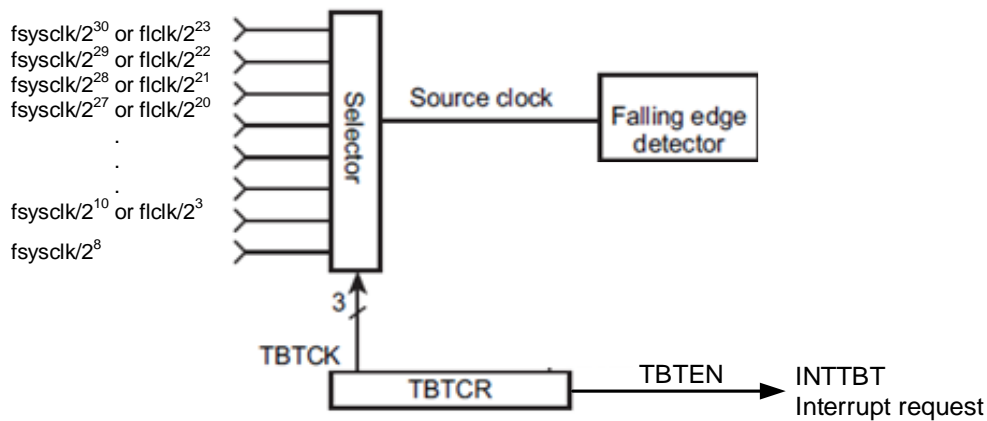


图 13-5 时基定时器架构

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.2.2 时基定时器控制

时基定时器由时基定时器控制寄存器 TBTCR 所控制。

时基定时器控制寄存器(TBTCR, 0x002E)

TBTCR	7	6	5	4	3	2	1	0
位符号	-	-	DV9CK	TBTEN	TBTCK[3:0]			
读/写	R	R	R/W	R/W	R/W			
复位后	0	0	0	0	0	0	0	0

DV9CK	选择 9 级分频器的输入时钟	0: fsysclk/2 ⁹ 1: flclk			
TBTEN	允许/禁止时基定时器中断要求	0: 禁止 1: 允许			
TBTCK[3:0]	选择时基定时器中断频率 单位: Hz	TBTCK	一般·睡眠模式, PLL/HXTAL	一般·睡眠模式 系统时钟为 LIRC/LXTAL	
			TBTCR<DV9CK>=0	TBTCR<DV9CK>=1	
		0000:	fsysclk/2 ³⁰	flclk/2 ²³	flclk/2 ²³
		0001:	fsysclk/2 ²⁹	flclk/2 ²²	flclk/2 ²²
		0010:	fsysclk/2 ²⁸	flclk/2 ²¹	flclk/2 ²¹
		0011:	fsysclk/2 ²⁷	flclk/2 ²⁰	flclk/2 ²⁰
		0100:	fsysclk/2 ²⁶	flclk/2 ¹⁹	flclk/2 ¹⁹
		0101:	fsysclk/2 ²⁵	flclk/2 ¹⁸	flclk/2 ¹⁸
		0110:	fsysclk/2 ²⁴	flclk/2 ¹⁷	flclk/2 ¹⁷
		0111:	fsysclk/2 ²³	flclk/2 ¹⁶	flclk/2 ¹⁶
		1000:	fsysclk/2 ²²	flclk/2 ¹⁵	flclk/2 ¹⁵
		1001:	fsysclk/2 ²⁰	flclk/2 ¹³	flclk/2 ¹³
		1010:	fsysclk/2 ¹⁵	flclk/2 ⁸	系统保留
		1011:	fsysclk/2 ¹³	flclk/2 ⁶	系统保留
1100:	fsysclk/2 ¹²	flclk/2 ⁵	系统保留		
1101:	fsysclk/2 ¹¹	flclk/2 ⁴	系统保留		
1110:	fsysclk/2 ¹⁰	flclk/2 ³	系统保留		
1111:	fsysclk/2 ⁸	系统保留	系统保留		

注 1 : fsysclk · 系统时钟[Hz] · flclk · 低速时钟[Hz]。

注 2 : 系统切换至深眠模式时, TBTCR<TBTEN>会被清空为“0”, TBTCR<TBTCK>设定不变。

注 3 : TBTCR<TBTEN>为“0”时, 必须设定 TBTCR<TBTCK>。

注 4 : 在一般或睡眠(低速时钟)工作模式下, 若 TBTCR<DV9CK>为“1”, 中断要求会因为 flclk 和 fsysclk 的同步而有些许振荡。

注 5 : TBTCR 的第 7 位到第 4 位读出数值为“0”。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.2.3 时基定时器功能

设定 $TBTCR<TBTCR>$ 以选择时基定时器的源时钟频率。改变 $TBTCR<TBTCR>$ 的设定，必须在 $TBTCR<TBTEN>$ 为“0”的情况下，否则时基定时器中断 $INTTBT$ 要求的发生时序会不合预期。

设定 $TBTCR<TBTEN>$ 为“1”时，中断要求信号会在原时钟的下降沿产生。清空 $TBTCR<TBTEN>$ 为“0”则不会产生任何中断要求信号。

不论 $TBTCR<TBTEN>$ 设定为何，时基定时器的源时钟维持工作。

允许时基定时器中断要求后，在源时钟的第一个下降沿会产生一个时基定时器中断 $INTTBT$ 。因此，设定 $TBTCR<TBTEN>$ 为“1”到第一个中断要求发生之间的时间，会比 $TBTCR<TBTCR>$ 设定的频率周期要短。

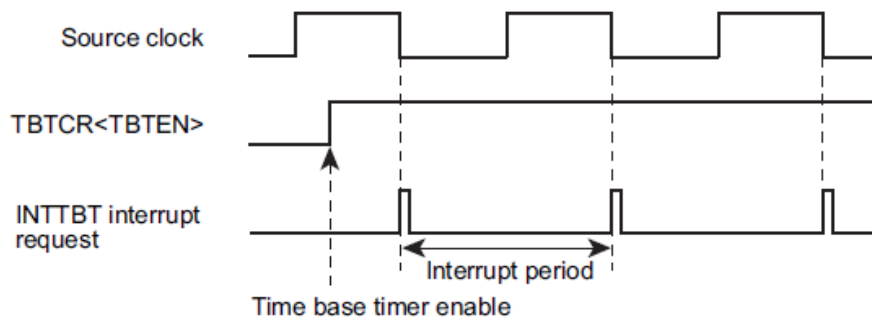


图 13-6 时基定时器中断

系统在一般模式和一般模式(低速时钟)之间切换时，由于系统时钟 f_{sysclk} 和低速时钟 f_{lclk} 之间的同步，中断要求无法在预期的时间点发生。建议在 $TBTCR<TBTEN>$ 设定为“0”时进行进行系统工作模式的转换。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

TBTK	时基定时器中断频率 [Hz]		
	系统时钟为 PLL/HXTAL		系统时钟为 LIRC/LXTAL (SCKSRC=0x02)
	TBTKCR<DV9CK> = 0	TBTKCR<DV9CK> = 1	
0000	0.0224	0.0039	0.0039
0001	0.0447	0.0078	0.0078
0010	0.0894	0.0156	0.0156
0011	0.1788	0.0313	0.0313
0100	0.3576	0.0625	0.0625
0101	0.7153	0.125	0.125
0110	1.431	0.25	0.25
0111	2.861	0.5	0.5
1000	5.722	1	1
1001	22.89	4	4
1010	732.42	128	reserved
1011	2930	512	reserved
1100	5859	1024	reserved
1101	11719	2048	reserved
1110	23438	4096	reserved
1111	93750	reserved	reserved

表 13-2 时基定时器中断频率(范例: FSYCLK=24.0MHZ · FLCLK=32.768KHZ)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3 8/16 位定时器 (Timer A, TMRA)

本产品具备 5 个高效能 16 位定时器计数器 Timer A 0~4，其中仅 Timer A 0~2 支持故障侦测功能。Timer A 包含两个独立的 8 位计数器：计数器 0 与计数器 1，可做为 8 位定时器计数器使用(TA00, TA01, TA10, TA11, TA20, TA21, TA30, TA31, TA40, TA41)。以下章节叙述以 Timer A 0 为例。

	定时器输入引脚	定时器输出引脚	故障侦测输入引脚
定时器 Timer A 0	TA00	TA00O/TA00	FLTIN0
	TA01	TA01O/TA01	
定时器 Timer A 1	TA10	TA10	FLTIN1
	TA11	TA11O/TA11	
定时器 Timer A 2	TA20	TA20	FLTIN2
	TA21	TA21O/TA21	
定时器 Timer A 3	TA30I/TAG3	TA30O	N/A (不支持故障侦测)
	TA31I/TAG3	TA31O	
定时器 Timer A 4	TA40I/TAG4	TA40O	N/A (不支持故障侦测)
	TA41I/TAG4	TA41O	

表 13-3 16 位定时器引脚名称

注 1：Timer A 为 8/16 bit 定时器/计数器功能；以 Timer A 0 为例：TA00 为定时器/计数器的输入/输出、TA00O 为 Timer A00 输出功能、TA00 为 Timer A00 输入功能。

注 2：仅 Timer A0~ A3 具 FLTIN 功能。

注 3：TAG3 可选择 TA30I 或 TA31I 功能；TAG4 可选择 TA40I 或 TA41I 功能。

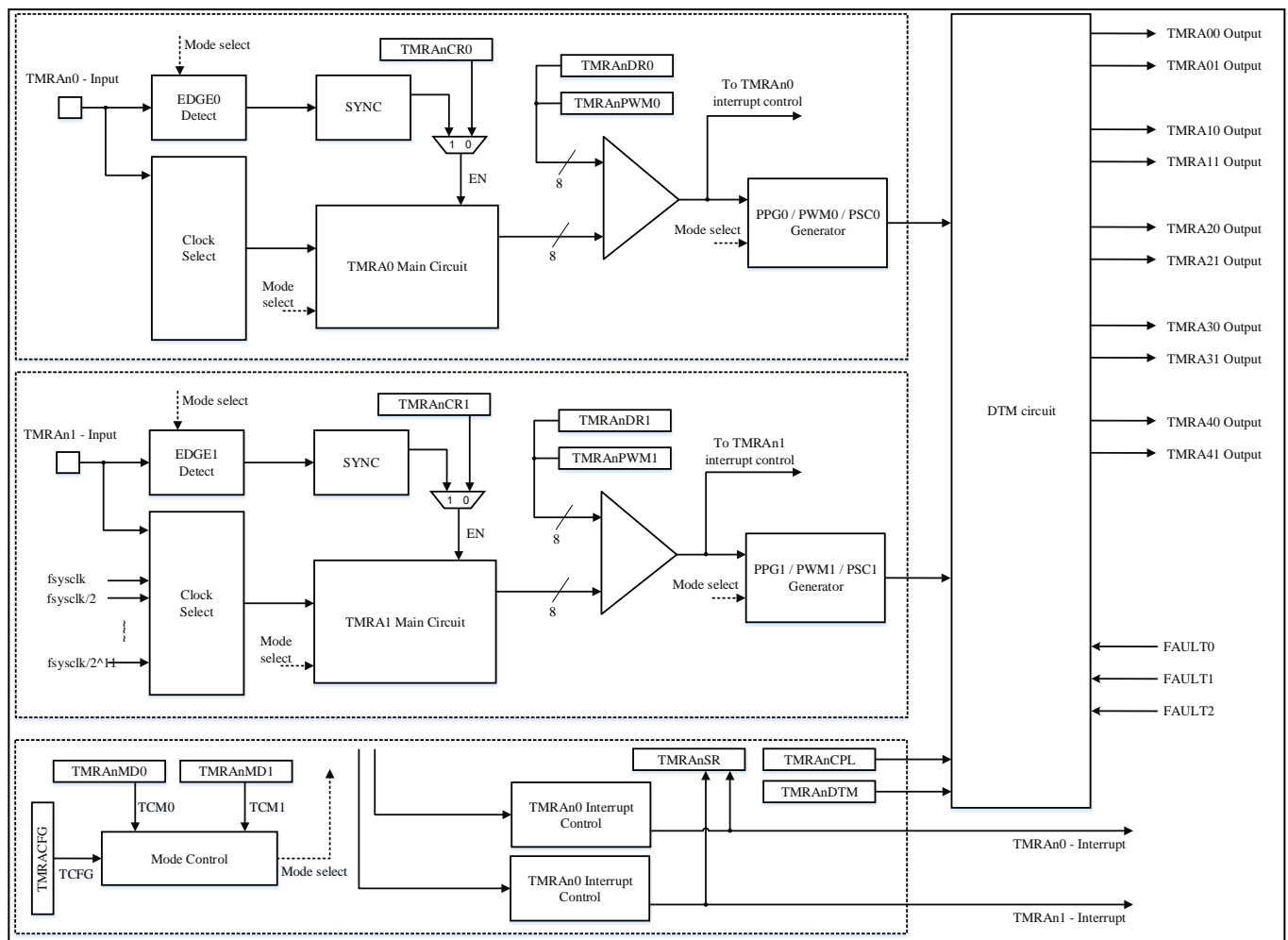


图 13-9 8/16 位定时器架构

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3.1 8/16 位定时器计数器控制

描述	Timer A 0	Timer A 1	Timer A 2	Timer A 3	Timer A 4
Timer A 配置寄存器	TMRA0CFG (0x0050)	TMRA1CFG (0x0060)	TMRA2CFG (0x0070)	TMRA3CFG (0x0080)	TMRA4CFG (0x0090)
Timer A 状态寄存器	TMRA0SR (0x0051)	TMRA1SR (0x0061)	TMRA2SR (0x0071)	TMRA3SR (0x0081)	TMRA4SR (0x0091)
Timer A 控制寄存器 0	TMRA0CR0 (0x0052)	TMRA1CR0 (0x0062)	TMRA2CR0 (0x0072)	TMRA3CR0 (0x0082)	TMRA4CR0 (0x0092)
Timer A 控制寄存器 1	TMRA0CR1 (0x0053)	TMRA1CR1 (0x0063)	TMRA2CR1 (0x0073)	TMRA3CR1 (0x0083)	TMRA4CR1 (0x0093)
Timer A 模式寄存器 0	TMRA0MD0 (0x0054)	TMRA1MD0 (0x0064)	TMRA2MD0 (0x0074)	TMRA3MD0 (0x0084)	TMRA4MD0 (0x0094)
Timer A 模式寄存器 1	TMRA0MD1 (0x0055)	TMRA1MD1 (0x0065)	TMRA2MD1 (0x0075)	TMRA3MD1 (0x0085)	TMRA4MD1 (0x0095)
Timer A 互补寄存器	TMRA0CPL (0x0056)	TMRA1CPL (0x0066)	TMRA2CPL (0x0076)	TMRA3CPL (0x0086)	TMRA4CPL (0x0096)
Timer A 死区寄存器	TMRA0DTM (0x0057)	TMRA1DTM (0x0067)	TMRA2DTM (0x0077)	TMRA3DTM (0x0087)	TMRA4DTM (0x0097)
Timer A 数据寄存器 0	TMRA0DR0 (0x0058)	TMRA1DR0 (0x0068)	TMRA2DR0 (0x0078)	TMRA3DR0 (0x0088)	TMRA4DR0 (0x0098)
Timer A 数据寄存器 1	TMRA0DR1 (0x0059)	TMRA1DR1 (0x0069)	TMRA2DR1 (0x0079)	TMRA3DR1 (0x0089)	TMRA4DR1 (0x0099)
Timer A PWM 寄存器 0	TMRA0PWM0 (0x005A)	TMRA1PWM0 (0x006A)	TMRA2PWM0 (0x007A)	TMRA3PWM0 (0x008A)	TMRA4PWM0 (0x009A)
Timer A PWM 寄存器 1	TMRA0PWM1 (0x005B)	TMRA1PWM1 (0x006B)	TMRA2PWM1 (0x007B)	TMRA3PWM1 (0x008B)	TMRA4PWM1 (0x009B)

以上表格为 Timer A 寄存器地址，并于后续进行各个寄存器的说明。後續内容以 TimerA0 为例进行说明，

TimerA1~A4 设定與 A0 雷同。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

外围电路时钟允许寄存器 0 (PCKEN0)

PCKEN0 (0x0178)	7	6	5	4	3	2	1	0
位符号	TMRA4	TMRA3	TMRA2	TMRA1	TMRA0	reserved	reserved	reserved
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

TMRA4	Timer A4 允许控制	0: 禁止 1: 允许
TMRA3	Timer A3 允许控制	0: 禁止 1: 允许
TMRA2	Timer A2 允许控制	0: 禁止 1: 允许
TMRA1	Timer A1 允许控制	0: 禁止 1: 允许
TMRA0	Timer A0 允许控制	0: 禁止 1: 允许

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Timer A0 配置寄存器(TMRA0CFG)

TMRA0CFG (0x0050)	7	6	5	4	3	2	1	0
位符号	Reserved					TCFG		
读/写	R/W	R/W	R/W	R/W	R/W			
复位后	0	0	0	0	0	0	0	0

TCFG[2:0]	定时器计数器工作模式选择	000:	8 位模式, TimerA 计数器 0,与 TimerA 计数器 1 独立运行
		001:	8 位模式, TimerA 计数器 0 与 TimerA 计数器 1 “AND”运算后输出到 TAnO1 计数器 0 与计数器 1 都在 PPG 模式下工作
		010:	16 位模式, Timer A 计数器 0 与 Timer A 计数器 1 组成 16 位定时器 使用 Timer A 控制寄存器 1(TMRA0CR1)可选择操作模式
		100:	8 位 PPG 预分频模式 计数器 0 与计数器 1 在 PPG 模式下工作
		101:	互补模式 (Complementary Mode) 在 PWM 或 PPG 模式, 计数器 0 与计数器 1 可一起组合成一个 16 位计数器 使用 Timer A 控制寄存器 1(TMRA0CR1)可选择操作模式
		其他	系统保留

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Timer A0 状态寄存器(TMRA0SR)

TMRA0SR (0x0051)	7	6	5	4	3	2	1	0
位符号	Reserved				TMR0OVI1	TMR0OVI0	EDGE011	EDGE010
读/写	R				TAxS	TAxS	R/W	R/W
复位后	0	0	0	0	0	0	0	0

TMR0OVI1	TimerA0 溢位中断 1	0: 未检测到溢位发生 1: 检测到溢位发生
TMR0OVI0	TimerA0 溢位中断 0	0: 未检测到溢位发生 1: 检测到溢位发生
EDGE011	TimerA0 边缘检测中断 1	0: 未检测到边缘检测 1: 检测到边缘检测发生
EDGE010	TimerA0 边缘检测中断 0	0: 未检测到边缘检测 1: 检测到边缘检测发生

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Timer A0 控制寄存器 0(TMRA0CR0)

TMRA0CR0 (0x0052)	7	6	5	4	3	2	1	0
位符号	TMROOVIE	EDGE0IE	-	OE	EDGE			RUN
读/写	R/W	R/W	R	R/W	R/W			R/W
复位后	0	0	0	0	0	0	0	0

注：此寄存器控制计数器 0

TMROOVIE	溢位中斷允許	0: 未检测到溢位发生 1: 检测到溢位发生 · 产生中断要求
EDGE0IE	邊沿檢測中斷允許	0: 未检测到边缘检测 1: 检测到边缘检测发生 · 产生中断要求
OE	輸出允許	啟用定時器輸出 0: 禁止 1: 允許
EDGE	边沿选择	000:上升沿 010:下降沿 011:上升沿与下降沿 Others:系统保留
RUN	定时器运行	0: 停止并清除定时器 1: 开始

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Timer A0 控制寄存器 1 (TMRA0CR1)

TMRA0CR1 (0x0053)	7	6	5	4	3	2	1	0
位符号	TMR1OVIE	EDGE1IE	-	OE	EDGE			RUN
读/写	R/W	R/W	R	R/W	R/W			R/W
复位后	0	0	0	0	0	0	0	0

注：此寄存器控制计数器 1

TMR1OVIE	溢位中斷允許	0: 禁止 1: 允許
EDGE1IE	邊沿檢測中斷允許	0: 禁止 1: 允許
OE	輸出允許	啟用定時器輸出 0: 禁止 1: 允許
EDGE	邊沿選擇	000:上升沿 010:下降沿 011:上升沿與下降沿 Others:系統保留
RUN	定時器運行	0: 停止並清除定時器 1: 開始

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Timer A0 模式寄存器 0 (TMRA0MD0)

TMRA0MD0 (0x0054)	7	6	5	4	3	2	1	0
位符号	TFF	DBE	TCK			TCM		
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	0	0	0	0	0	0

注：此寄存器控制计数器 0

TFF	定时器 F/F 控制	0: 清除 1: 设定			
DBE	双缓冲寄存器控制	0: 禁止双缓冲寄存器 1: 允许双缓冲寄存器			
TCK ^注	选择源时钟		一般/睡眠模式		一般/睡眠模式(低速时钟)
			DV9CK=0	DV9CK=1	
		000	fSYSCLK/2 ¹¹	fLCLK/2 ⁴	fLCLK/2 ⁴
		001	fSYSCLK/2 ¹⁰	fLCLK/2 ³	fLCLK/2 ³
		010	fSYSCLK/2 ⁸	fSYSCLK/2 ⁸	
		011	fSYSCLK/2 ⁶	fSYSCLK/2 ⁶	
		100	fSYSCLK/2 ⁴	fSYSCLK/2 ⁴	
		101	fSYSCLK/2 ²	fSYSCLK/2 ²	
		110	fSYSCLK/2	fSYSCLK/2	
111	fSYSCLK	fSYSCLK	fLCLK/2 ²		
TCM	定时器工作模式选择	000: 定时器模式 001: 事件计数器模式 010: 系统保留 011: 捕捉模式 (Capture) 100: 脉宽调制 PWM 模式(Pulse Width Modulation) 101 脉宽测量模式 (Pulse Width Measurement) 110: 可编程脉冲产生 PPG 输出模式 (Programmable Pulse Generator) 111: 系统保留			

注：请使用者注意时间周期和时间计数器的设定，有些回路程序无法在设定的(时间周期*计数器)内完成，请评估好回路程序所需的((Program Counter)*MCU Clock 频率周期)以配合适当的(时间周期*时间计数器)。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Timer A0 模式寄存器 1 (TMRA0MD1)

TMRA0MD1 (0x0055)	7	6	5	4	3	2	1	0
位符号	TFF	DBE	TCK			TCM		
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	0	0	0	0	0	0

注：此寄存器控制计数器 1

TFF	定时器 F/F 控制	0: 清除 1: 设定			
DBE	双缓冲寄存器控制	0: 禁止双缓冲寄存器 1: 允许双缓冲寄存器			
TCK ^注	选择源时钟		一般/睡眠模式	一般/睡眠模式(低速时钟)	
			DV9CK=0	DV9CK=1	
		000	fSYSCLK/2 ¹¹	fLCLK/2 ⁴	fLCLK/2 ⁴
		001	fSYSCLK/2 ¹⁰	fLCLK/2 ³	fLCLK/2 ³
		010	fSYSCLK/2 ⁸	fSYSCLK/2 ⁸	
		011	fSYSCLK/2 ⁶	fSYSCLK/2 ⁶	
		100	fSYSCLK/2 ⁴	fSYSCLK/2 ⁴	
		101	fSYSCLK/2 ²	fSYSCLK/2 ²	
TCM	定时器工作模式选择	110	fSYSCLK/2	fSYSCLK/2	
		111	fSYSCLK	fSYSCLK	
				fLCLK/2 ²	
		000: 定时器模式 001: 事件计数器模式 010: 系统保留 011: 补捉模式 (Capture) 100: 脉宽调制 PWM 模式(Pulse Width Modulation) 101: 脉宽测量模式 (Pulse Width Measurement) 110 可编程脉冲产生 PPG 输出模式 (Programmable Pulse Generator) 111: 系统保留			

注：请使用者注意时间周期和时间计数器的设定。考虑 CPU 的中断处理延迟，过于高速的回路程序处理需求请先评估，先行优化中断服务处理的程序代码或者降低程序处理的频率需求。请评估好回路程序所需的(PC(Program Counter)*MCU Clock 频率周期)以配合适当的(时间周期*时间计数器)。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Timer A0 互补寄存器(TMRA0CPL)

TMRA0CPL (0x0056)	7	6	5	4	3	2	1	0
位符号	FLTOIF	FLTOIE	FLTOMD		Reserved		CPLMD	
读/写	R/W	R/W	R/W	R/W	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使此寄存器复位

FLTOIF	故障中断旗帜	0: 没有中断 1: 中断待处理 (Interrupt pending)
FLTOIE	故障中断允许	0: 禁止 1: 允许
FLTOMD	故障模式	00: 故障模式禁止 01: 故障模式允许，当故障(FAULT) 发生时，输出 0 10: 故障模式允许，当故障(FAULT) 发生时，停止时状态与 TOFFn 相同 11: 故障模式允许，当故障(FAULT) 发生时，停止时状态与 TOFFn 相反
CPLMD	互补模式	00: 独立模式 01: 系统保留 10: 与 TA00 占空比同步 11: 与 TA00 周期同步

Timer A0 死区寄存器(TMRA0DTM)

TMRA0DTM (0x0057)	7	6	5	4	3	2	1	0
位符号	DTMPSC		DTM					
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使此寄存器复位

DTMPSC	死区时间预除频器	00: tsysclk 01: tsysclk*2 10: tsysclk*4 11: tsysclk*8
DTM	死区时间	DTM 定义死区时间；当 DTM 为 0 时，死区时间禁止。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Timer A0 数据寄存器 0(TMRA0DR0)

TMRA0DR0 (0x0058)	7	6	5	4	3	2	1	0
位符号	TMRA0DR0[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使此寄存器复位

TMRA0DR0	Timer A 数据寄存器	在 8 位模式下，此寄存器为定时器计数器 0 数据。 在 16 位模式下，此寄存器为 16 位值的低字节(Low Byte)
----------	---------------	---

Timer A0 数据寄存器 1(TMRA0DR1)

TMRA0DR1 (0x0059)	7	6	5	4	3	2	1	0
位符号	TMRA0DR1[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使此寄存器复位

TMRA0DR1	Timer A 数据寄存器	在 8 位模式下，此寄存器为定时器计数器 1 数据。 在 16 位模式下，此寄存器为 16 位值的高字节(High Byte)
----------	---------------	--

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Timer A0 PWM 寄存器 0 (TMRAOPWM0)

TMRAOPWM0 (0x005A)	7	6	5	4	3	2	1	0
位符号	TMRAOPWM0 [7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使此寄存器复位

TMRAOPWM0	Timer A PWM 寄存器	在 8 位模式下，此寄存器为定时器计数器 0 PWM 的 duty。 在 16 位模式下，此寄存器为 PWM duty 的低字节(Low Byte)。
-----------	-----------------	--

Timer A0 PWM 寄存器 1 (TMRAOPWM1)

TMRAOPWM1 (0x005B)	7	6	5	4	3	2	1	0
位符号	TMRAOPWM1 [7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有复位皆可使此寄存器复位

TMRAOPWM1	Timer A PWM 寄存器	在 8 位模式下，此寄存器为定时器计数器 1 PWM 的 duty。 在 16 位模式下，此寄存器为 PWM duty 的高字节(High Byte)。
-----------	-----------------	---

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3.2 低耗电功能

设定定时器 TMRA0 的低耗电寄存器 PCKEN0 <TMRA0>为"0"，在不需使用定时器时停止定时器 TMRA0 的基本时钟供应，以节省系统耗电；此时定时器无法使用。设定 PCKEN0 <TMRA0>为"1"可启动定时器计数器的基本时钟供应，并启动定时器工作。

复位后，PCKEN0 <TMRA0>会被回复至初始设定"0"，定时器的工作停止。第一次使用定时器前，必须在程序初始设定中，设定 PCKEN0 <TMRA0>为"1" (在定时器控制寄存器工作前)。

不要在定时器工作时改变 PCKEN0 <TMRA0>的设定为"0"，否则定时器计数器的工作可能会不合预期。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3.3 定时器功能

以 Timer A 0 为例，由两个独立的 8 位计数器(TA00,TA01)组成，TA00 和 TA01 在 8 位模式下可分别独立使用，或组合设定为 16 位模式。

8 位模式包括: 8 位定时器模式，8 位事件计数器模式，8 位脉宽调制 PWM 输出模式，8 位可编程脉冲产生 PPG 输出模式，8 位预分频 PPG 模式(Pre-Scale Mode)。

16 位模式包括: 16 位定时器模式，16 位事件计数器模式，12 位脉宽调制 PWM 输出模式，16 位可编程脉冲产生 PPG 输出模式、16 位互补输出模式(具死区时间控制与故障检测)、捕捉模式、脉冲宽度测量模式。

13.3.3.1 8 位定时器模式

在 8 位定时器模式中，计数器会依内部时钟往上计数，并于特定的时间点规律地产生中断。TA00 的工作叙述如下，这些叙述也同样适用于 TA01 (将 TA00 换成 TA01 即可)。

(a) 设定

设定 TMRA0CFG<TCFG>为"0"，设定 TMRA0MD0<TCM>为"000"，将 TA00 设置为 8 位定时器模式。设定 TMRA0MD0<TCK>选择源时钟。以定时器寄存器 TMRA0DR0 设定符合检测的 8 位计数数值。

设定 TMRA0MD0<DBE>为"1"以使用双缓冲寄存器。

设定 TMRA0CR0<RUN>为"1"以启动定时器工作。定时器启动后，TMRA0MD0 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

设定 TMRA0CR0<RUN>为"1"，让 8 位计数器依选择的内部源时钟往上计数。当计数器数值达到 TMRA0DR0 的设定数值时，INTTA00 中断要求会被产生，计数器会被清空为"0x00"。清空后，计数器会再度开始计数。定时器工作时，若设定 TMRA0CR0<RUN>为"0"，计数器停止工作同时被清除为"0x00"。

(c) 双缓冲寄存器

设定 TMRA0MD0<DBE>让 TMRA0DR0 寄存器使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 TMRA0MD0<DBE>为"1"和"0"。

1. 允许双缓冲寄存器时

若于定时器工作时执行 TMRA0DR0 寄存器的新设定值写入，新设定值会先存储于双缓冲寄存器中，而不会立即改变 TMRA0DR0 的设定。TMRA0DR0 会比较计数器数值与原设定值。当计数器数值达到 TMRA0DR0 的原设定值时，INTA00 中断要求会被产生，双缓冲寄存器存储的新设定值会被存入 TMRA0DR0。后续的定时器比对检测工作就会依新的设定值进行。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

若于定时器停止时执行 TMRA0DR0 寄存器的新设定值写入，新设定值会直接存储于双缓冲寄存器 与 TMRA0DR0 寄存器内。

2. 禁止双缓冲寄存器时

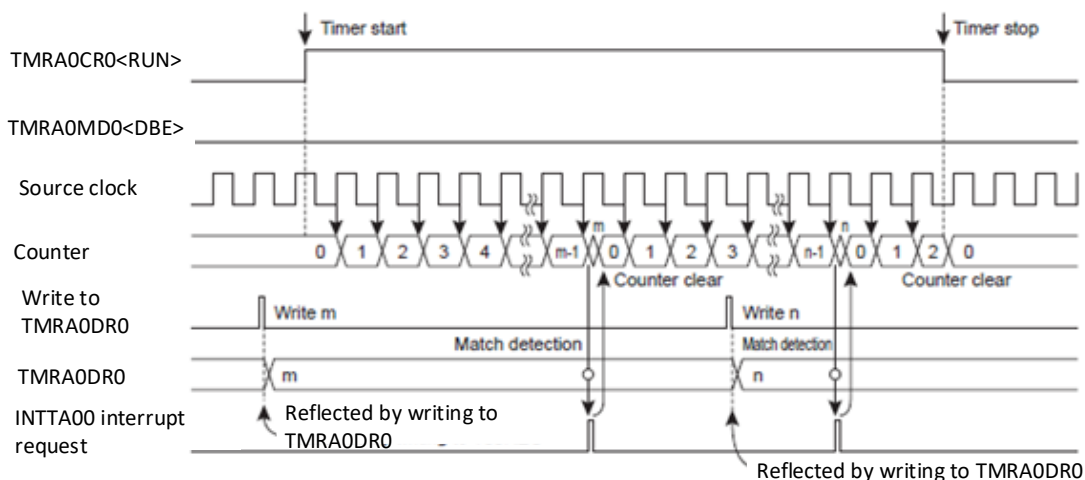
若于定时器工作时执行 TMRA0DR0 寄存器的新设定值写入，新设定值会直接改变 TMRA0DR0 的设定。后续的定时器比对检测工作会依新的设定值进行。

若 TMRA0DR0 的新设定值小于计数器数值，比对检测会在计数器的计数溢位后才执行。因此，中断要求间隔可能会比设定的时间要长。

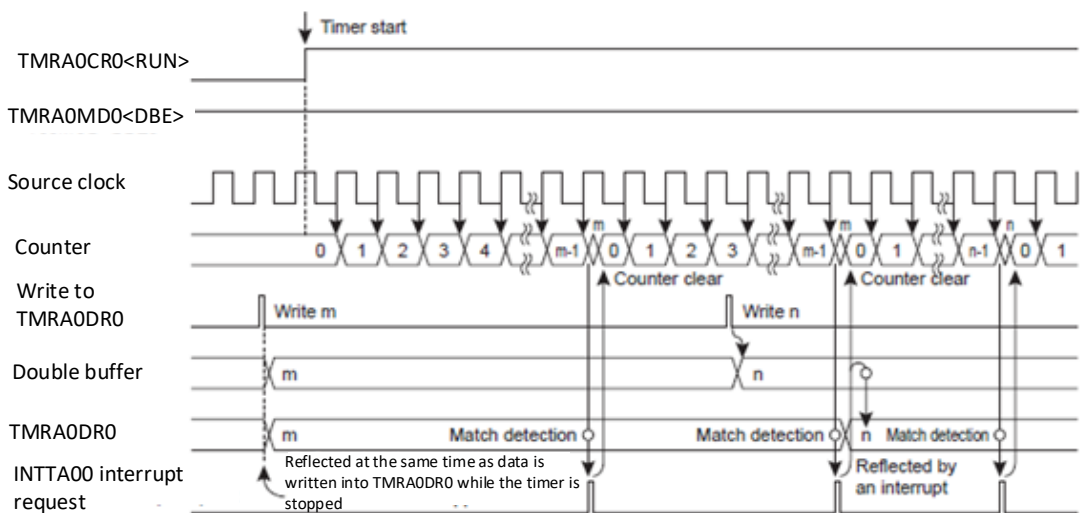
若 TMRA0DR0 的新设定值等于该值写入时的计数器数值，比对检测会在 TMRA0DR0 设定值写入后即刻执行。因此，中断要求间隔可能不会是源时钟的整数倍。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时执行 TMRA0DR 寄存器的新设定值写入，新设定值会直接存储于 TMRA0DR 寄存器内。

不管 TMRA0MD0<DBE>的设定为何，读取 TMRA0DR0 得到的数值都会是最近一次写入 TMRA0DR0 的设定值。



When the double buffer is disabled TMRA0MD0<DBE>=" 0"



When the double buffer is disabled TMRA0MD0<DBE>=" 1"

图 13-8 定时器模式时序图

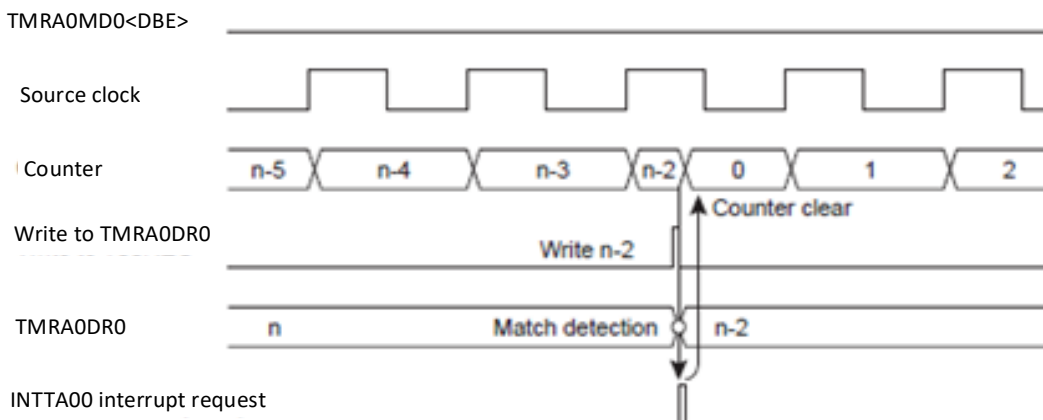


图 13-9 当 TMRAODR0 设定值和计数器数值相同时的定时器工作

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3.3.2 8 位事件计数器模式

在 8 位计数器模式中，计数器会依 TA00 和 TA01 引脚的输入信号下降沿往上计数。TA00 的工作叙述如下，这些叙述也同样适用于 TA01 (将 TA00 换成 TA01 即可)。

(a) 设定

用定时器寄存器 TMRA0DR0 设定比对检测所需的 8 位计数数值。设定 TMRA0CFG<TCFG> 为"0"，设定 TMRA0MD0<TCM>为"001"，将 TA00 设置为 8 位事件计数器模式。设定 MRA0MD0<TCK>选择源时钟。以定时器寄存器 TMRA0DR0 设定符合检测的 8 位计数数值。

设定 TMRA0MD0<DBE>为"1"以使用双缓冲寄存器。

设定 TMRA0CR0<RUN>为"1"以启动定时器工作。定时器启动后，TMRA0MD0 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定。

(b) 工作

设定 TMRA0CR0<RUN>为"1"，让 8 位计数器依 TA00 引脚的下降沿往上计数。当计数器数值达到 TMRA0DR0 的设定数值时，INTTA00 中断要求会被产生，计数器会被清空为"0x00"。清空后，计数器会再度开始计数。定时器工作时，若设定 TMRA0CR0<RUN>为"0"，计数器停止工作同时被清除为"0x00"。

最高工作频率是 fsysclk，高电平或低电平信号脉宽必须大于等于两个机器周期。

(c) 双缓冲寄存器

参考"12.3.1.1 - (c) 双缓冲寄存器"。

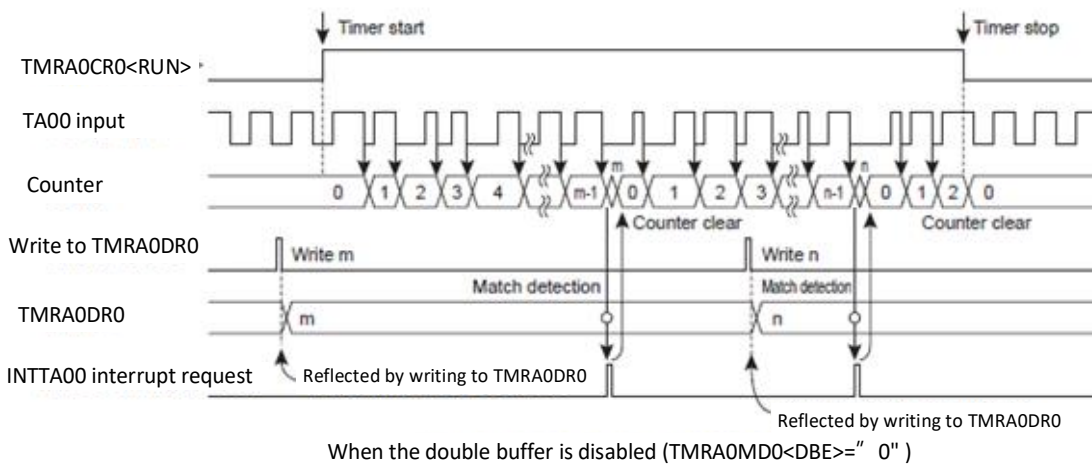


图 13-10 事件计数器模式时序图

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3.3.3 8 位脉宽调制 PWM 输出模式

8 位脉宽调制 PWM 输出模式下，会输出分辨率达 8 位且经脉宽调制的脉冲。TA00 的工作叙述如下，这些叙述也同样适用于 TA01 (将 TA00 换成 TA01 即可)。

(a) 设定

设定 TMRA0CFG<TCFG>为"0"，设定 TMRA0MD0<TCM>为"100"，可将 TA00 设定在 8 位脉宽调制 PWM 模式。设定 TMRA0MD0<TCK>源时钟，以 PWM 寄存器 TMRA0PWM0 设定符合检测的计数数值和额外脉冲数值。

设定 TMRA0MD0<DBE>为"1"以使用双缓冲寄存器。

设定 TMRA0CR0<RUN>为"1"以启动 PWM 输出工作。定时器启动后，TMRA0MD0 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定。

在 8 位 PWM 模式中，TMRA0PWM0 寄存器的设定方式如下：

TMRA0PWM0 用于设定一个周期(128 个源时钟计数)内的责任脉冲宽度(在第一次输出改变前的时间)。

于 TMRA0MD0<TFF>设定 TA000 引脚的初始状态。设定 TMRA0MD0<TFF>为"0"时，TA000 引脚的初始状态为低电平。设定 TMRA0MD0<TFF>为"1"时，TA000 引脚的初始状态为高电平。若于定时器停止工作时设定 TA000 引脚为功能输出引脚，TA000 引脚会输出 TMRA0MD0<TFF>的设定数值。表 10.9 所列为 TA000 引脚的输出电平。

TFF	TA000 pin output level		
	Before the start of operation (initial state)	Overflow	Operation stopped (initial state)
0	L	L	L
1	H	H	H

表 13-9 TA000 引脚输出电平表

设定 TMRA0CFG<TCFG>为"001"时，TA010 引脚会输出 TA00 和 TA01 输出的逻辑乘积(AND)脉冲。藉此功能，用户可轻易产生遥控波形信号。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

(b) 工作

设定 $TMRA0CR0<RUN>$ 为 "1"，让上数计数器依选择的源时钟往上计数。当计数器数值的低 7 位达到 $TMRA0PWM0$ 的设定数值， $TA00O$ 引脚的输出会反向。若 $TMRA0MD0<TFF>$ 设定为 "0"， $TA00O$ 引脚由低电平改变成高电平。若 $TMRA0MD0<TFF>$ 设定为 "1"， $TA00O$ 引脚由高电平改变成低电平。

计数器继续往上计数。计数器数值达到 128 时，计数器会发生溢位并被清除为 "0x00"，同时 $TA00O$ 引脚的输出反向。若 $TMRA0MD0<TFF>$ 设定为 "0"， $TA00O$ 引脚从高电平改变成低电平。若 $TMRA0MD0<TFF>$ 设定为 "1"， $TA00O$ 引脚从低电平变成高电平。如果第 $2 \times n$ 个溢位于此发生时，会产生 $INTA00$ 中断要求(第 $2 \times n - 1$ 溢位不会产生中断要求)。其后计数器继续往上计数。

定时器工作时，若设定 $TMRA0CR0<RUN>$ 为 "0"，计数器会停止工作并被清除为 "0x00"。 $TA00O$ 引脚恢复为 $TMRA0MD0<TFF>$ 设定的电平。

最高工作频率是 f_{sysclk} ，高电平或低电平信号脉宽必须大于等于两个机器周期。

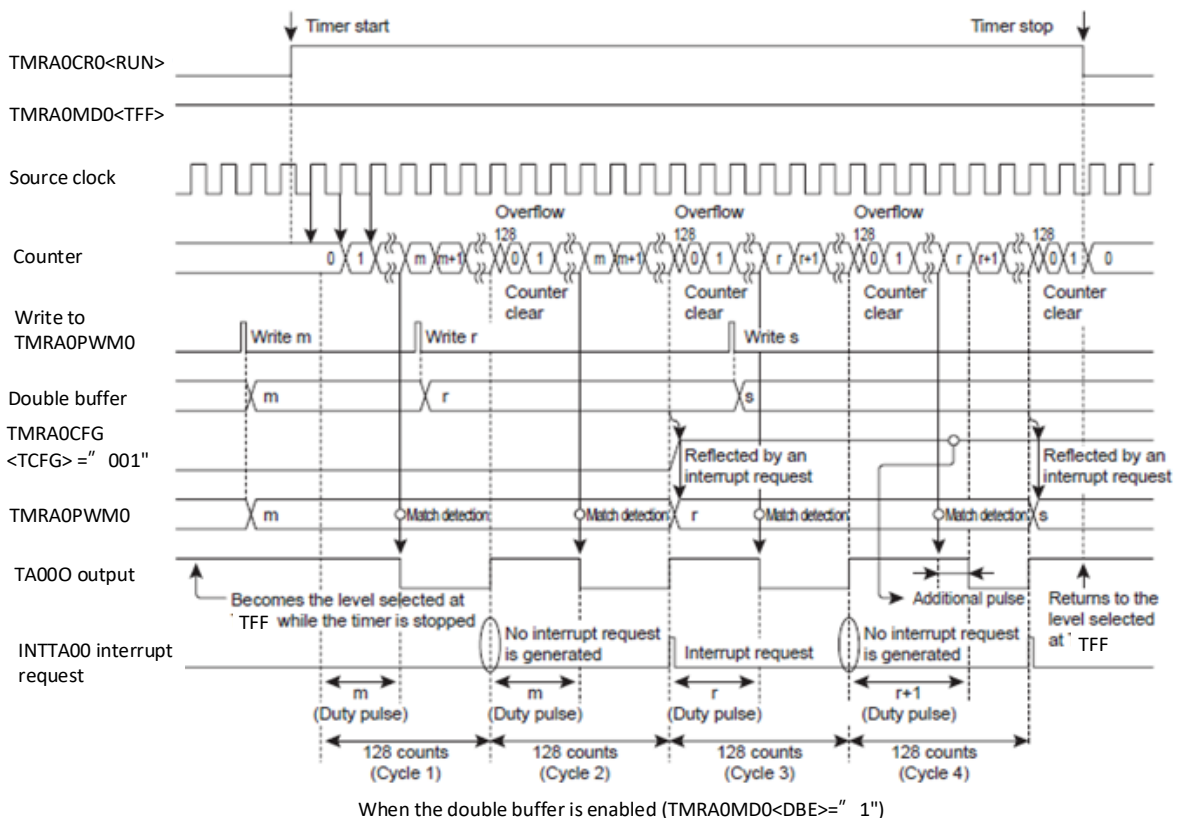


图 13-12 8 位 PWM 模式时序图

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

(c) 双缓冲寄存器

设定 TMRA0MD0<DBE>让 TA00 寄存器使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 TMRA0MD0<DBE>为“1”和“0”。

1. 允许双缓冲寄存器 时

若于定时器工作时执行 TMRA0PWM0 寄存器的新设定值写入，则新设定值会先存储于双缓冲寄存器中，而不会立即改变 TMRA0PWM0 的设定。TMRA0PWM0 会比较计数器数值与原设定值。当第 2 x n 个溢位发生时，INTTA00 中断要求会被产生，双缓冲寄存器存储的新设定值会被存入 TMRA0PWM0。后续的检测工作就会依新的设定值进行。

读取 TMRA0PWM0 时，读出的数值会是双缓冲寄存器内的数值(最近的设定数值)，而不是 TMRA0PWM0 的数值(现在有效数值)。若于定时器停止时执行 TMRA0PWM0 寄存器的新设定值写入，则新设定值会直接存储于双缓冲寄存器与 TMRA0PWM0 寄存器内。

2. 禁止双缓冲寄存器 时

若于定时器工作时执行 TMRA0PWM0 寄存器的新设定值写入，则新设定值会直接改变 TMRA0PWM0 的设定。后续的定时器比对检测工作会依新的设定值进行。

若 TMRA0PWM0 的新设定值小于计数器数值，TA00O 引脚反向会在计数器的计数溢位后，比对检测符合之后才执行。

若 TMRA0PWM0 的新设定值等于该值写入时的计数器数值，比对检测会在 TMRA0PWM0 设定值写入后即刻执行。因此，TMRA0PWM0 引脚转变的时序可能不会是源时钟的整数倍。若在额外脉冲输出时设定 TMRA0PWM0，TA00O 引脚转变的时序也可能不会是源时钟的整数倍。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时执行 TMRA0PWM0 寄存器的新设定值写入，新设定值会直接存储于 TMRA0PWM0 寄存器内。

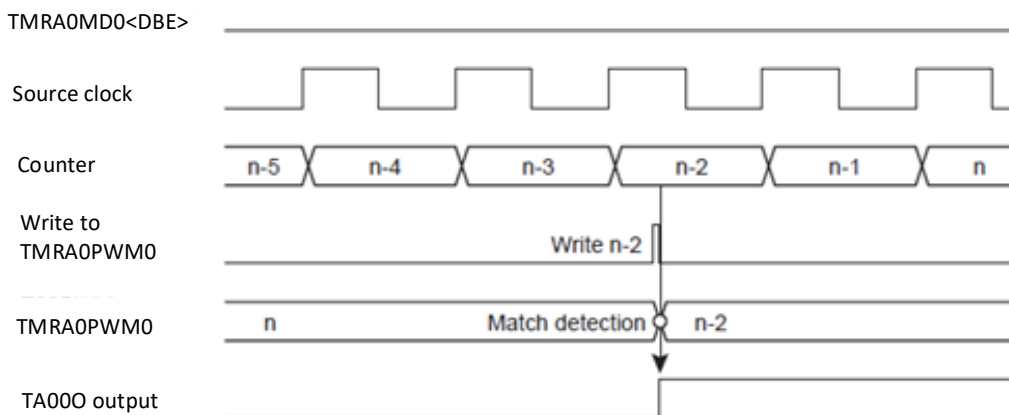


图 13-13 当 TMRA0PWM0 和计数器数值相同时的的工作

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3.3.4 8 位可编程脉冲产生 PPG 输出模式

在 8 位 PPG 模式中设定 TMRAODR0 和 TMRAOPWM0 寄存器可产生任意占空比和周期的脉冲。

设定 TMRA0CFG<TCFG>为“011” 寄存器可于 TA01 引脚输出 TA00 和 TA01 输出的逻辑乘积(AND) 脉冲。藉此功能，藉此功能，用户可轻易产生遥控波形信号。

TA00 的工作叙述如下，这些叙述也同样适用于 TA01 (将 TA00 换成 TA01 即可)。

(a) 设定

设定 TMRA0CFG<TCFG>为“0”，设定 TMRA0MD0<TCM>为“001”，可将 TA00 设定在 8 位可编程脉冲产生 PPG 模式。设定 TMRA0MD0<TCK>以设定源时钟，设定 TMRAOPWM0 设定工作脉冲宽度，并用 TMRAODR0 设定周期宽度。

设定 TMRA0MD0<DBE>为“1”以使用双缓冲寄存器。

设定 TMRA0CR0<RUN>为“1”以启动 PPG 输出工作。定时器启动后，TMRA0MD0 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定。

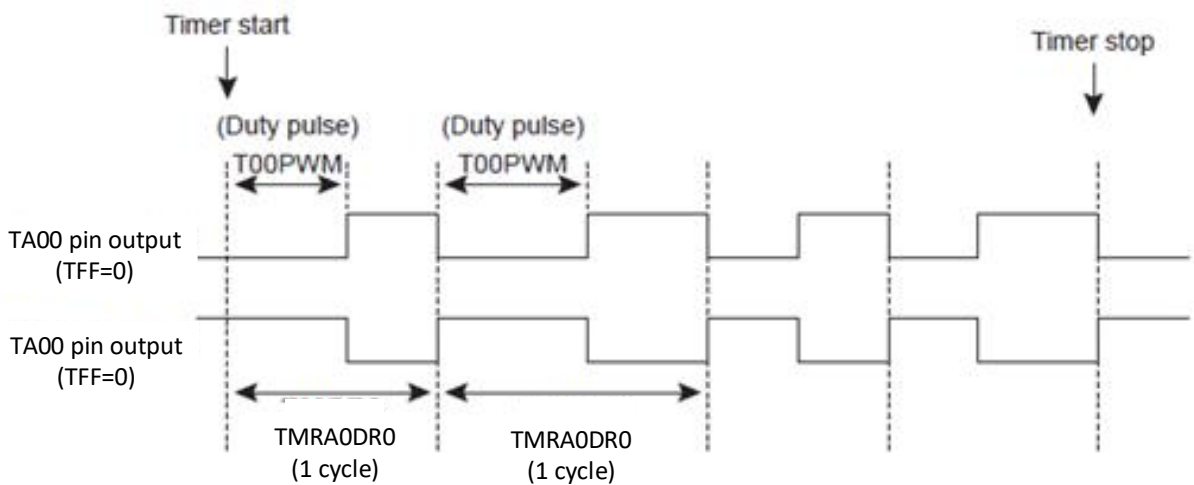


图 13-14 TA000 脉冲输出

于 TMRA0MD0<TFF>设定 TA000 引脚的初始状态。设定 TMRA0MD0<TFF>为“0”时，TA000 引脚的初始状态为低电平。设定 TMRA0MD0<TFF>为“1”时，TA000 引脚的初始状态为高电平。若于定时器停止工作时设定 TA000 引脚为功能输出引脚，TA000 引脚会输出 TMRA0MD0<TFF>的设定数值。表 10.11 所列为 TA000 引脚的输出电平。

设定设定 TMRA0CFG<TCFG>为“011”时，TA01O 引脚会输出 TA00 和 TA01 输出的逻辑乘积 (AND) 脉冲。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

TFF	TA00O pin output level			
	Before the start of operation (initial state)	TMRA0PWM0 matched	TMRA0DR0 matched	Operation stopped (initial state)
0	L	H	L	L
1	H	L	H	H

表 10.11 TA00O 引脚输出电平表

(b) 工作

设定 TMRA0CR0<RUN>为"1"，让上数计数器依选择的源时钟往上计数。当计数器数值达到 TMRA0PWM0 的设定数值，TA00O 引脚的输出会反向。若 TMRA0MD0<TFF>设定为"0"，TA00O 引脚由低电平改变成高电平。若 TMRA0MD0<TFF>设定为"1"，TA00O 引脚由高电平改变成低电平。

而后，计数器继续往上计数。计数器数值达到 TMRA0DR0 设定值时，TA00O 引脚的输出会再次反向。若 TMRA0MD0<TFF>设定为"0"，TA00O 引脚从高电平改变成低电平。若 TMRA0MD0<TFF>设定为"1"，TA00O 引脚从低电平变成高电平。此时会产生 INTTA00 中断要求。

计数器工作时，若设定 TMRA0CR0<RUN>为"0"，计数器会停止工作并被清除为"0x00"。TA00O 引脚恢复为 TMRA0MD0<TFF>设定的电平。

最高工作频率是 fsysclk，高电平或低电平信号脉宽必须大于等于两个机器周期。

(c) 双缓冲寄存器

设定 TMRA0MD0<DBE>让 TMRA0PWM0 与 TMRA0DR0 寄存器使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 TMRA0MD0<DBE>为"1"和"0"。

1. 允许双缓冲寄存器时

若于定时器工作时执行 TMRA0PWM0 (TMRA0DR0) 寄存器的新设定值写入，则设定值会先存储于双缓冲寄存器中，而不会立即改变 TMRA0PWM0 (TMRA0DR0) 的设定。TMRA0PWM0 (TMRA0DR0) 会比较计数器数值与原设定值。INTTA00 中断要求产生时，双缓冲寄存器存储的新设定值会被存入 TMRA0PWM0 (TMRA0DR0)。后续的检测工作就会依新的设定值进行。

读取 TMRA0PWM0 (TMRA0DR0) 时，读出的数值会是双缓冲寄存器内的数值(最近的设定数值)，而不是 TMRA0PWM0 (TMRA0DR0) 的数值(现在有效数值)。若于定时器停止时

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

执行 TMRA0PWM0 (TMRA0DR0) 寄存器的新设定值写入，新设定值会直接存储于双缓冲寄存器与 TMRA0PWM0 (TMRA0DR0) 寄存器内。

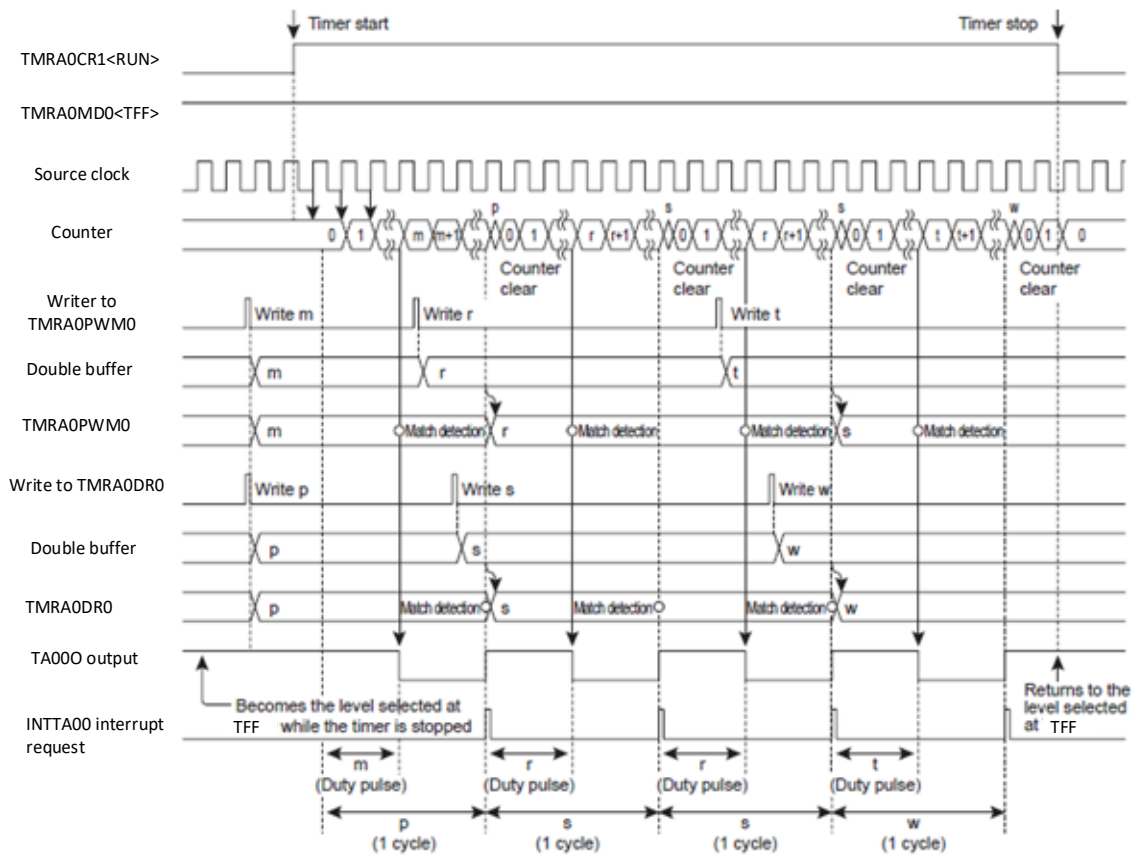
2. 禁止双缓冲寄存器 时

若于定时器工作时执行 TMRA0PWM0 (TMRA0DR0) 寄存器的新设定值写入，则新设定值会直接改变 TMRA0PWM0 (TMRA0DR0) 的设定。后续的定时器比对检测工作会依新的设定值进行。

若 TMRA0PWM0 (TMRA0DR0) 的新设定值小于计数器数值，TA000 引脚反向会在计数器的计数溢位后，比对检测符合之后才执行。

若 TMRA0PWM0 (TMRA0DR0) 的新设定值等于该值写入时的计数器数值，比对检测会在 TMRA0PWM0 (TMRA0DR0) 设定值写入后即刻执行。因此，TA000 引脚转变的时序可能不会是源时钟的整数倍。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时执行 TMRA0PWM0 (TMRA0DR0) 寄存器的新设定值写入，新设定值会直接存储于 TMRA0PWM0 (TMRA0DR0) 寄存器内。



When the double buffer is enabled (TMRA0MD0<DBE>=" 1")

图 13-15 8 位 PPG 模式时序图

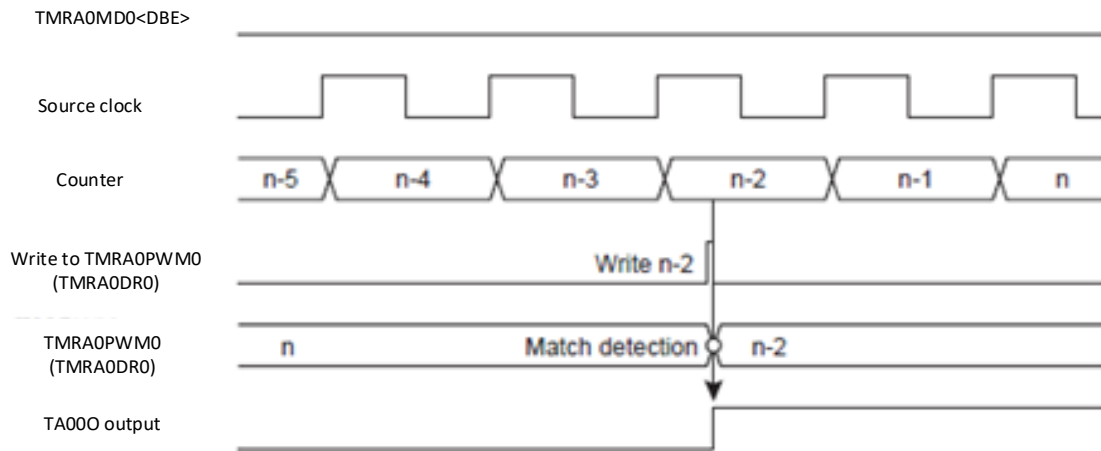


图 13-16 当 TMRA0PWM0 (TMRA0DRO)和计数器数值相同时的工作

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3.3.5 8 位 PPG 预分频模式

设定 TMRA0CFG<TCFG>为"100"，为 8 位 PPG 预分频模式。

在 8 位 PPG 预分频模式下，TA00 和 TA01 以 8 位 PPG 模式工作，配置各自的寄存器，工作与 8 位模式相同。但若将 TA01O 作为 TA00O 的 8 位预分频器输入，则当 PPG01 为上升沿和下降沿，PPG00 的计数都将递增。

设置 TMRA0CR1<RUN>设置为 1，开始预分频模式。内部计数器 TA00 和 TA01 都将重置为 0。若 PPG01 的占空比设置为 0%或 100%，则 PPG00 计数器将不会增加，因为 PPG01 输出不变。

13.3.3.6 16 位定时器模式

16 位定时器模式中，TA00 和 TA01 组合成一个 16 位定时器计数器，可用来测量更长的时间。

(a) 设定

设定 TMRA0CFG<TCFG>为"010"，可连结 TA00 和 TA01 以启动 16 位模式。

设定 TMRA0MD0<TCM>为"000"设定定时器模式。

设定 TMRA0MD0<TCK>以设定源时钟。

在 16 位模式下，所有 TA00 相关的设定失效，只剩 TA01 的设定有效。

使用定时器寄存器 TMRA0DR0 和 TMRA0DR1 设定比对检测所需的 16 位计数数值。TMRA0DR0 为低 8 位，TMRA0DR1 为高 8 位。

以下叙述中，由 TMRA0DR0 和 TMRA0DR1 组合而成的 16 位数值设定皆以 TMRA0DR1+TMRA0DR0 表示。

进行 TMRA0DR1 的设定写入时，定时器寄存器的设定会对应双缓冲寄存器 或 TMRA0DR1+TMRA0DR0 寄存器。

务必以 TMRA0DR0 为先、TMRA0DR1 为后的次序进行设定。

注：写入高 8 位寄存器时，低 8 位寄存器和高 8 位寄存器的设定会同时生效。

设定 TMRA0MD1<DBE>为"1"以使用双缓冲寄存器。

设定 TMRA0CR1<RUN>为"1"以启动 16 位定时器工作。

定时器启动后，TMRA0MD1 的写入变成无效。

在启动定时器前，必须先完成所有必要模式设定 (于 TMRA0CR0<RUN>和 TMRA0CR1<RUN>为"0"时进行设定)。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

(b) 工作

设定 TMRA0CR0<RUN>为"1"，让 16 位计数器依选择的源时钟往上计数。当计数器数值达到 TA01+TMRA0DR0 的设定数值时，会产生 INTA01 中断要求，同时计数器被清除为"0x0000"。之后，计数器继续往上计数。定时器工作时，若设定 TMRA0CR1<RUN>为"0"，计数器会停止工作并且被清除为"0x0000"。

(c) 双缓冲寄存器

设定 TMRA0MD1<DBE>让 TMRA0DR1+ TMRA0DR0 寄存器使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 T01MOD<DBE1>为"1"和"0"。

1. 允许双缓冲寄存器 时

若于定时器工作时执行 TMRA0DR0 和 TMRA0DR1 寄存器的新设定值写入，设定值会先存储于双缓冲寄存器中，而不会立即改变 TMRA0DR1+ TMRA0DR0 的设定。TMRA0DR1+ TMRA0DR0 会比较计数器数值与原设定值。两数值相同时会产生 INTTA01 中断要求，双缓冲寄存器存储的新设定值会被存入 TMRA0DR1+ TMRA0DR0。后续的检测工作就会依新的设定值进行。

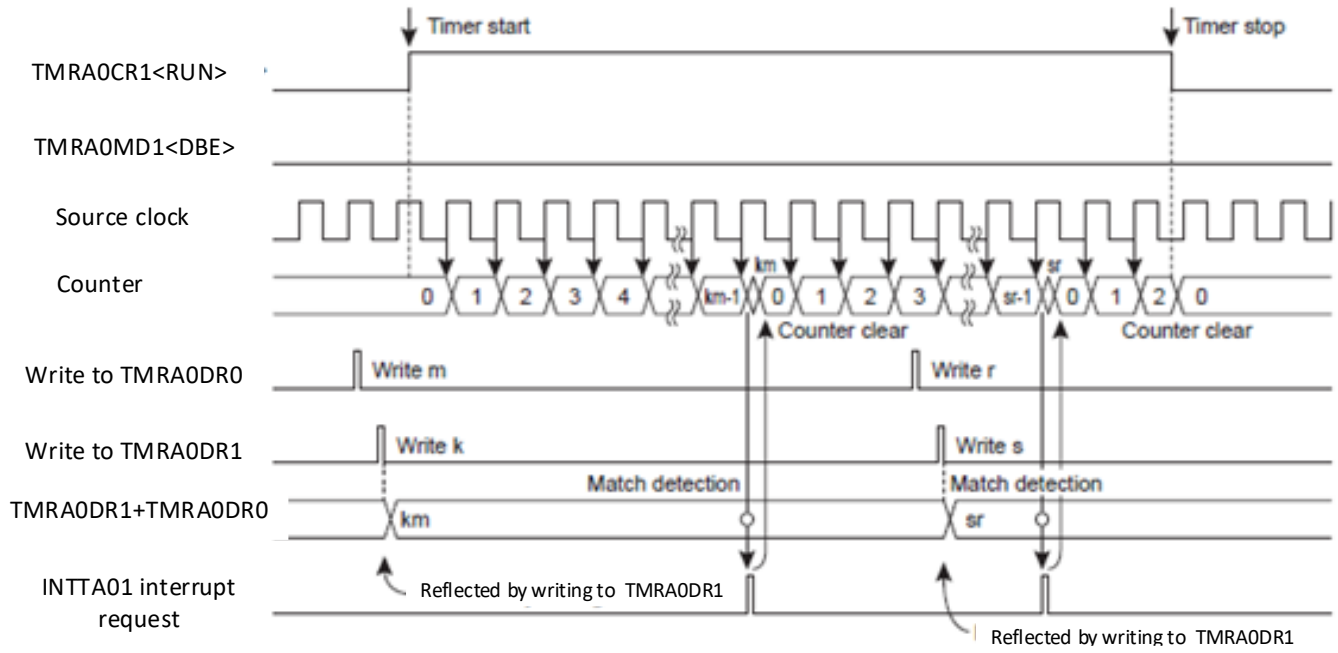
若于定时器停止时执行 TMRA0DR0 和 TMRA0DR1 寄存器的新设定值写入，新设定值会直接存储于双缓冲寄存器与 TMRA0DR1+ TMRA0DR0 寄存器内。

2. 禁止双缓冲寄存器 时

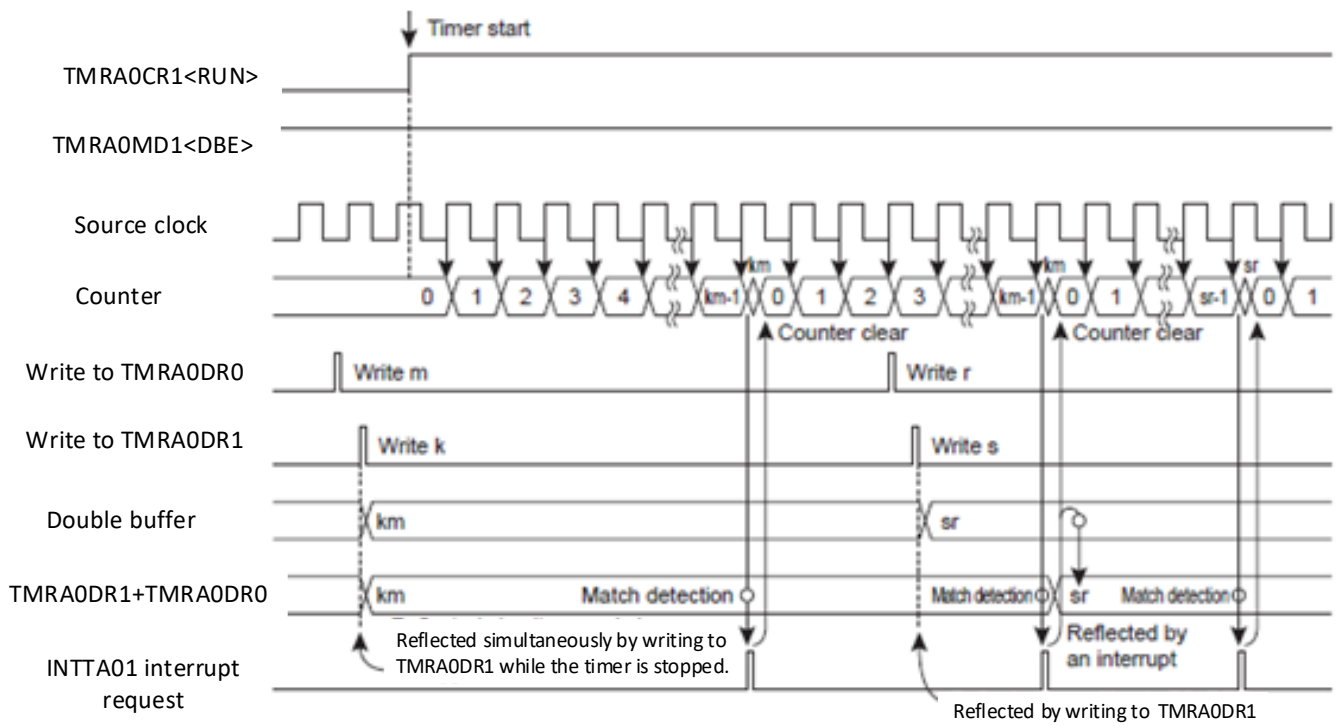
若于定时器工作时执行 TMRA0DR0 和 TMRA0DR1 寄存器的新设定值写入，则新设定值会直接改变 TMRA0DR1+ TMRA0DR0 的设定。后续的定时器比对检测工作会依新的设定值进行。

若 TMRA0DR1+ TMRA0DR0 的新设定值小于计数器数值，在计数器的计数溢位后，比对检测符合之后才会依新的设定值执行。因此，中断要求间隔可能会比选择的时间要长。若 TMRA0DR1+ TMRA0DR0 的新设定值等于该值写入时的计数器数值，比对检测会于 TMRA0DR1+ TMRA0DR0 设定值写入后即刻执行。如此，中断要求间隔可能不会是源时钟的整数倍。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时执行 TMRA0DR0 和 TMRA0DR1 寄存器的新设定值写入，新设定值会直接存储于 TMRA0DR1+ TMRA0DR0 寄存器内。不管 TMRA0MD0<DBE>的设定为何，读取 TMRA0DR1+ TMRA0DR0 得到的数值都会是最近一次写入 TMRA0DR1+ TMRA0DR0 的设定值。



When the double buffer is disabled (TMRA0MD0<DBE>=" 0")



When the double buffer is disabled (TMRA0MD0<DBE>=" 0")

图 13-17 16 位定时器计数器时序图

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3.3.7 16 位事件计数器模式

在 16 位计数器模式中，计数器会依 TA00 引脚的输入信号下降沿往上计数。TA00 和 TA01 组合成一个 16 位定时器计数器，可用来测量更长的时间。

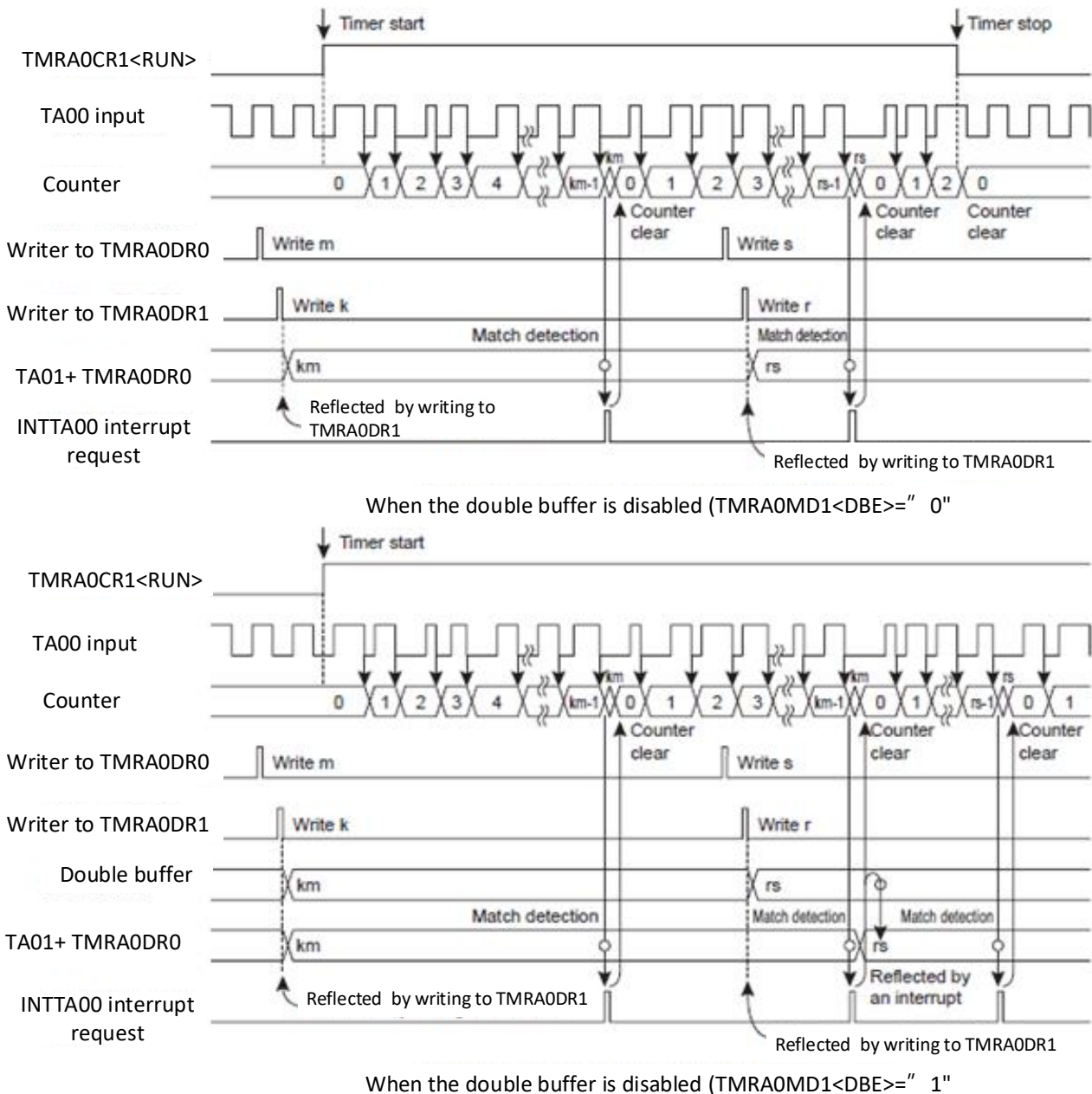


图 13-18 16 位事件计数器模式时序图

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

(a) 设定

设定 TMRA0CFG<TCFG>为"010"，可连结 TA00 和 TA01 以启动 16 位模式，设定 TMRA0MD0<TCM>为"001"设定事件计数器模式，设定 TMRA0MD0<TCK>以设定源时钟。在 16 位模式下，所有 TA00 相关的设定失效，只剩 TA01 的设定有效。

用定时器寄存器 TMRA0DR0 和 TMRA0DR1 设定比对检测所需的 16 位计数数值。TMRA0DR0 为低 8 位，TMRA0DR1 为高 8 位。以下叙述中，由 TMRA0DR0 和 TMRA0DR1 组合而成的 16 位数值设定皆以 TA01+ TMRA0DR0 表示。进行 TMRA0DR1 的设定写入时，定时器寄存器的设定会对应应在双缓冲寄存器 或 TA01+ TMRA0DR0 寄存器 务必以 TMRA0DR 为先，TMRA0DR1 为后的次序进行设定。写入高 8 位寄存器时，低 8 位寄存器和高 8 位寄存器的设定会同时生效。

设定 TMRA0MD0<DBE>为"1"以使用双缓冲寄存器。

设定 TMRA0CR0<RUN>为"1"以启动 16 位计数器工作。定时器启动后，TMRA0MD1 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定(于 TMRA0CR0<RUN>和 TMRA0CR1<RUN>为"0"时进行设定)。

(b) 工作

设定 TMRA0CR1<RUN>为"1"，让 16 位计数器依 TA00O 引脚信号的下降沿往上计数。当计数器数值达到 TA01+ TMRA0DR0 的设定数值时，会产生 INTTA01 中断要求，同时计数器被清除为"0x0000"。之后，计数器继续往上计数。定时器工作时，若设定 TMRA0CR1<RUN>为"0"，计数器会停止工作并且被清除为"0x0000"。

最高工作频率是 fsysclk，高电平或低电平信号脉宽必须大于等于两个机器周期。

(c) 双缓冲寄存器

参考"13.3.3.6 - (c) 双缓冲寄存器"。

13.3.3.8 16 位脉宽调制 PWM 输出模式

在 16 位 PWM 输出模式中，TA00 和 TA01 组合以输出分辨率为 16 位，让 PWM 成为 16 位分辨率。

(a) 设定

设定 TMRA0CFG<TCFG>为"010"，可连结 TA00 和 TA01 以启动 16 位模式，设定 TMRA0MD1<TCM>为"100"设定 12 位脉宽调制 PWM 输出模式，设定 TMRA0MD1<TCK>以设定源时钟。在 16 位模式下，所有 TA00 相关的设定失效，只剩 TA01 的设定有效。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

设定 TMRA0MD1<TCM>为“100”以启动 12 位 PWM 模式，设定 TMRA0MD1<TCK>以设定源时钟，设定 TMRA0MD1<DBE>为“1”以使用双缓冲寄存器。

设定 TMRA0CR1<RUN>为“1”以启动定时器工作。定时器启动后，TMRA0MD1 的写入变成无效。在启动定时器前，必须先完成所有必要模式设定(于 TMRA0CR0<RUN>和 TMRA0CR1<RUN>为“0”时进行设定)。

用寄存器 TMRA0PWM0 和 TMRA0PWM1 设定比对检测所需的 12 位计数数值。用 TMRA0PWM1 设定第 15 位到第 8 位，用 TMRA0PWM0 设定第 7 位到第 0 位。相关寄存器架构请参考下表。以下叙述中，由 TMRA0PWM1 和 TMRA0PWM0 组合而成的 16 位数值设定皆以 TA01+ TMRA0PWM0 表示。进行 TMRA0PWM1 的设定写入时，定时器寄存器的设定会对应于在双缓冲寄存器 或 TA01+ TMRA0PWM0 寄存器。务必以 TMRA0PWM0 为先、TMRA0PWM1 为后的次序进行设定。写入高位寄存器时，低位寄存器和高位寄存器的设定会同时生效。

TMRA0PWM0 和 TMRA0PWM1 寄存器，组合后可设定长度为一个周期(256 次源时钟计数)的一个 8 位工作脉冲宽度。以下叙述中，由 TMRA0PWM0 和 TMRA0PWM1 组合而成的 8 位数值设定皆以 PWMDUTY 表示。

于 TMRA0MD1<TFF>设定 TA01O 引脚的初始状态。设定 TMRA0MD1<TFF>为“0”时，TA01O 引脚的初始状态为低电平。设定 TMRA0MD1<TFF>为“1”时，TA01O 引脚的初始状态为高电平。若于定时器停止工作时设定 TA01O 引脚为功能输出引脚，TA01O 引脚会输出 TMRA0MD1<TFF>的设定数值。表 10.14 所列为 TA01O 引脚的输出电平。

TFF	TA01 pin output level		
	Before the start of operation (initial state)	Overflow	Operation stopped (initial state)
0	L	L	L
1	H	H	H

表 10.14 TA01O 引脚输出电平表

(b) 工作

设定 TMRA0CR0<RUN>为“1”，让上数计数器依选择的源时钟往上计数。当计数器数值的低 8 位达到 TMRA0PWM0 的设定数值 TA01O 引脚的输出会反向。若 TMRA0MD1<TFF>设定为“0”，TA01O 引脚由低电平改变成高电平。若 TMRA0MD1<TFF>设定为“1”，TA01O 引脚由高电平改变成低电平。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

而后，计数器继续往上计数。计数器数值达到 256 时，计数器发生溢位并被清除为“0x00”，同时 TA01O 引脚的输出反向。若若 TMRA0MD1<TFF>设定为“0”，TA01O 引脚从高电平变成低电平。若 TMRA0MD1<TFF>设定为“1”，TA01O 引脚从低电平变成高电平。此时会产生 INTTA00 中断要求(每次溢位发生都会产生一个 INTTA00 中断要求)。第 16xn 个溢位(n=1, 2, 3...)会产生 INTTA01 中断要求。之后计数器继续往上计数。

定时器工作时，若设定 TMRA0CR1<RUN>为“0”，计数器会停止工作并被清除为“0x00”。TA01O 引脚恢复为 TMRA0MD1<TFF>设定的电平。

于 TA00 引脚输入时钟，最高供应频率是 fsyclk。高电平或低电平信号脉宽必须大于等于两个机器周期。

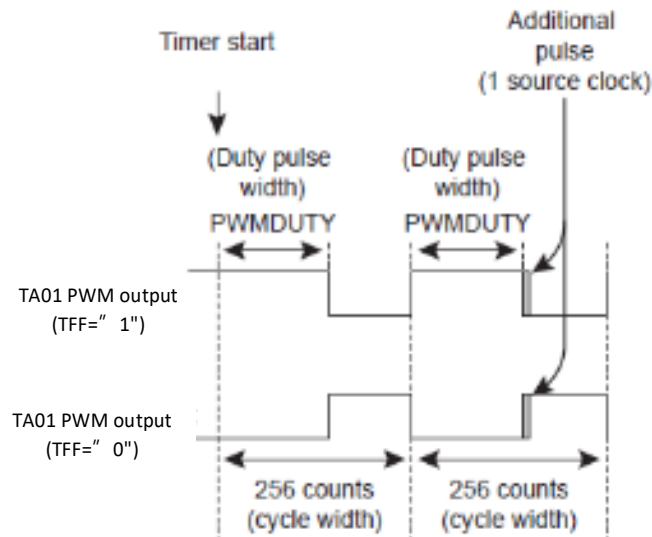


图 13-19 TA01O 引脚输出

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

(c) 双缓冲寄存器

设定 TMRA0MD1<DBE>让 TA01+TMRA0PWM0 寄存器使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 TMRA0MD1<DBE>为“1”和“0”。

1. 允许双缓冲寄存器 时

若于定时器工作时执行 TMRA0PWM0 和 TMRA0PWM1 寄存器的新设定值写入，设定值会先存储于双缓冲寄存器中，而不会立即改变 TA01+TMRA0PWM0 的设定。TA01+TMRA0PWM0 会比较计数器数值与原设定值。第 16 x n 个溢位发生时会产生 INTTA01 中断要求，双缓冲寄存器存储的新设定值会被存入 TA01+TMRA0PWM0。后续的检测工作就会依新的设定值进行。

读取 TA01+TMRA0PWM0 (TMRA0DR0)时，读出的数值会是双缓冲寄存器内的数值(最近的设定数值)，而不是 TA01+TMRA0PWM0 的数值(现在有效数值)。

若于定时器停止时执行 TMRA0PWM0 和 TMRA0PWM1 寄存器的新设定值写入，新设定值会直接存储于双缓冲寄存器与 TA01+TMRA0PWM0 寄存器内。

2. 禁止双缓冲寄存器 时

若于定时器工作时执行 TMRA0PWM0 和 TMRA0PWM1 寄存器的新设定值写入，则新设定值会直接改变 TA01+ TMRA0PWM0 的设定。后续的定时器比对检测工作会依新的设定值进行。

若 TA01+ TMRA0PWM0 的新设定值小于计数器数值，TA01O 引脚的输出要在计数器溢位且依据新设定值的比对检测符合之后才会反向。若 TA01+ TMRA0PWM0 的新设定值等于该值写入时的计数器数值，比对检测会于 TA01+ TMRA0PWM0 设定值写入后即刻执行。如此，TA01O 引脚输出的反向时点可能不会是源时钟的整数倍。

若于定时器停止时执行 TMRA0PWM0 和 TMRA0PWM1 寄存器的新设定值写入，新设定值会直接存储于 TA01+ TMRA0PWM0 寄存器内。

13.3.3.9 16 位可编程脉冲产生 PPG 输出模式

在 16 位 PPG 模式中，TA00 和 TA01 两者组合、输出分辨率达 16 位的任意占空比和周期的脉冲。用两个 16 位寄存器 TA01+TMRA0DR0 和 TA01+TMRA0PWM0 输出 16 位 PPG 模式脉冲。如此可输出更长的脉冲。(TA10 与 TA11 亦相同)

(a) 设定

设定 TMRA0CFG< TCFG >为“010”，可连结 TA00 和 TA01 以启动 16 位模式，设定 TMRA0MD0<TCM>为“110”设定可编程脉冲产生 PPG 输出模式，设定 TMRA0MD0<TCK>以设定源时钟。在 16 位模式下，所有 TA00 相关的设定失效，只剩 TA01 的设定有效。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

设定 TMRA0MD0<DBE>为"1"以使用双缓冲寄存器。

用定时器寄存器 TMRA0DR0 和 TMRA0DR1 设定一个周期对应的 16 位计数数值。用 TMRAOPWM0 和 TMRAOPWM1 设定工作脉冲对应的 16 位计数数值。以下叙述中，由 TMRA0DR1 和 TMRA0DR0 组合而成的 16 位数值设定皆以 TA01+ TMRA0DR0 表示；由 TMRAOPWM1 和 TMRAOPWM0 组合而成的 16 位数值设定皆以 TA01+ TMRAOPWM0 表示。进行 TMRAOPWM1 的设定写入时，定时器寄存器的设定会对应应在双缓冲寄存器或 TA01+ TMRA0DR0 与 TA01+ TMRAOPWM0 寄存器。务必在写入 TMRAOPWM1 前，先进行 TMRA0DR0、TMRA0DR1 与 TMRAOPWM0 的设定。写入 TMRAOPWM1 后，所有寄存器的设定会同时生效。

于 TMRA0MD1<TFF>设定 TA01O 引脚的初始状态。设定 TMRA0MD1<TFF>为"0"时，TA01O 引脚的初始状态为低电平。设定 TMRA0MD1<TFF>为"1"时，TA01O 引脚的初始状态为高电平。若于定时器停止工作时设定 TA01O 引脚为功能输出引脚，TA01O 引脚会输出 TMRA0MD1<TFF>的设定数值。表 10.16 所列为 PWM01B 引脚的输出电平。

TFF	TA01 pin output level			
	Before the start of operation	TA01+ TMRAOPWM0 matched	TA01+ TMRA0DR0 matched	Operation stopped (initial state)
0	L	H	L	L
1	H	L	H	H

表 10.16 TA01O 引脚输出电平表

(b) 工作

设定 TMRA0CR0<RUN>为"1"，让上数计数器依选择的源时钟往上计数。当计数器数值达到 TA01+ TMRAOPWM0 的设定数值，TA01O 引脚的输出会反向。若 TMRA0MD1<TFF>设定为"0"，TA01O 引脚由低电平改变成高电平。若 TMRA0MD1<TFF>设定为"1"，TA01O 引脚由高电平改变成低电平。此时会产生 INTTA00 中断要求。

而后，计数器持续往上计数。计数器数值达到 TA01+ TMRA0DR0 的设定数值时，TA01O 引脚的输出会再次反向。若 TMRA0MD1<TFF>设定为"0"，TA01O 引脚由高电平改变成低电平。若 TMRA0MD1<TFF>设定为"1"，TA01O 引脚由低电平改变成高电平。此时会产生 INTTA01 中断要求，同时计数器会被清除为"0x0000"。

定时器工作时，若设定 TMRA0CR1<RUN>为"0"，计数器会停止工作并被清除为"0x0000"。TA01O 引脚恢复为 TMRA0MD1<TFF>设定的电平。

使用外部源时钟时，于 TA00 引脚输入时钟，最高供应频率是 fsysclk，高电平或低电平信号脉宽必须大于等于两个机器周期。

(c) 双缓冲寄存器

设定 TMRA0MD1<DBE>让 TA01+TMRA0PWM0 和 TA01+TMRA0DR0 寄存器使用双缓冲寄存器。若要允许/禁止使用双缓冲寄存器，分别设定 TMRA0MD1<DBE>为“1”和“0”。

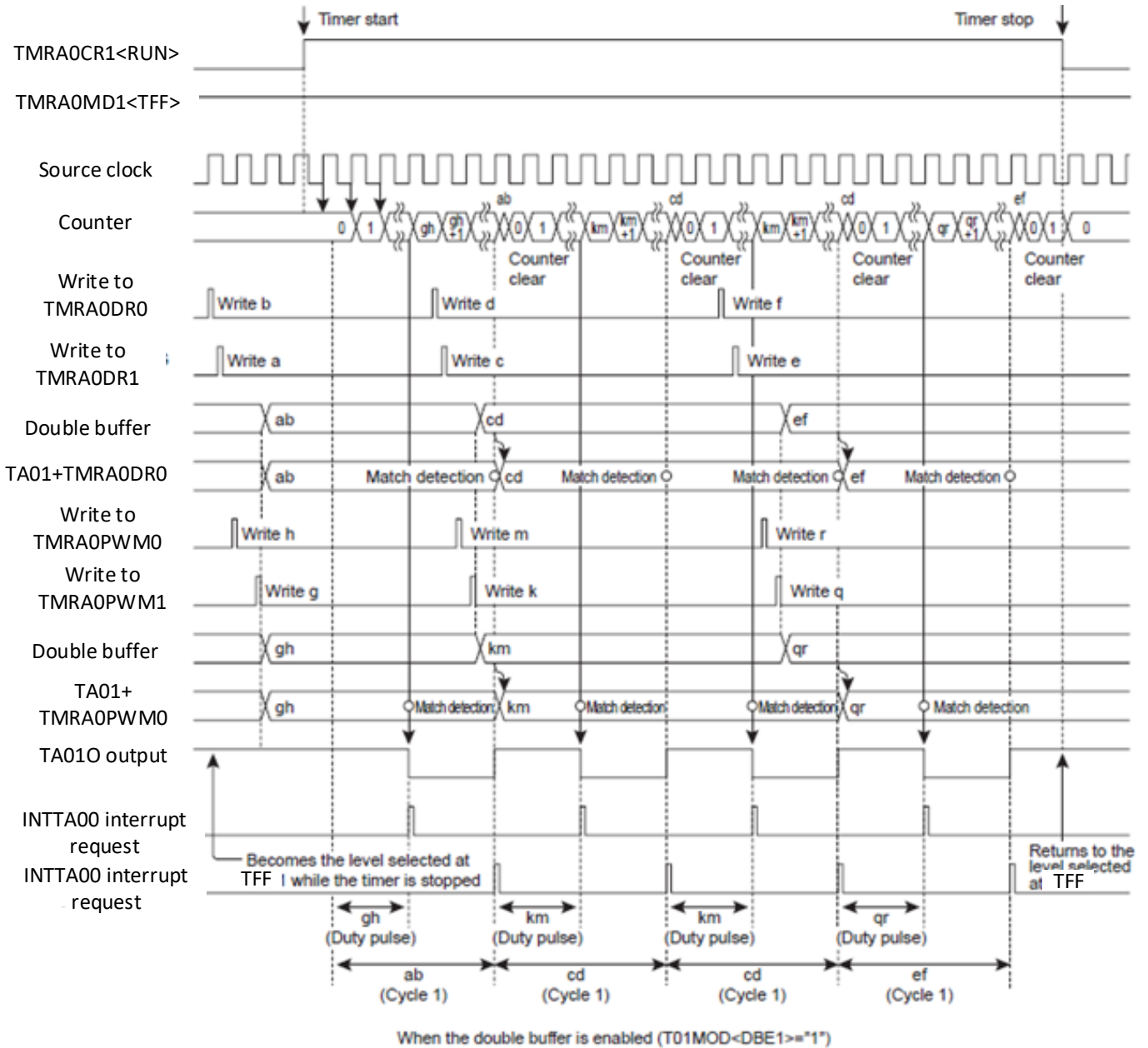


图 13.20 16 位 PPG 输出模式时序图

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

1. 允许双缓冲寄存器 时

若于定时器工作时，于执行完 TMRA0DR0、TMRA0DR1 和 TMRA0PWM0 的设定后执行 TMRA0PWM1 寄存器的新设定值写入，设定值会先存储于双缓冲寄存器 中，而不会立即改变 TA01+ TMRA0PWM0 与 TA01+ TMRA0DR0 的设定。TA01+ TMRA0PWM0 和 TA01+ TMRA0DR0 会比较计数器数值与原设定值。计数器数值达到 TA01+ TMRA0DR0 的设定数值时会产生 INTTA01 中断要求，双缓冲寄存器 存储的新设定值会被存入 TA01+ TMRA0PWM0 和 TA01+ TMRA0DR0。后续的检测工作就会依新的设定值进行。

若于定时器停止时，于执行完 TMRA0DR0、TMRA0DR1 和 TMRA0PWM0 的设定后执行 TMRA0PWM1 的新设定值写入，所有新设定值会直接存储于双缓冲寄存器 与 TA01+ TMRA0PWM0、TA01+ TMRA0DR0 寄存器内。

2. 禁止双缓冲寄存器 时

若于定时器工作时，于执行完 TMRA0DR0、TMRA0DR1 和 TMRA0PWM0 的设定后执行 TMRA0PWM1 的新设定值写入，则新设定值会直接改变 TA01+ TMRA0PWM0 和 TA01+ TMRA0DR0 的设定。后续的定时器比检测工作会依新的设定值进行。

若 TA01+ TMRA0PWM0 或 TA01+ TMRA0DR0 的新设定值小于计数器数值，TA01O 引脚的输出要在计数器溢位且依据新设定值的比对检测符合之后才会反向。若 TA01+ TMRA0PWM0 或 TA01+ TMRA0DR0 的新设定值等于该值写入时的计数器数值，比对检测会在 TA01+ TMRA0PWM0 与 TA01+ TMRA0DR0 设定值写入后即刻执行。如此，TA01O 引脚输出的反向时点可能不会是源时钟的整数倍。如果操作上有问题，建议启动双缓冲寄存器。

若于定时器停止时，于执行完 TMRA0DR0、TMRA0DR1 和 TMRA0PWM0 的设定后执行 TMRA0PWM1 的新设定值写入，所有新设定值会直接存储于双缓冲寄存器 与 TA01+TMRA0PWM0、TA01+ TMRA0DR0 寄存器内。

不管 TMRA0MD0<DBE>的设定为何，读取 TA01+ TMRA0PWM0 和 TA01+ TMRA0DR0 得到的数值都会是最近一次写入 TA01+ TMRA0DR0 的设定值。

13.3.3.10 互补输出模式

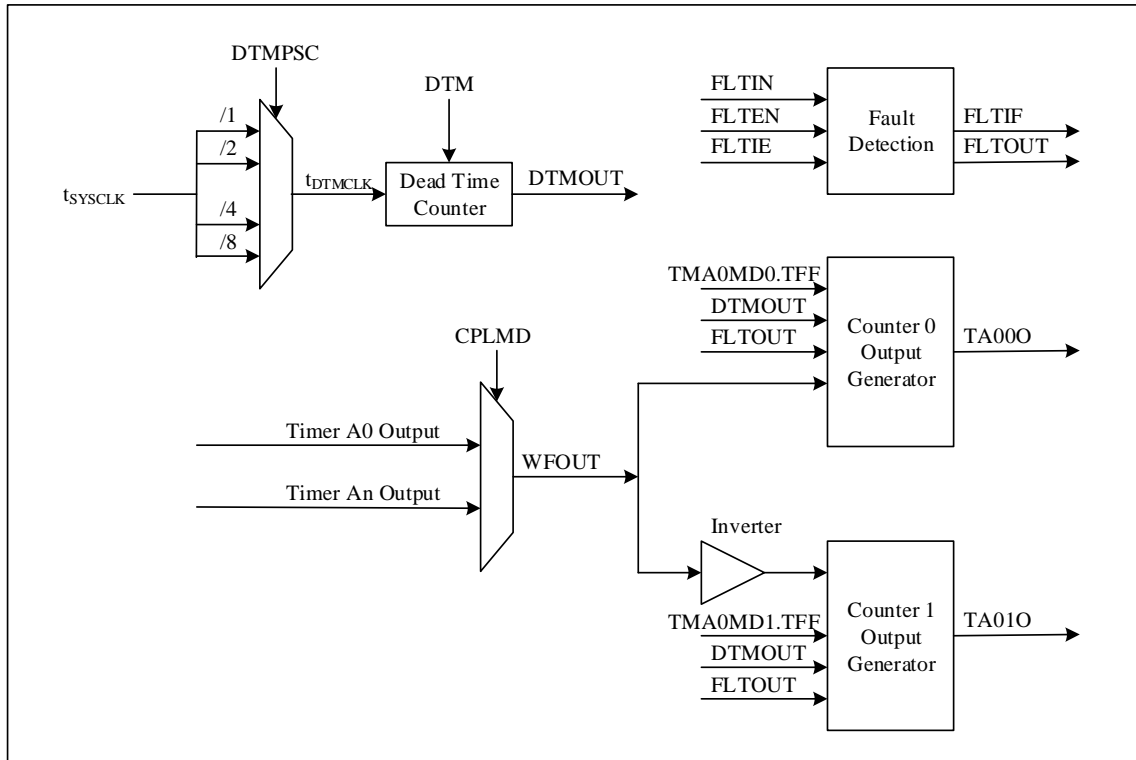


图 13.21 互补输出模式

互补输出模式时，TA00 和 TA01 形成一个互补输出对。TA10 和 TA11 构成第二对互补输出对，依此类推。

在互补输出模式下，Timer A0 必须以 PPG 模式工作。Timer A0 作为 16 位计数器运行。PPG 使用计数器 1(TA01)寄存器配置。在 TA00O 和 TA01O 中都会观察到互补输出。每个引脚都可以通过设置相应的 TFF 位来选择其初始值。

互补模式中断与计数器 1 共享相同的中断向量。启动互补输出模式时，计数器 0 的溢出不会产生中断。支持三种输出模式。每个互补对可以用 CPLMD 位选择其输出参考。

当 CPLMD = 0x00 时，输出波形将基于其自己的输出。对于 Timer A0，它将基于定时器 TA01O 1 输出。对于 Timer A1，它将基于 TA11O 输出，依此类推。

当 CPLMD = 0x00 时，输出波形将基于其自身的输出。对于定时器 TMRA0，它将基于定时器计数器 TA01 的输出。对于定时器 TMRA1，它将基于定时器 TA11 的输出，依此类推。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

互补波形输出 (CPLMD = 0x00) · TA000 将与 WFOUT 相位相同 · 而 TA001 将处于互补波形输出。

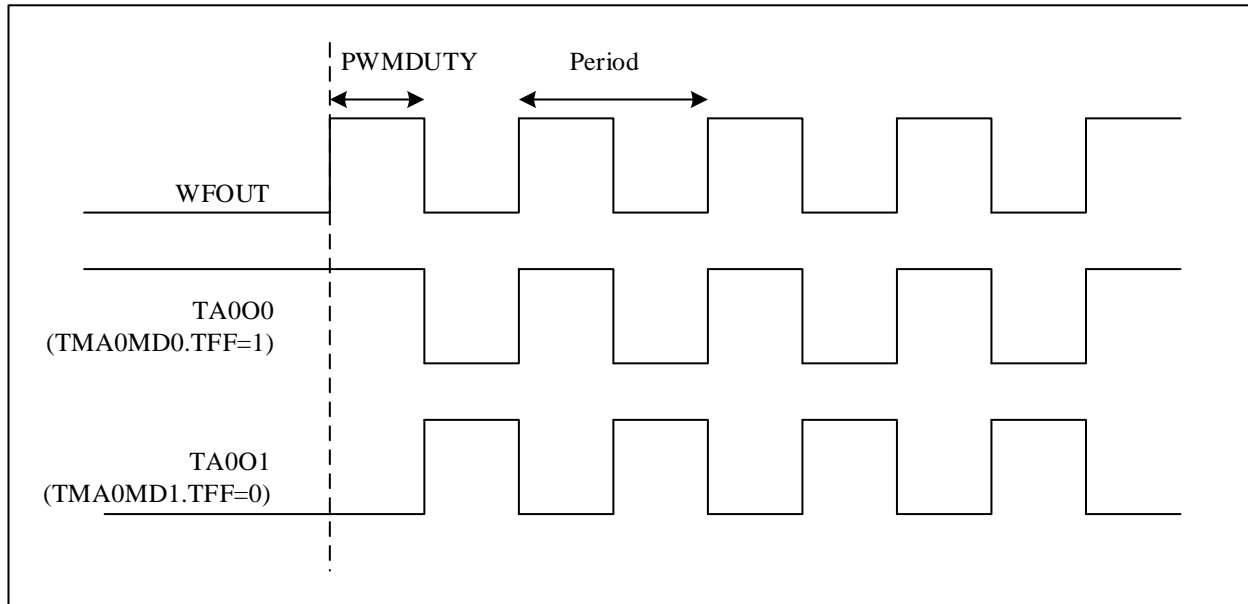


图 13.22 互补波型输出 (CPLMD=0x00)

操作顺序如下：

设置 TMRA0CFG<TCFG>为 101; 配置为互补模式(Complementary Mode)

设置 TMRA0CPL<CPLMD>为 00; 配置为独立模式

设置为异步模式

- | | |
|-------------------------|---|
| ; TMRA0MD0<TFF> = 1 | 设置初始 TA000 值 |
| TMRA0MD1<TCM> = 0x46; | 初始 TA001 值为低 · 双缓冲模式 · 系统时钟/ 2 ^ 11,16 位 PPG 模式 |
| TMRA0DR0 = cycle time; | 设置周期时间低字节 |
| TMRA0DR1 = cycle time; | 设置周期时间高字节 |
| TMRA0PWM0 =duty cycle; | 设置占空比低字节 |
| TMRA0PWM1 = duty cycle; | 设置占空比高字节 |
| TMRA0CR1<RUN> = 1; | 启动 PPG 输出 |

当 CPLMD = 0x02 时 · 使用定时器 A0 作为占空比和周期参考 · 互补输出与定时器 A0 同步。定时器 A0 设置确定所有其他定时器 A 输出的波形。

当 CPLMD = 0x02 时 · 互补输出使用定时器 TMRA00 作为占空比和周期基准与定时器 TMRA00 同步。定时器 TMRA00 的设置决定了所有其他定时器 A 输出的波形。

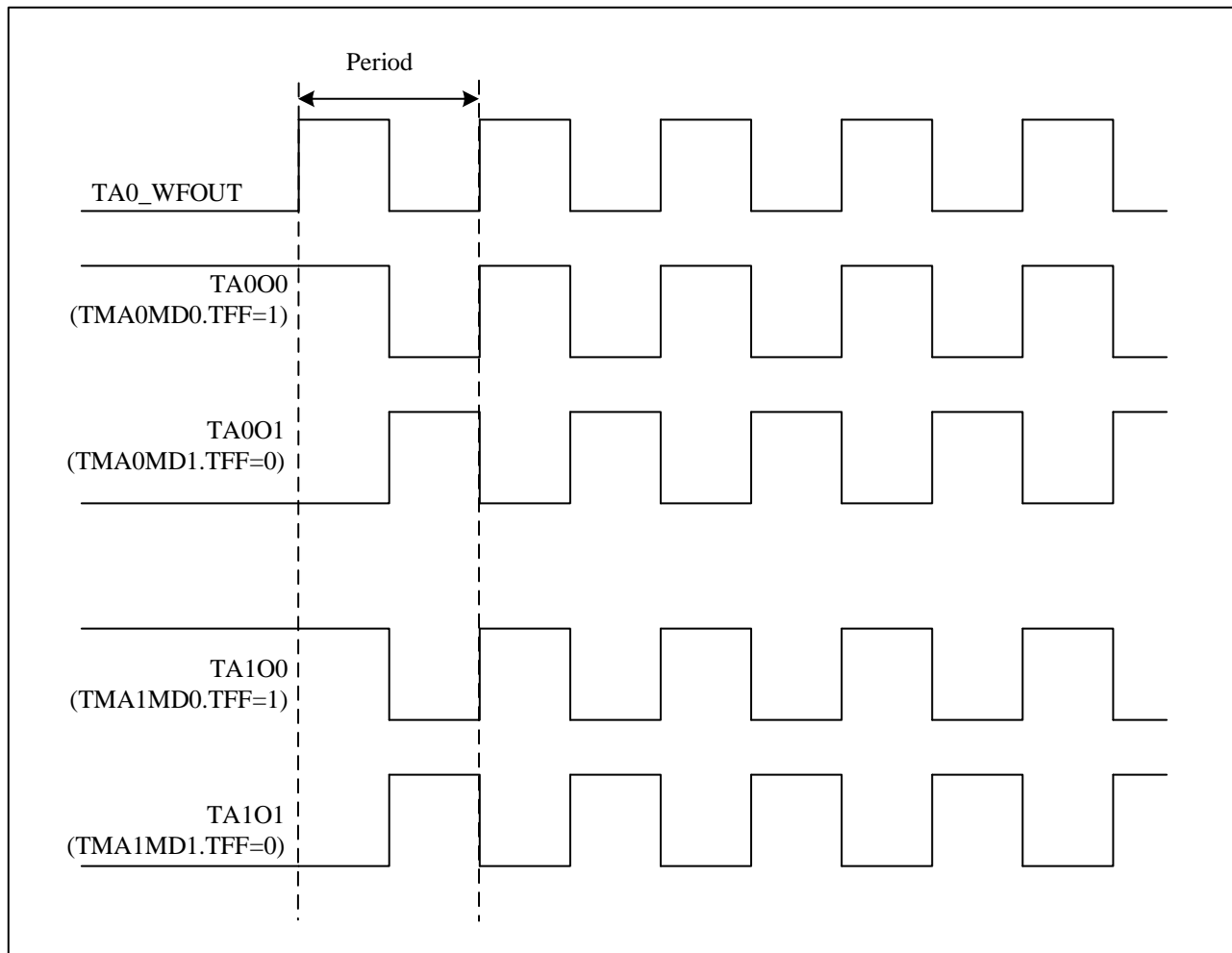


图 13.23 互补波型输出 (CPLMD=0x02)

操作顺序如下

设置 TMRA0CFG<TCFG>为 101; 配置为互补模式(Complementary Mode)

设置 TMRA0CPL<CPLMD>为 00; 选择参考波形, 设置为独立模式

设置为异步模式

- | | |
|-------------------------|---|
| TMRA0MD0<TFF> = 1; | 设置初始 TA000 值 |
| TMRA0MD1<TCM> = 0x46; | 初始 TA010 值为低, 双缓冲模式, 系统时钟/ 2 ^ 11,16 位 PPG 模式 |
| TMRA0DR0 = cycle time; | 设置周期时间低字节 |
| TMRA0DR1 = cycle time; | 设置周期时间高字节 |
| TMRA0PWM0 = duty cycle; | 设置占空比低字节 |
| TMRA0PWM1 = duty cycle; | 设置占空比高字节 |
| TMRA0CR1<RUN> = 1; | 启动 PPG 输出 |

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

当操作 CPLMD = 0x03 时，互补输出周期与定时器 TMRA00 周期同步，并且每个互补对可以选择其自己的占空比。

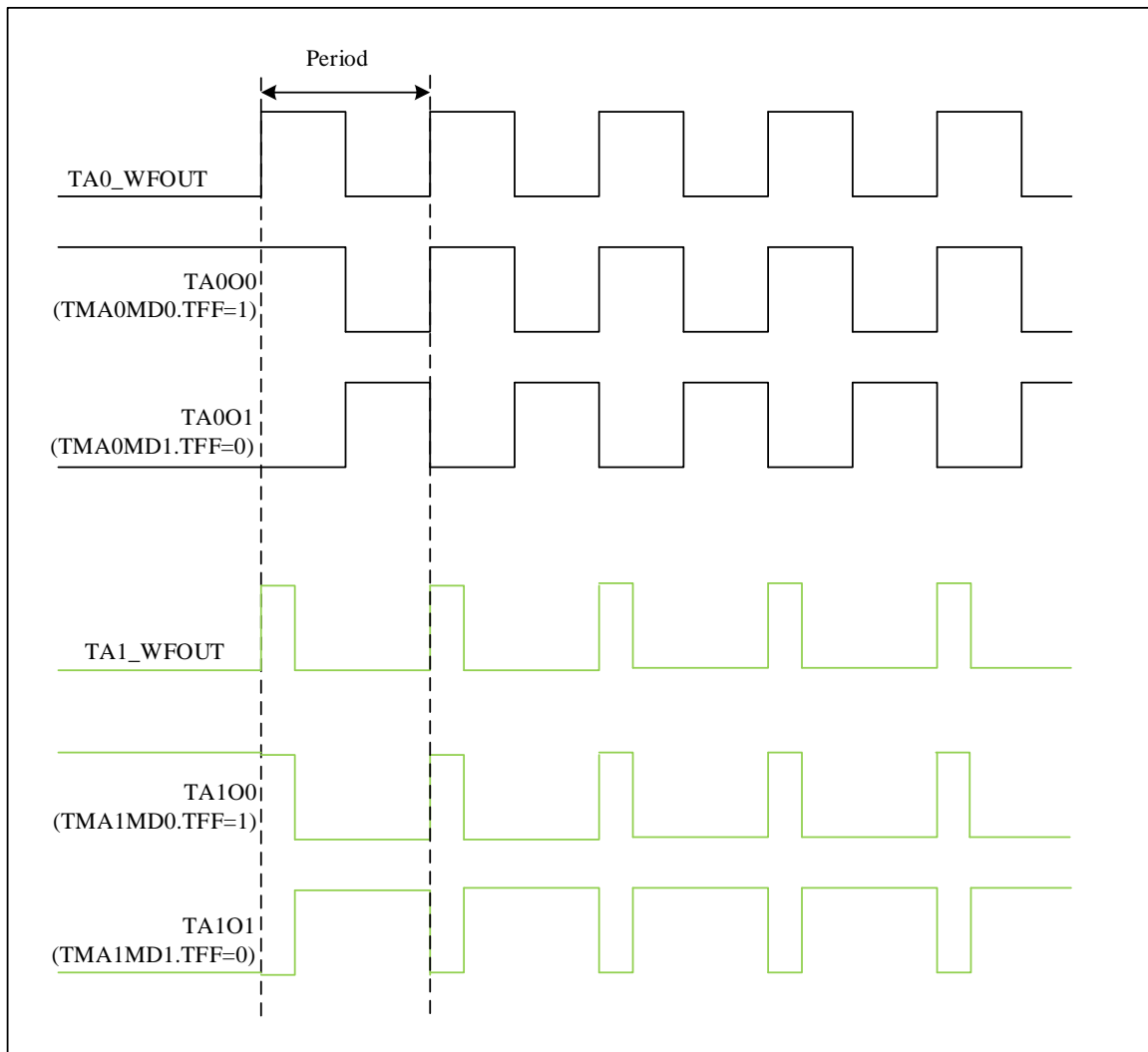


图 13.24 互补输出模式(CPLMD=0x03)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3.3.10.1 死区时间控制

在一些应用中，希望在一个设备关闭与另一个设备开启之间有时间差，称为死区时间。死区时间仅适用于启用补输出功能的情况。死区时间定义为：

$$\text{死时间} = \text{DTM} * \text{DTMPSC}$$

当 DTM 为零时，禁用死区时间。死区时间始终应用于输出的上升沿。

对于系统时钟 fSYSCLK = 24 MHz，死区时间可配置在 41.7 ns 至 21 us 之间。

每对输出都可以在所有互补模式下定义自己的死区时间。

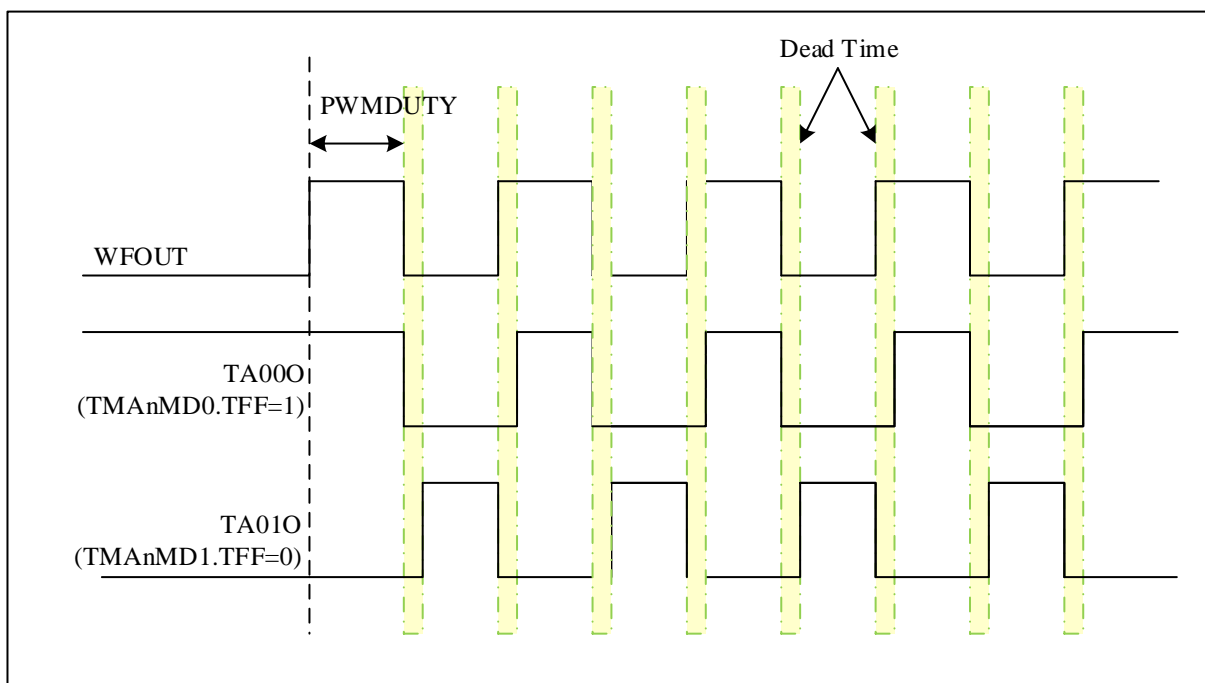


图 13.25 死区时间控制

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3.3.10.2 故障检测 Fault Detection

故障检测允许立即停止输出。当故障检测启动 ($TMRA0CPL<FLT0MD>\neq 00$) 且 $FLTIN0$ 为低电平时，输出将保持在 $TMRA0CPL<FLT0MD>$ 定义的电平。

故障中断标志 $TMRA0CPL<FLT0IF>$ 设置为 1，同时产生中断通知应用程序。要恢复输出，应用程序必须清除导致故障的条件并清除故障中断标志 $TMRA0CPL<FLT0IF>$ 。故障中断标志清零后，输出将在下一个参考波形的上升沿恢复。如果条件未解决，则 $TMRA0CPL<FLT0IF>$ 将再次被设置并产生中断。

$FLTIN0$ 故障检测故障中断与计数器 $TA00$ 共享相同的中断向量。

当使用同步互补模式时， $FLTIN0$ 用作同步对的故障输入。

当使用同步互补模式时， $FLTIN0$ 用作同步对的故障输入。在这种模式下，定时器 $TA00$ 中的故障标志将被置位。其他同步对中的故障标志不受影响。

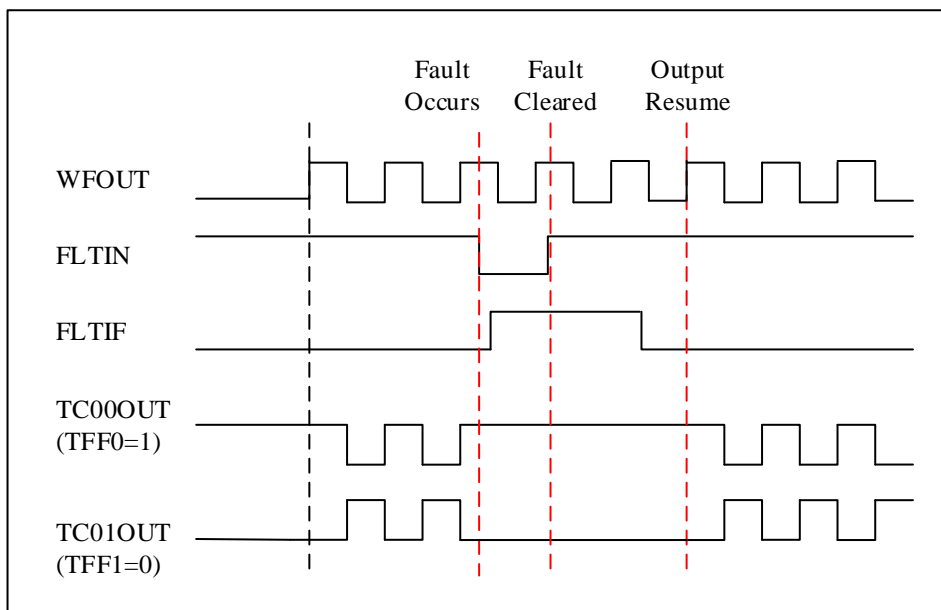


图 13.26 故障检测

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3.3.11 捕捉模式

当定时器在捕捉模式下运行，透过边沿选择位 TMRA0CR0<EDGE>进行边沿选择，用户可以选择上升沿、下降沿或同时选择两个边沿。

在捕捉模式下操作时，当定时器开始运行时，内部计数器的值将重置为 0x00。当检测到选定的边沿时，内部计数器值将被捕捉到定时器 A 数据寄存器中。然后内部计数器将复位为 0 以开始计数以进行下一个边沿检测，边沿检测中断标帜 TMRASR<EDGEIO>将被设置为 1。如果 TMRACR0<EDGEIE> = 1，也会产生中断。

当操作于捕捉两个边沿 TMRA0CR0<EDGE>= 0x03 时，第一次测量从第一次上升沿检测开始。第一个下降沿将被忽略。

如果脉冲宽度超过定时器最大值，则会发生溢出，溢出中断标帜 TMRA0SR<TMROOVI> 将被设置为 1。若 TMRA0CR< TMROOVI> 为 1，允许溢出中断。定时器溢出后，它将从 0x00 开始计数。软件可以通过监控溢出次数来计算总周期计数时间。

EDGE	边沿选择	000:上升沿 001:系统保留 010:下降沿 011:上升沿与下降沿 Others:系统保留
------	------	--

应用程序可以从定时器 A 数据寄存器中读取捕捉值。在 16 位模式下，使用者必须先读取低字节，再读取高字节。只读取低字节时，数据寄存器将保持不变，直到读取高字节后，数据寄存器才会改变，以确保数据完整性。

定时器输出在捕捉模式下无作用。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

13.3.3.12 脉冲宽度测量

脉冲宽度测量可用于确定占空比和外部波形的周期，边沿选择通过边沿选择位 EDGE_n 进行，用户可以选择要测量的参数

EDGE	边沿选择	000:上升沿到下降沿 (High Pulse) 001:下降沿到上升沿 (Low Pulse) 010: 上升沿到上升沿 (周期) 011: 下降沿到下降沿(周期) 100: 上升沿到下降沿 (High Pulse) 上升沿到上升沿 (周期) 其他:系统保留
------	------	--

在脉冲宽度测量模式下工作时，当检测到所选的起始边沿时，内部计数器的值将重置为 0x00。当检测到选定的结束边沿时，内部计数器值将被捕捉到定时器 A 数据寄存器中。然后内部计数器将重置为 0，以开始计数以进行下一个起始边沿检测。边沿检测中断标志 TMRA0SR<EDGEI0>将被设置为 1，如果 TMRA0CR0<EDGEIE>为 1，将产生中断。

如果起始边缘和结束边缘之间的时间长于定时器最大值，则会发生溢出。溢出中断标帜 TMRA0SR<TMROOVI>将被设置为 1，若溢出中断允许，TMRA0CR0<TMROVIE>为 1，发生中断。定时器溢出后，它将从 0x00 开始计数。软件可以通过监控溢出次数来计算总周期计数时间。应用程序可以从定时器 A 数据寄存器读取脉冲宽度值。如果在下一个边沿检测之前未读取数据寄存器，则数据寄存器将保留先前的值，并且不会更新。在 16 位模式下，使用者必须先读取低字节，再读取高字节。只读取低字节时，数据寄存器将保持不变，直到读取高字节后，数据寄存器才会改变，以确保数据完整性。

当 EDGE = 100 (同时测量占空比和周期) 时，数据寄存器的更新方式略有不同，高脉冲宽度(The high pulse width)会覆盖先前的数据寄存器值。除非它被锁定在 16 位模式下(用户已读取低字节)。因此，应用程序必须在下一个高脉冲出现之前读取周期，否则将被覆盖。

可以通过将 OE 设置为 1 以启动定时器输出。输出引脚的初始值由 TFF 设置。每当定时器溢出时，输出将被切换(toggle)。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

14.通用异步收发器 (UART)

本产品最高具有 3 个通用异步收发器(UART0、UART1、UART2)。相关特殊功能寄存器(SFR)地址及引脚名称的信息，请参考表 14.1 与表 14.2。

	UARTxCR1 (地址)	UARTxCR2 (地址)	UARTxDR (地址)	UARTxSR (地址)	RDxBUF (地址)	TDxBUF (地址)
UART0	UART0CR1 (0x00A0)	UART0CR2 (0x00A1)	UART0DR (0x00A2)	UART0SR (0x00A3)	RD0BUF (0x00A4)	TD0BUF (0x00A5)
UART1	UART1CR1 (0x00A6)	UART1CR2 (0x00A7)	UART1DR (0x00A8)	UART1SR (0x00A9)	RD1BUF (0x00AA)	TD1BUF (0x00AB)
UART2	UART2CR1 (0x00AC)	UART2CR2 (0x00AD)	UART2DR (0x00AE)	UART2SR (0x00AF)	RD2BUF (0x00B0)	TD2BUF (0x00B1)

表 14-1 SFR 地址

	串行数据输入引脚	串行数据输出引脚
UART0	RXD0	TXD0
UART1	RXD1	TXD1
UART2	RXD2	TXD2

表 14-2 引脚名称

14.1 UART 架构

UARTx(x=0~2)是由外围电路时钟允许寄存器 PCKEN1、UARTx(x=0~2)控制寄存器 UARTxCR1 与 UARTxCR2、及 UARTx 波特率(baud)寄存器 UARTxDR(x=0~2)所控制。而工作状态可透过 UART 状态控制寄存器 UARTxSR(x=0~2)进行监控。

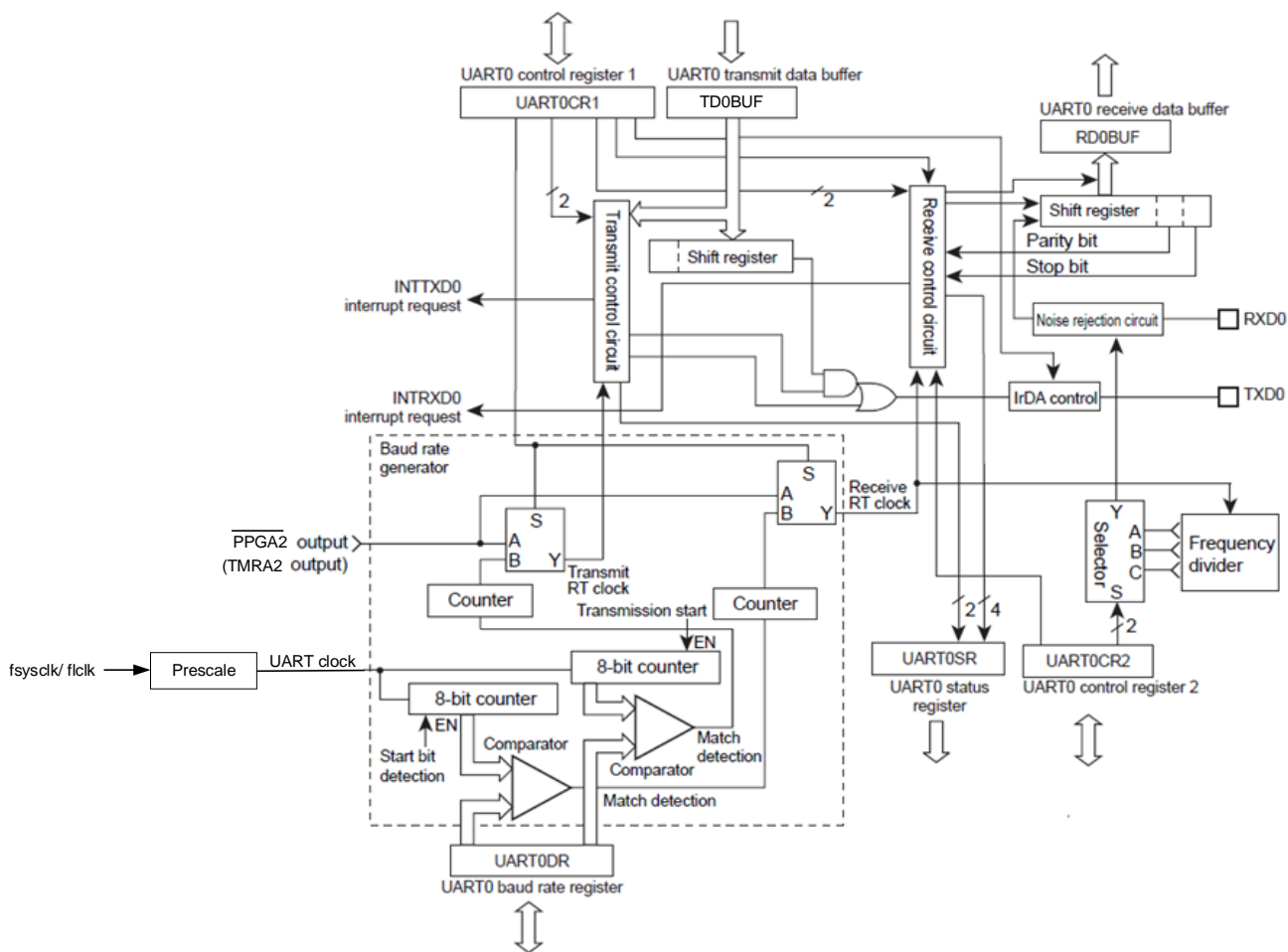


图 14-1 UART 工作模块图

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

外围电路时钟允许寄存器 1 (PCKEN1, 0x0179)

PCKEN1	7	6	5	4	3	2	1	0
位符号	reserved	UART2	UART1	UART0	reserved	reserved	reserved	reserved
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

UART2	UART2 允许控制	0: 禁止 1: 允许
UART1	UART1 允许控制	0: 禁止 1: 允许
UART0	UART0 允许控制	0: 禁止 1: 允许

UARTx(x=0~2)控制寄存器(UARTxCR1 与 UARTxCR2)、波特率(baud rate)寄存器 UARTxDR、UART 状态控制寄存器 UARTxSR、接收数据寄存器 RDxBUF 与发送数据寄存器 rDxBUF 皆雷同，故下方寄存器为通用格式(填入欲操作的 UART 编号，x=0~2)。而地址则可对照表 13.1 SFR 地址，请用户参考。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

UARTx 控制寄存器 1 (UARTxCR1)

UARTxCR1	7	6	5	4	3	2	1	0
位符号	TXE	RXE	STOPBT	EVEN	PE	IRDASEL	BRG	-
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0

TXE	发送工作	0: 禁止 ^{注2} 1: 允许		
RXE	接收工作	0: 禁止 ^{注2} 1: 允许		
STOPBT	发送端结束位长度	0: 1 位 1: 2 位		
EVEN	同位选择	0: 奇数同位 1: 偶数同位		
PE	同位加入选择	0: 无同位 1: 有同位		
IRDASEL	TXD 引脚输出选择	0: UART 输出 1: IrDA 输出		
BRG	收发基本时钟选择		一般模式 (fsysclk 为 PLL/HXTAL)	一般模式 (fsysclk 为 LIRC/LXTAL)
		0	fsysclk ^{注1}	fclk ^{注1}
		1	TMRx 输出 ^{注5}	

注 1 : fsysclk, 系统时钟[Hz], fclk, 低速时钟[Hz]。

注 2 : 在传送或接收期间, 即使 TXE 或 RXE 被设定为“0”, 在数据收发结束前工作不会停止。此时, 存储于发送数据缓冲器的数据将被舍弃。

注 3 : EVEN、PE 与 BRG 的设定为发送与接收工作皆为相同。

注 4 : 在改变 BRG 以前, 先设定 RXE 与 TXE。

注 5 : 当 BRG 设定为 TMRx 输出时, RT 时钟将变为异步, 发送/接收数据的起始位可能缩短最多[UARTxDR+1]/收发基本时钟频率) (s)。若该引脚非用于 Timer Ax 输出, 请透过端口功能控制寄存器控制 Timer Ax 输出。请参考“14.6.2 如何以 TMRA 作为 UART 的时钟源”

注 6 : 为防止 UART 通讯期间 STOPBT、EVEN、PE、IRDASEL 与 BRG 意外发生改变, 在 UART 工作期间无法改写寄存器。详细说明请参考“18.3 防止 UARTxCR1 与 UARTxCR2 寄存器改变的保护机制”。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

UARTx 控制寄存器 2 (UARTxCR2)

UARTxCR2	7	6	5	4	3	2	1	0
位符号	DV[1:0]		RTSEL[2:0]			RXDNC[1:0]		STOPBR
读/写	R/W		R/W			R/W		R/W
复位后	0		0			0		0

DV [1:0]	除频数选择	00 : fsysclk/1 01 : fsysclk/2 10 : fsysclk/4 11 : fsysclk/8	
RTSEL[2:0]	选择 RT 时钟数		
		奇数位收发框	
		偶数位收发框	
		000	16 个时钟
		001	16 个时钟
		010	15 个时钟
		011	15 个时钟
		100	17 个时钟
RXDNC[1:0]	选择 RXD 引脚输入噪声抑止时间 (将视为噪声而去除的脉宽时间)	00: 无噪声抑止	
		01: $1 \times (\text{UARTxDR} + 1) / (\text{收发基本时钟频率}) [s]$	
		10: $2 \times (\text{UARTxDR} + 1) / (\text{收发基本时钟频率}) [s]$	
STOPBR	接收端结束位长度	11: $4 \times (\text{UARTxDR} + 1) / (\text{收发基本时钟频率}) [s]$	
		0: 1 位	
		1: 2 位	

注 1 : RTSEL 可为偶数位与奇数位发送框设定 2 种 RT 时钟。详细说明请参考“13.7.1 收发波特率计算方法”。

注 2 : 有关 RXDNC 噪声抑止时间的细节，参考“13.9 接收数据的噪声抑止”。

注 3 : 当 STOPBR 设定为 2 位时，结束位的第 1 位(数据接收期间)将不进行收发框错误检查。

注 4 : 为防止 UART 通讯期间 RTSEL、RXDNC 与 STOPBR 意外发生改变，在 UART 工作期间无法改写寄存器。详细说明请参考“18.3 防止 UARTxCR1 与 UARTxCR2 寄存器改变的保护机制”。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

UARTx 波特率寄存器 (UARTxDR)

UARTxDR	7	6	5	4	3	2	1	0
位符号	UARTxDR7	UARTxDR6	UARTxDR5	UARTxDR4	UARTxDR3	UARTxDR2	UARTxDR1	UARTxDR0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 在改变 UARTxDR 以前, 先设定 UARTxCR1<RXE>与 UARTxCR1<TXE>为“0”。详细说明请参考“13.7.1 收发波特率计算方法”。

注 2 : 当 UARTxCR1<BRG>设定为 TMRx 输出时, UARTxDR 的数值没有意义。

UARTx 状态寄存器 (UARTxSR)

UARTxSR	7	6	5	4	3	2	1	0
位符号	PERR	FERR	OERR	-	RBSY	RBFL	TBSY	TBFL
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

PERR	同位错误标帜	0: 无同位错误 1: 发生同位错误
RFERR	收发框错误标帜	0: 无收发框错误 1: 发生收发框错误
OERR	溢出错误标帜	0: 无溢出错误 1: 发生溢出错误
RBSY	接收忙碌标帜	0: 接收前或接收工作结束 1: 接收中
RBFL	接收缓存器已满标帜	0: 接收缓存器为空 1: 接收缓存器已满
TBSY	发送忙碌标帜	0: 发送前或发送工作结束 1: 发送中
TBFL	发送缓存器已满标帜	0: 发送缓存器为空 1: 发送缓存器已满

注 1 : 在产生 INTTXD1 中断要求后, TBFL 将自动被清除为“0”, 而当数据写入 TDxBUF 寄存器时, TBFL 将被设定为“1”。

注 2 : UARTxSR 的第 4 位读值为“0”。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

UARTx 接收数据寄存器 (RDxBUF)

RDxBUF	7	6	5	4	3	2	1	0
位符号	RDxDR7	RDxDR6	RDxDR5	RDxDR4	RDxDR3	RDxDR2	RDxDR1	RDxDR0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

UARTx 发送资料寄存器(TDxBUF)

TD0BUF	7	6	5	4	3	2	1	0
位符号	TDxDR7	TDxDR6	TDxDR5	TDxDR4	TDxDR3	TDxDR2	TDxDR1	TDxDR0
读/写	W	W	W	W	W	W	W	W
复位后	0	0	0	0	0	0	0	0

14.2 UART 控制

UART 具有 1 个外围电路时钟控制寄存器 PCKEN1，可在不需使用 UART 功能时节省系统耗电。

设定 PCKEN1<UARTxEN>为"0"可停止 UART 的基本时钟供应，以节省系统耗电；此时 UART 无法使用。设定 PCKEN1<UARTxEN>为"1"可启动 UART 的基本时钟供应，并启动 UART 工作。

复位后，PCKEN1<UARTxEN>会被回复至初始设定"0"，UART 的工作停止。第一次使用 UART 前，必须在程序初始设定中，设定 PCKEN1<UARTxEN>为"1" (在 UART 控制寄存器工作前)。

不要在 UART 工作时改变 PCKEN1<UARTxEN>的设定为"0"，否则 UART 可能发生无法预期的工作状态。

14.3 防止 UARTxCR1 与 UARTxCR2 寄存器改变的保护机制

本产品具有可以保护寄存器不被改变的功能，以确保 UART 的通信设置(比方结束位与同位)在 UART 工作期间不会发生改变。

UARTxCR1 与 UARTxCR2 寄存器的特定位只有在表 14.3 所显示的条件下可被改变。若在保护状态下对寄存器进行写入动作，这些特定位将维持原来数值不变。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Bit to be changed	Function	Conditions that allow the bit to be changed			
		UARTxCR1 <TXE>	UARTxSR <TBSY>	UARTxCR1 <RXE>	UARTxSR <TXE>
UARTxCR1<STOPBT>	Transmit stop bit length	Both of these bits are "0"		-	-
UARTxCR1<EVEN>	Parity selection	All of these bits are "0"			
UARTxCR1<PE>	Parity addition				
UARTxCR1<IRDASEL>	TXD pin output selection	Both of these bits are "0"		-	-
UARTxCR1<BRG>	Transfer base clock selection	All of these bits are "0"			
UARTxCR2<RTSEL>	Selection of number of RT clocks				
UARTxCR2<RXDNC>	Selection of RXD pin input noise rejection time	-	-	Both of these bits are "0"	
UARTxCR2<STOPBR>	Receive stop bit length				

表 14-3 UARTxCR1 与 UARTxCR2 的防止改变保护机制

14.4 收发数据格式

UART 收发数据由以下四种要素组成。由起始位至结束位的数据定义为“收发框”。起始位为 1 位(低电平)，数据共有 8 位。奇偶校验位是透过选择是否进行同位的 UARTxCR1<PE>、与选择奇数同位或偶数同位的 UARTxCR1<EVEN>两者进行设定。结束位的位长度则由 UARTxCR1<STOPBT>设定。

图 14.2 显示收发数据格式，包括：

- 起始位 (1 位)
- 数据 (8 位)
- 奇偶校验位 (可选择偶数校验、奇数校验、或不校验)
- 结束位 (可设定 1 位或 2 位)

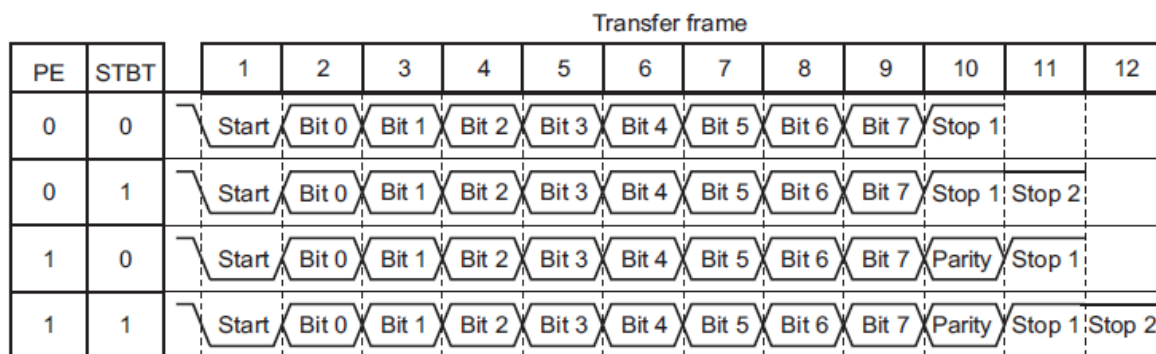


图 14-2 收发数据格式

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

14.5 红外线数据收发模式

TXD 引脚可由 IrDA 输出控制寄存器设定输出具红外线数据格式(IrDA)的数据。将 UARTxCR1<IRDASEL>设定为 "1"可启动 TXD 引脚的红外线数据输出功能。

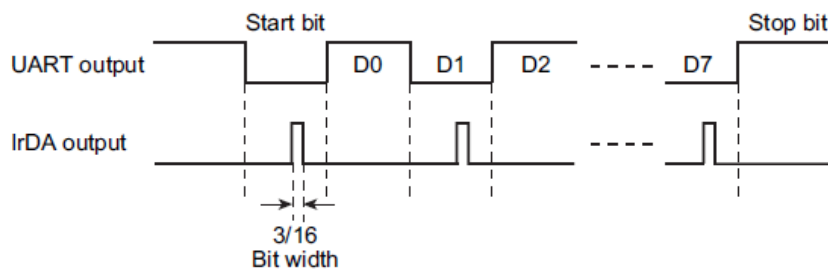


图 14-3 红外线数据格式范例 (一般输出与 IrDA 输出的比较)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

14.6 收发波特率 (Baud Rate)

UART 的收发波特率由 UARTxCR1<BRG>、UARTxDR 与 UARTxCR2<RTSEL>设定。UART0xDR 与 UARTxCR2 <RTSEL>之一般波特率与工作频率的设定方法如下。有关收发波特率的计算，参考“14.6.1 收发波特率计算方法”。

Basic baud rate[baud]	Register	Operating frequency						
		24MHz	16MHz	12MHz	8MHz	4MHz	2MHz	1MHz
128000	UARTxDR[7:0]	0x0A	0x07	0x05	0x03	0x01	0x00	-
	RTSEL[2:0]	0y100	0y011	0y011	0y011	0y011	0y011	-
	Error	(+0.27%)	(+0.81%)	(+0.81%)	(+0.81%)	(+0.81%)	(+0.81%)	-
115200	UARTxDR[7:0]	0x0C	0x08	0x06	-	-	-	-
	RTSEL[2:0]	0y000	0y011	0y010	-	-	-	-
	Error	(+0.16%)	(-0.44%)	(-0.79%)	-	-	-	-
76800	UARTxDR[7:0]	0x12	0x0C	0x09	0x06	-	-	-
	RTSEL[2:0]	0y001	0y000	0y011	0y010	-	-	-
	Error	(-0.32%)	(+0.16%)	(+0.81%)	(-0.79%)	-	-	-
62500	UARTxDR[7:0]	0x17	0x0F	0x0B	0x07	0x03	0x01	0x00
	RTSEL[2:0]	0y000	0y000	0y000	0y000	0y000	0y000	0y000
	Error	0%	0%	0%	0%	0%	0%	0%
57600	UARTxDR[7:0]	0x19	0x11	0x0C	0x08	-	-	-
	RTSEL[2:0]	0y000	0y011	0y000	0y011	-	-	-
	Error	(+0.16%)	(-0.44%)	(+0.16%)	(-0.44%)	-	-	-
38400	UARTxDR[7:0]	0x26	0x19	0x12	0x0C	0x06	-	-
	RTSEL[2:0]	0y000	0y000	0y001	0y000	0y010	-	-
	Error	(+0.16%)	(+0.16%)	(-0.32%)	(+0.16%)	(-0.79%)	-	-
19200	UARTxDR[7:0]	0x4D	0x30	0x26	0x19	0x0C	0x06	-
	RTSEL[2:0]	0y000	0y100	0y000	0y000	0y000	0y010	-
	Error	(+0.16%)	(+0.04%)	(+0.16%)	(+0.16%)	(+0.16%)	(-0.79%)	-
9600	UARTxDR[7:0]	0x92	0x64	0x4D	0x30	0x19	0x0C	0x06
	RTSEL[2:0]	0y100	0y001	0y000	0y100	0y000	0y000	0y010
	Error	(+0.04%)	(+0.01%)	(+0.16%)	(+0.04%)	(+0.16%)	(+0.16%)	(-0.79%)
4800	UARTxDR[7:0]	-	0xC9	0x92	0x64	0x30	0x19	0x0C
	RTSEL[2:0]	-	0y001	0y100	0y001	0y100	0y000	0y000
	Error	-	(+0.01%)	(+0.04%)	(+0.01%)	(+0.04%)	(+0.16%)	(+0.16%)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Basic baud rate[baud]	Register	Operating frequency						
		24MHz	16MHz	12MHz	8MHz	4MHz	2MHz	1MHz
2400	UARTxDR[7:0]	-	-	-	0xC9	0x64	0x30	0x19
	RTSEL[2:0]	-	-	-	0y001	0y001	0y100	0y000
	Error	-	-	-	(+0.01%)	(+0.01%)	(+0.04%)	(+0.16%)
1200	UARTxDR[7:0]	-	-	-	-	0xC9	0x64	0x30
	RTSEL[2:0]	-	-	-	-	0y001	0y001	0y100
	Error	-	-	-	-	(+0.01%)	(+0.01%)	(+0.04%)

Basic baud rate[baud]	Register	Operating frequency
		32.768kHz
300	UARTxDR[7:0]	0x06
	RTSEL[2:0]	0y011
	Error	(+0.67%)
150	UARTxDR[7:0]	0x0D
	RTSEL[2:0]	0y011
	Error	(+0.67%)
134	UARTxDR[7:0]	0x0E
	RTSEL[2:0]	0y001
	Error	(-1.20%)
110	UARTxDR[7:0]	0x11
	RTSEL[2:0]	0y001
	Error	(+0.30%)
75	UARTxDR[7:0]	0x1C
	RTSEL[2:0]	0y010
	Error	(+0.44%)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

14.6.1 收发波特率计算方法

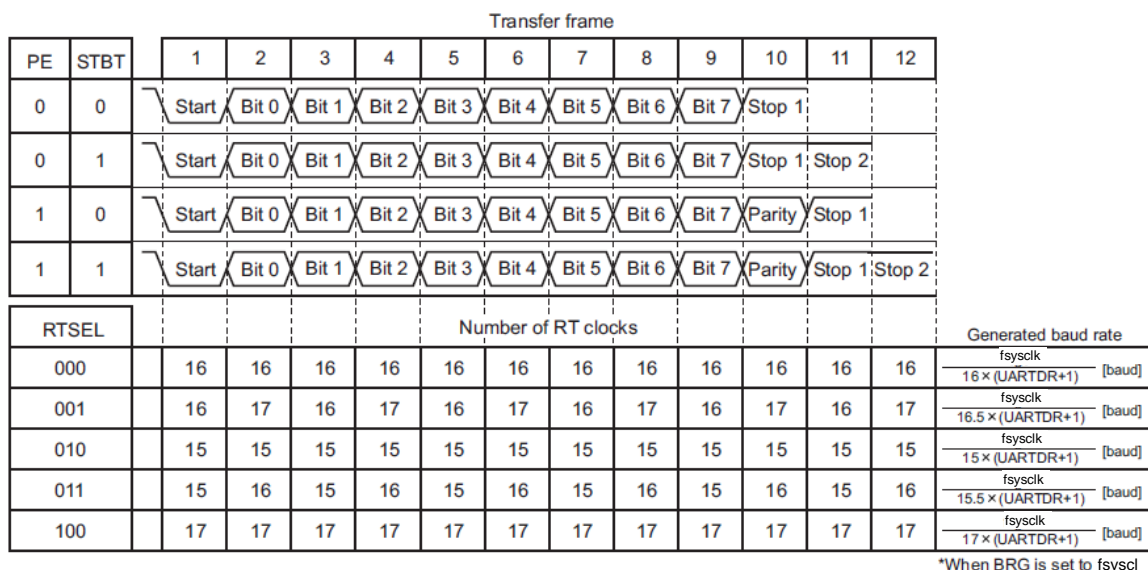


图 14-4 以 UARTxCR2<RTSEL>微调波特率

发送/接收数据之位宽度可透过 UARTxCR2<RTSEL>的设定进行微调。每位的 RT 时钟数可由 UARTxCR2<RTSEL>设定在 15 至 17 个时钟数的范围内。RT 时钟为收发基本时钟，来自计数 UARTxCR1 <BRG>所设定之时钟数总共 (UARTxDR 设定值)+1 次所得之脉冲。特别当 UARTxCR2<RTSEL>设定为“001”或“011”时，两种 RT 时钟将在每个位之间轮流，以生 RTx15.5 时钟数与 RTx16.5 时钟数的伪波特率(pseudo baud rate)。收发框中每位的 RT 时钟数如图 14.4 所示。

例如，当 fsysclk 为 16MHz、UART0CR2<RTSEL>设定为“000”且 UART0DR 设定为“0x0C”，则波特率可以图 14.4 的公式计算而得为 $f_{sysclk} / (16 \times (UART0DR + 1)) = 76923$ (baud)。

这些设定将产生接近 76800(baud)之波特率(+0.16%)。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

UARTxCR2<RTSEL>与 UARTxDR 设定值之计算

UARTxDR 的工作频率与波特率设定值可由图 14.5 之计算公式加以计算。例如，欲以 fsysclk=16MHz 产生基本波特率 38400 (baud)，计算每个 UARTxCR2<RTSEL>设定下的 UARTxDR 设定值，并向上补偿至产生图 14.6 所示之波特率。基本上，透过选择 UARTxCR2<RTSEL>中有最小波特率误差的设定值来产生波特率。在图 14.5 中，UARTxCR2<RTSEL> = “000”的设定在所有计算出的波特率中有最小的误差，因此所产生的波特率为 38462 (baud) (+0.16%)、可对应至基本波特率 38400 (baud)。

RTSEL	UARTxDR 设定值
000	$UARTxDR = \frac{fsysclk (Hz)}{16 \times A (baud)} - 1$
001	$UARTxDR = \frac{fsysclk (Hz)}{16.5 \times A (baud)} - 1$
010	$UARTxDR = \frac{fsysclk (Hz)}{15 \times A (baud)} - 1$
011	$UARTxDR = \frac{fsysclk (Hz)}{15.5 \times A (baud)} - 1$
100	$UARTxDR = \frac{fsysclk (Hz)}{17 \times A (baud)} - 1$

表 14-4 UART0DR 计算方式 (当 BRG 设为 FSYSCLK)

RTSEL	UARTxDR 计算	Baud 率产生
000	$UARTxDR = \frac{16000000 (Hz)}{16 \times 38400(baud)} - 1 \approx 25$	$\frac{16000000 (Hz)}{16 \times (25+1)} = 38462 \text{ baud } (+0.16\%)$
001	$UARTxDR = \frac{16000000 (Hz)}{16.5 \times 38400(baud)} - 1 \approx 24$	$\frac{16000000 (Hz)}{16.5 \times (24+1)} = 38788 \text{ baud } (+1.01\%)$
010	$UARTxDR = \frac{16000000 (Hz)}{15 \times 38400(baud)} - 1 \approx 26$	$\frac{16000000 (Hz)}{15 \times (26+1)} = 39506 \text{ baud } (+2.88\%)$
011	$UARTxDR = \frac{16000000 (Hz)}{15.5 \times 38400(baud)} - 1 \approx 25$	$\frac{16000000 (Hz)}{15.5 \times (25+1)} = 39702 \text{ baud } (+3.39\%)$
100	$UARTxDR = \frac{16000000 (Hz)}{17 \times 38400(baud)} - 1 \approx 24$	$\frac{16000000 (Hz)}{17 \times (24+1)} = 37647 \text{ baud } (-1.96\%)$

表 14-5 UART0DR 计算范例

注：与基本波特率的误差精准度应在时钟源的频率差异范围内，各时钟源的频率差异规格请见“3.2.2 时钟源”。即使误差在时钟源的频率差异范围内，UART 通讯仍可能因外部控制装置(比方：个人计算机)与通讯引脚之振荡晶体和负载电容的频率误差而失败。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

14.6.2 如何以 TMRA 作为 UART 的时钟源

TMRA 对应 UART:

TMRA2-->UART0

TMRA3-->UART1

TMRA4-->UART2

(a) 范例环境:

System clock: 24MHz

TMRA2

UART0

(b) 说明:

对于较低的波特率 (例如 600bps) , 如果系统时钟为 24Mhz , 由于 UART 最大除频数为除 8, 所以 UART 的时钟源最小只能是 $24\text{Mhz}/8=3\text{Mhz}$, 由公式可以算出 UART0DR 的值将大于 255 ($3000000/16 * 600 = 312.5$) , 超出 UART0DR 允许的最大值 0xFF。

为了解决此问题, 我们可以将 TMRA2 设定成 PPG 输出, 因为 TMRA 的 TMRA2DR 寄存器宽度有 16bits, 所以可以使用 TMRA2 当成 UART0 的时钟源来产生较低的 UART 波特率。(亦适用于 TMRA3 与 UART1, TMRA4 与 UART2)

(c) 以下说明如何设定:

TMRA2 (输出给 UART0 的时钟 6 MHz)

UART0 (波特率 600bps)

设定步骤如下 (TMRA 16bit 设定方式):

```
// initialize TMRA2
PCKEN0_TMRA2 = 1;      // TMRA2 Enable
TMRA2MD1 = 0xEE;      // TCK=101 (2^2) · TCM=110 (PPG)
TMRA2CFG_TCFG = 2;    //TMRA2 = 16bit 模式
TMRA2DR0 = 0x5E;
TMRA2DR1 = 0x02;      // TMAR2DR=0x025E (PPG 週期)
TMRA2PWM0 = 0x2F;
TMRA2PWM1 = 0x01;     // TMRA2PWM=0x012F (PPG 占空比)

TMRA2CR1 = 0x00;
TMRA2CR1_RUN = 1;

// set TMRA2 as UART0 clock source
UART0CR1_BRG = 1;     //TMRA2 為 uart0 時鐘源
UART0CR2_RTSEL = 0;  //0~4 目前改變此數值不影響結果
```

14.7 数据取样方法

基本上各 UART 通道的取样方法皆相同，以下以 UART0 作为范例展开说明。

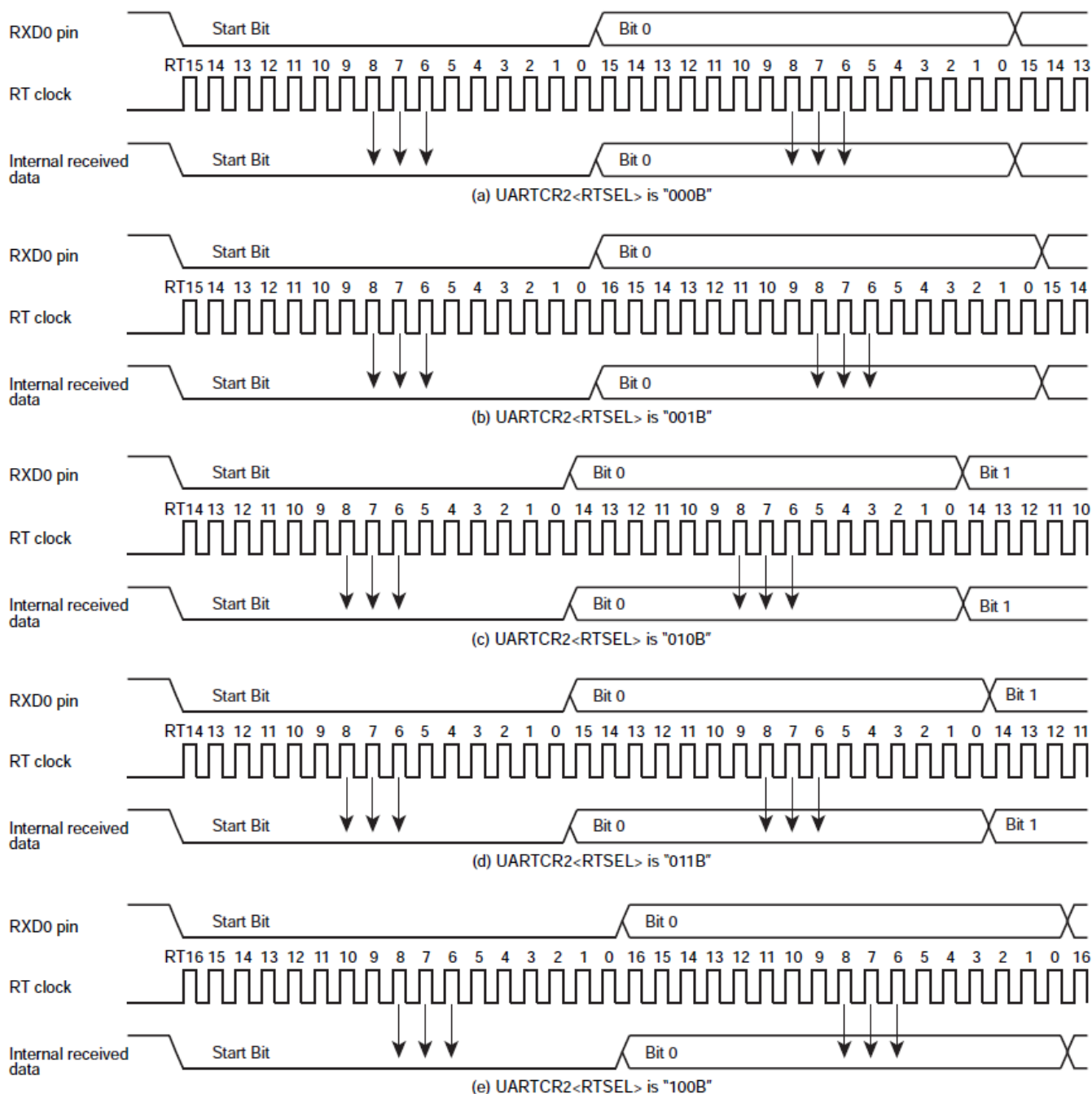


图 14-5 各种 UART0CR2<RTSEL>设定下的数据取样

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

当 RXD0 侦测到输入脉冲的下降沿时，UART 接收控制线路便开始 RT 时钟计数。每位计数 15 到 17 个 RT 时钟，每个时钟可表示为 RT_n ($n = 16$ 到 0)。有 17 个 RT 时钟的位会计数 RT16 到 RT0。有 16 个时钟的位会计数 RT15 到 RT0。有 15 个时钟的位会计数 RT14 到 RT0 (以上均为向下计数)。在计数 RT8 到 RT6 期间，UART 接收控制线路会对 RXD1 引脚的输入脉冲以多数决定的方式进行取样。在 3 次取样中侦测到 2 次以上相同电平将被作为该位的数据。

RT 时钟数可由 $UART0CR2<RTSEL>$ 设定为 15 到 17 的范围内。然而即使 RT 时钟数有所改变，取样工作一律在 RT8 到 RT6 之间进行。(图 14-5)

若由于噪声影响等因素，在启始位的取样中侦测到“1”，RT 时钟的计数将会停止，并终止数据接收工作。而后，当 RXD0 再次侦测到输入脉冲的下降沿时，RT 时钟的计数会重新开始，数据接收工作也会由启始位重新开始。

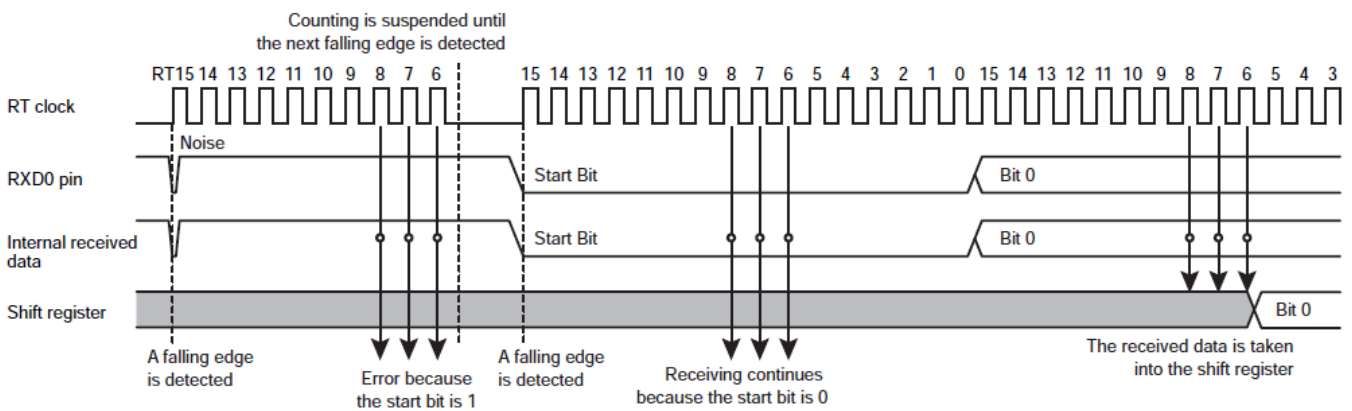


图 14-6 启始位的取样

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

14.8 接收数据的噪声抑止

基本上各 UART 信道的噪声抑止原理皆相同，以下以 UART0 作为范例展开说明。

当 UART0CR2<RXDNC>设定允许噪声抑止时，会被视为正常信号的脉冲时间如表 14-6 所示。

RXDNC	Noise rejection time [s]	Time of pulses to be regarded as signals
00	No noise rejection	-
01	$(UART0DR+1)/(Transfer\ base\ clock\ frequency)$	$2 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$
10	$2 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$	$4 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$
11	$4 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$	$8 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$

表 14-6 接收数据的噪声抑止时间

注：收发基本时钟频率为 $UARTxCRI<BRG>$ 设定之时钟频率。

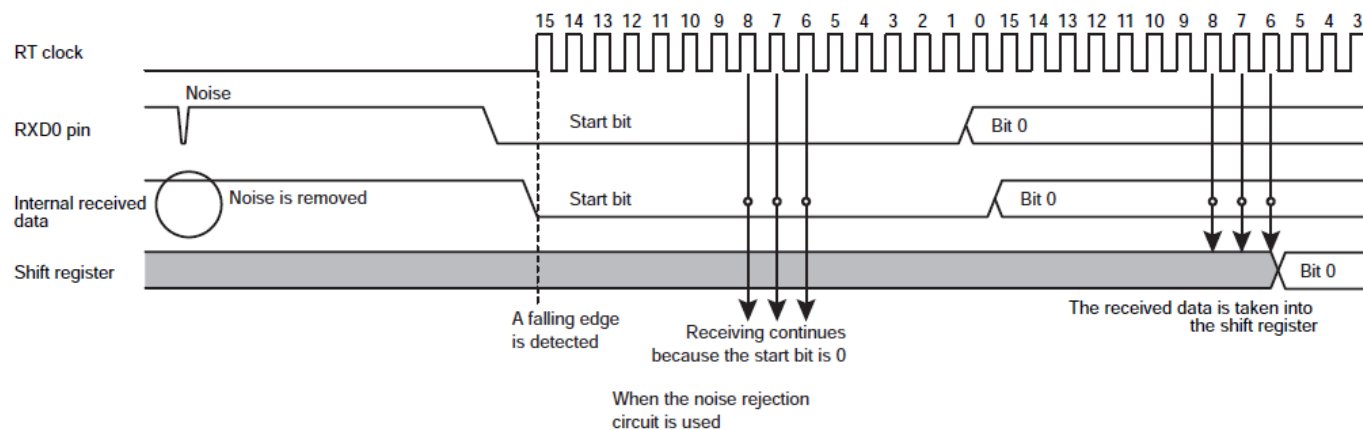


图 14-7 接收数据的噪声抑止

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

14.9 发送/接收工作

基本上各 UART 通道的发送/接收工作方式皆相同，以下以 UART0 作为范例展开说明。

14.9.1 资料发送工作

设定 UART0CR1<TXE>为"1"。检查 UART0SR<TBFL>是否为"0"，再将数据写入发送数据缓存器 TD0BUF。对 TD0BUF 写入数据的动作会将 UART0SR<TBFL>设定为"1"，并将数据传送到发送移位寄存器，将数据依序由 TXD0 引脚输出。输出数据报含启始位、结束位(由 UART0CR1<STBT>设定为 1 位或 2 位)与奇偶校验位(若指定加入同位)。以 UART0CR1<BRG>、UART0CR2<RTSEL>与 UART0DR 选择数据收发波特率。开始数据发送时，发送缓存器已满标帜 UART0SR<TBFL>将清除为"0"，并产生 INTTXD0 中断要求。

注 1：数据写入 TD0BUF 后，如在前一笔数据传送到移位寄存器以前发生新一笔数据的写入，新写入的数据将覆盖前一笔数据，并传送至移位寄存器。

注 2：在表 14.5 的条件下，TXD0 引脚输出将依 UART0CR1<IRDASEL>的设定固定于低电平或高电平。

条件	TDX	
	IRDASEL = "0"	IRDASEL = "1"
当 UART0CR1<TXE> = "0"	高电平	低电平
从 UART0CR1<TXE> 写入"1" 至 传输的数据写入 TD0BUF		

表 14-7 TXD0 引脚输出

14.9.2 数据接收工作

设定 UART0CR1<RXE>为"1"。当透过 RXD0 引脚接收数据时，所接收的数据将传送至接收数据缓存器 RD0BUF。此时，所接收的数据报含启始位、结束位(1 位或 2 位)与奇偶校验位(若指定加入同位)。接收到结束位(1 位或 2 位)时，数据本身(8 位)将被传送至接收数据缓存器 RD0BUF。之后接收缓存器已满标帜 UART0SR<RBFL>会被设定为"1"，并产生 INTRXD1 中断要求。以 UART0CR1<BRG>、UART0CR2<RTSEL>与 UART0DR 选择数据收发波特率。

如果接收数据时发生溢出错误，该数据将被舍弃而不会传送到接收数据缓存器 RD0BUF。原本存放在 RD0BUF 的数据将不受影响。

14.10 状态标识

基本上各 UART 信道的状态标识显示/操作皆相同，以下以 UART0 作为范例展开说明。

14.10.1 同位错误标识

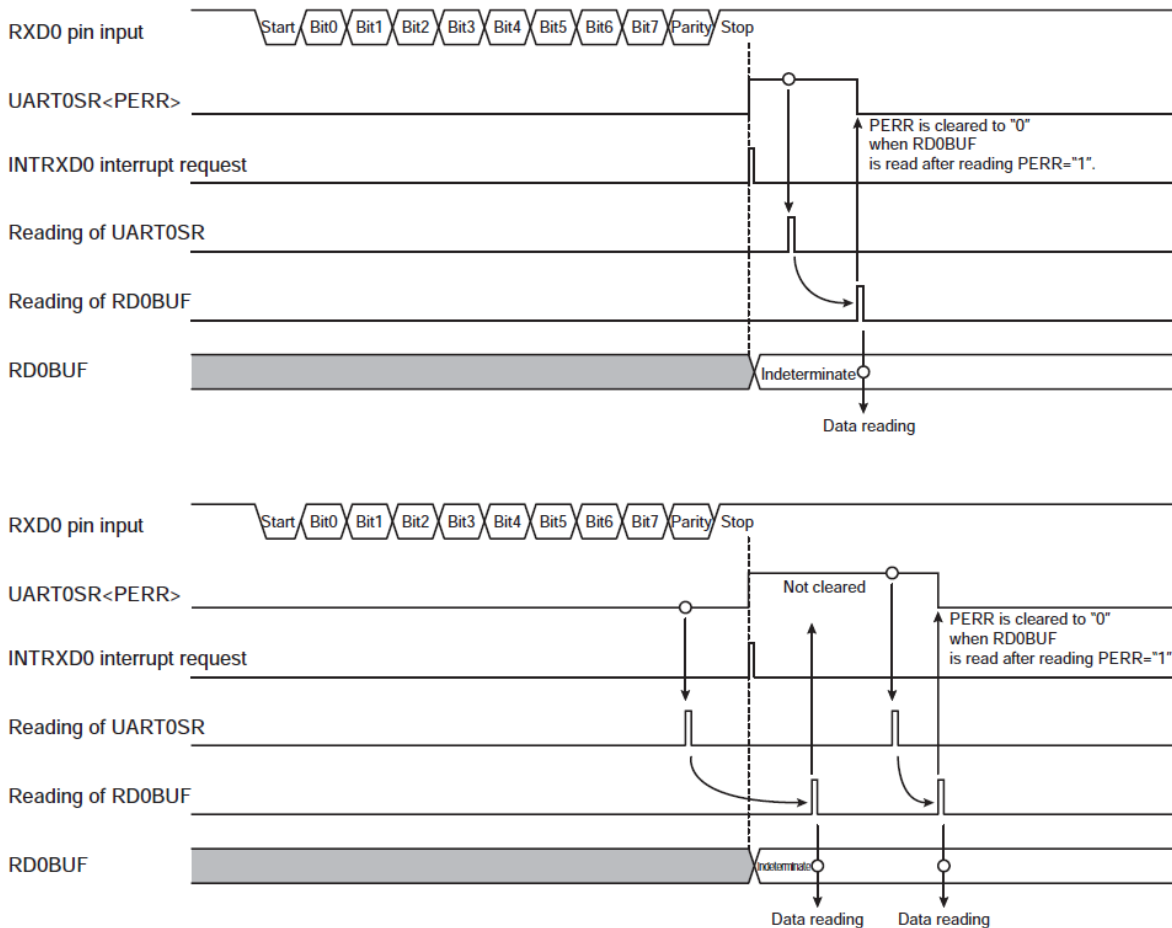


图 14-8 同位错误的发生

当收数据位的奇偶性与接收数据奇偶校验位不同时，同位错误标识 UART0SR<PERR>将被设定为“1”。此时将发出 INTRXD0 中断要求。

如果 UART0SR<PERR>为“1”，在 UART0SR 被读取后，UART0SR<PERR>将在后续 RD0BUF 被读取后清空为“0”。(此时 RD0BUF 数值将处于未定义状态)

如果在 UART0SR 被读取后将 UART0SR<PERR>设定为“1”，则在后续 RD1BUF 被读取后，UART0SR <PERR>将不会清空为“0”。这种状况下，UART0SR<PERR>将于 UART0SR 再次被读取、且后续 RD0BUF 也被读取后被清空为“0”。

14.10.2 数据框错误标识

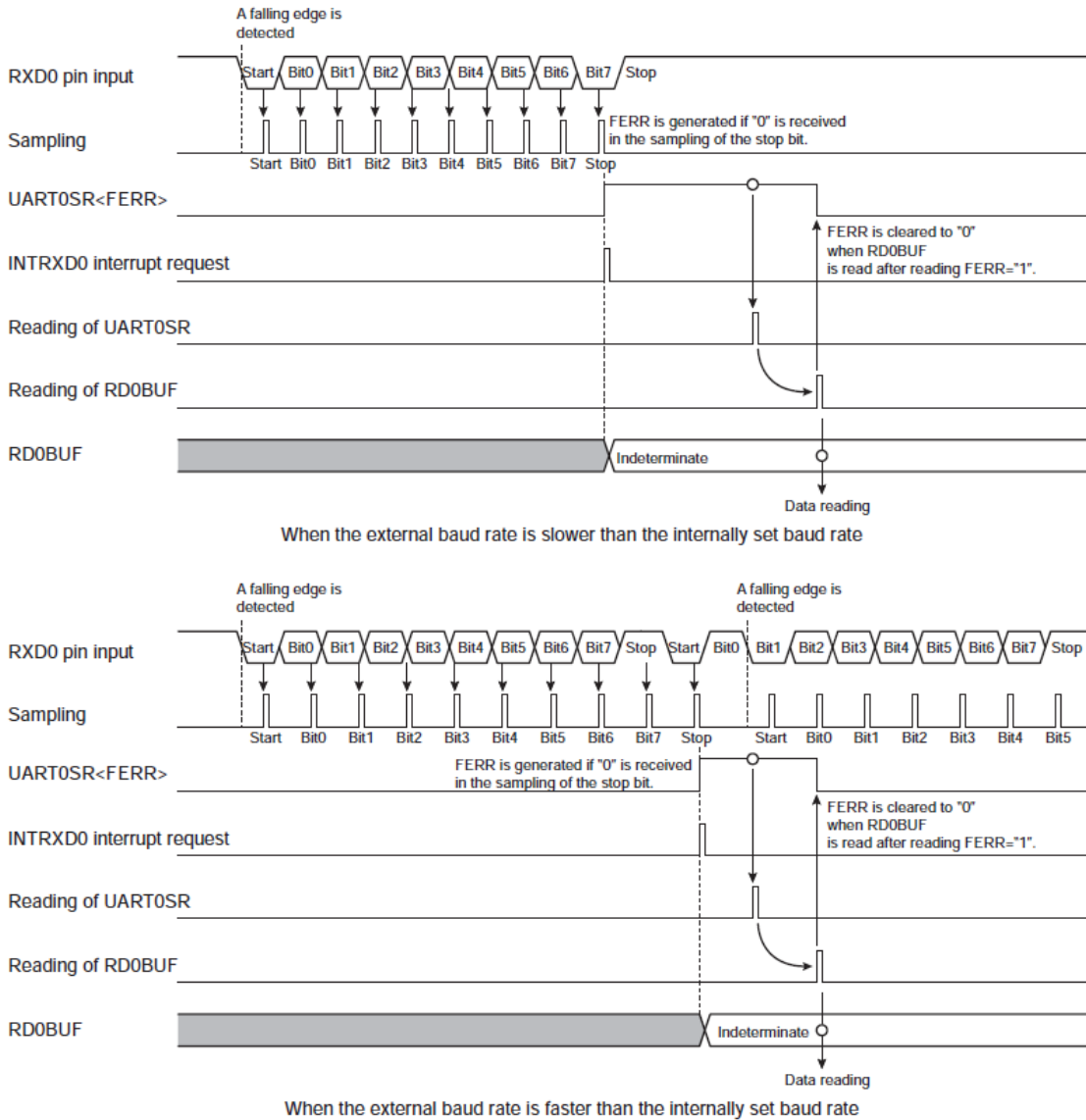


图 14-9 数据框错误的发生

若内部与外部的波特率不同、或由于 RXD0 引脚受噪声影响等因素使接收数据之结束位取样为“0”，数据框错误标识 UART0SR<FERR>将被设定为“1”。此时将发出 INTRXD0 中断要求。

如果 UART0SR<FERR>为“1”，在 UART0SR 被读取后，UART0SR<FERR>将在后续 RD0BUF 被读取后清空为“0”。

如果在 UART0SR 被读取后将 UART0SR<FERR>设定为“1”，则在后续 RD0BUF 被读取后，UART0SR <FERR>将不会清空为“0”。这种状况下，UART0SR<FERR>将于 UART0SR 再次被读取、且后续 RD0BUF 也被读取后被清空为“0”。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

14.10.3 溢出错误标帜

若在上一笔接收数据由 RD0BUF 读出之前完成所有数据的接收工作，溢出错误标帜 UART0SR <OERR> 将被设定为“1”，并产生 INTRXD0 中断要求。发生溢出错误时所接收的数据将被舍弃，并保存上一笔接收数据。而后，如果在 UART0SR <OERR> 仍为“1”时接收到数据，将不在产生 INTRXD0 中断要求。所接收的数据仍将被舍弃。(图 14- 10)

被舍弃的接收数据将无法侦测到同位错误或数据框错误(因为并未设定错误标帜)。也就是说，在读取 UART0SR 期间如果这两种错误和溢出错误一起被侦测到，则这两种错误是上一笔接收数据(存放于 RD0BUF 的数据)所发生。(图 14- 11)

如果 UART0SR<OERR>为“1”，在 UART0SR 被读取后，UART0SR<OERR>将在后续 RD0BUF 被读取后清空为“0”。(图 14- 12)

如果在 UART0SR 被读取后将 UART0SR<OERR>设定为“1”，则在后续 RD0BUF 被读取后，UART0SR <OERR>将不会清空为“0”。这种状况下，UART0SR<OERR>将于 UART0SR 再次被读取、且后续 RD0BUF 也被读取后被清空为“0”。图 14- 12)

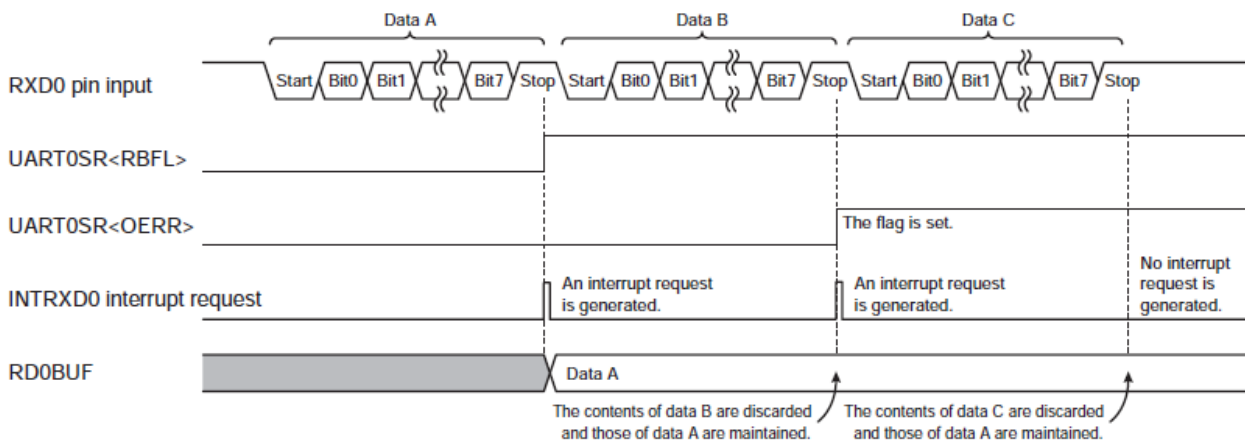
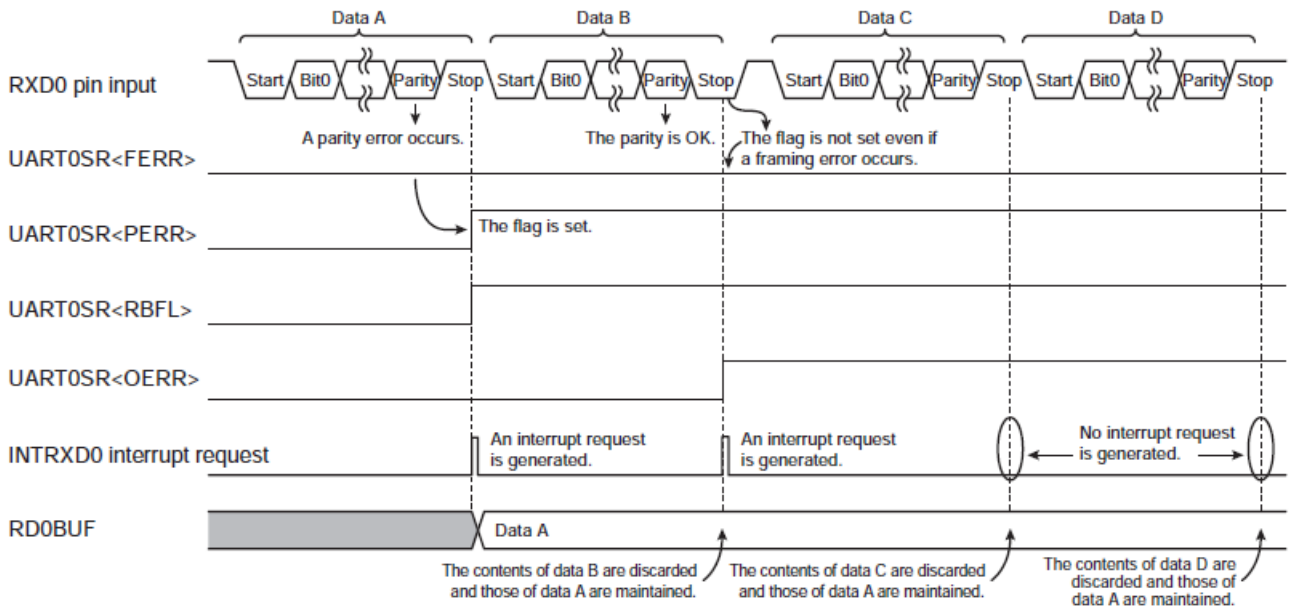
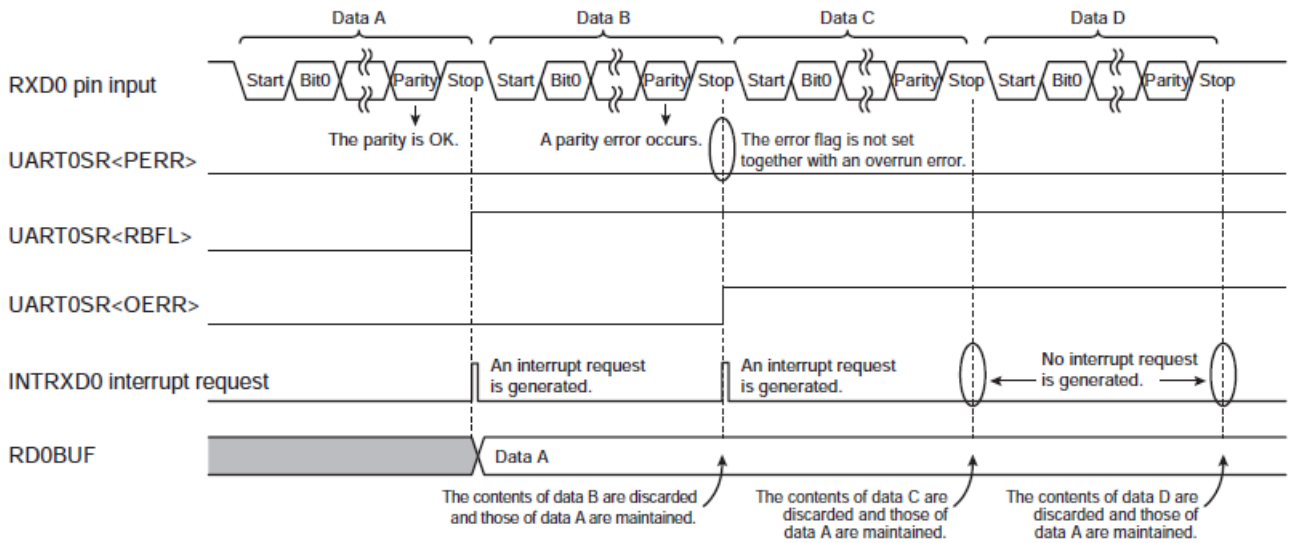


图 14- 10 INTRXD0 中断要求的产生

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------



When a parity error occurs in the first received data and a framing error occurs in the second data



When a parity error occurs in the second received data

图 14-11 发生溢出错误时的数据框/同位错误标识

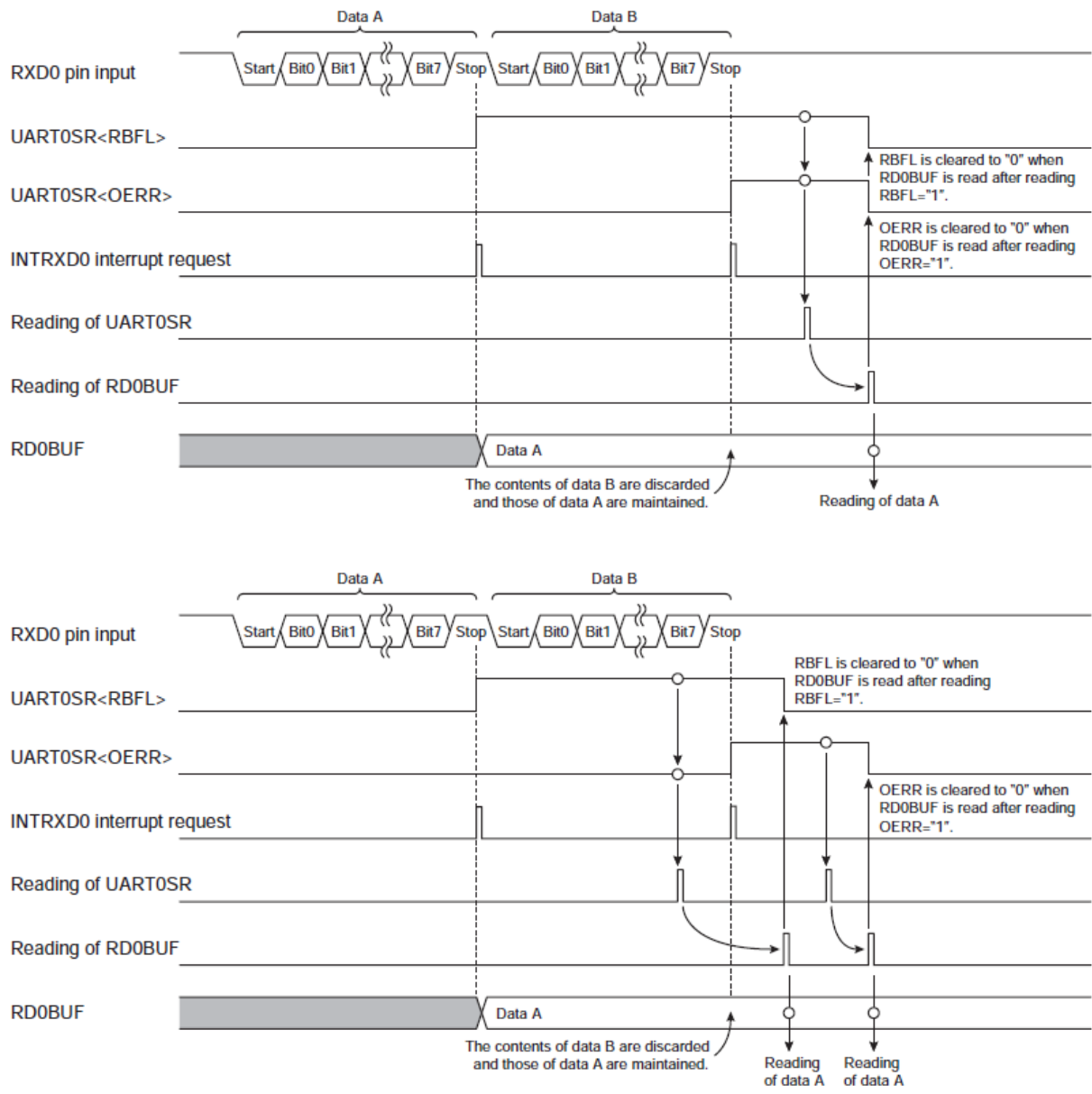


图 14- 12 溢出错误标识的清除

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

14.10.4 接收缓存器已满标帜

将接收数据存入 RDOBUF 将使 UART0SR<RBFL>被设定为“1”。

如果 UART0SR<RBFL>为“1”，在 UART0SR 被读取后，UART0SR<RBFL>将在后续 RDOBUF 被读取后清空为“0”。

如果在 UART0SR 被读取后将 UART0SR<RBFL>设定为“1”，则在后续 RDOBUF 被读取后，UART0SR <RBFL>将不会清空为“0”。这种状况下，UART0SR<OERR>将于 UART0SR 再次被读取、且后续 RDOBUF 也被读取后被清空为“0”。

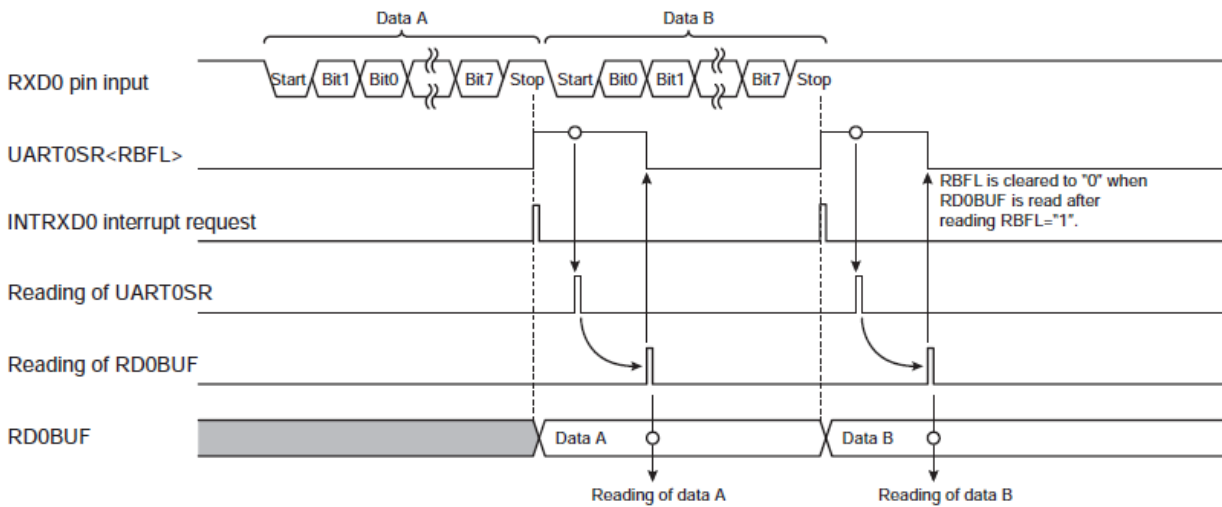


图 14- 13 接收缓存器已满的发生

14.10.5 发送忙碌标帜

若发送工作完成且 TD0BUF 无等候中的数据(当 UART0SR <TBFL>为“0”)，UART0SR <TBSY>将被清空为“0”。当发送工作于数据写入 TD0BUF 之后重新开始时，UART0SR <TBSY>将被设定为“1”。此时将产生 INTTXD0 中断要求。

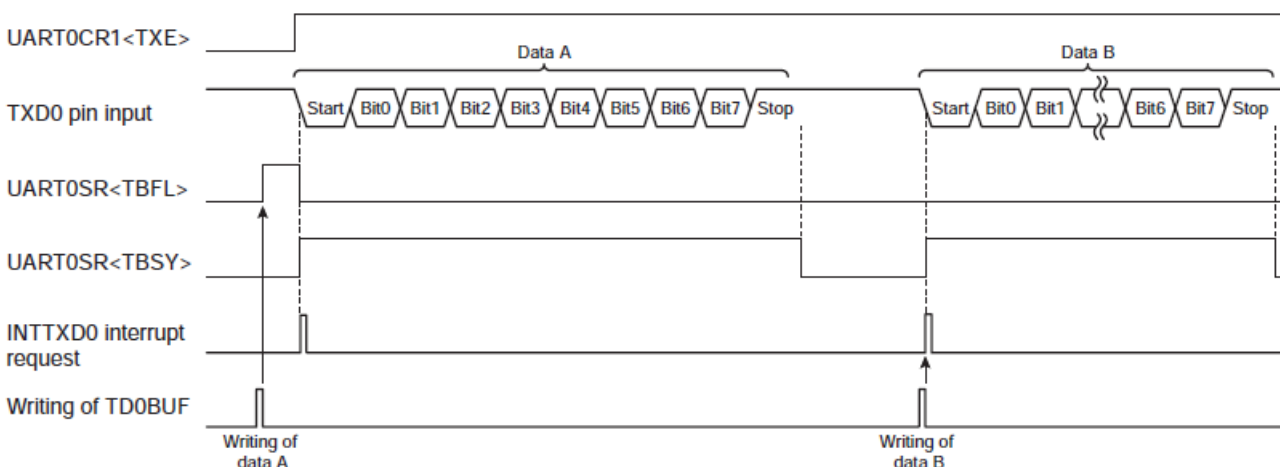


图 14- 14 发送数据缓存器已满的发生与发送忙碌标帜

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

14.10.6 发送缓存器已满标帜

当 TD0BUF 中没有数据、或当 TD0BUF 中的数据已传送到发送移位寄存器且开始发送工作时，UART0SR <TBFL> 将被清空为“0”。时将产生 INTTXD0 中断要求。

将数据写入 TD0BUF 将使 UART0SR <TBFL> 被设定为“1”。

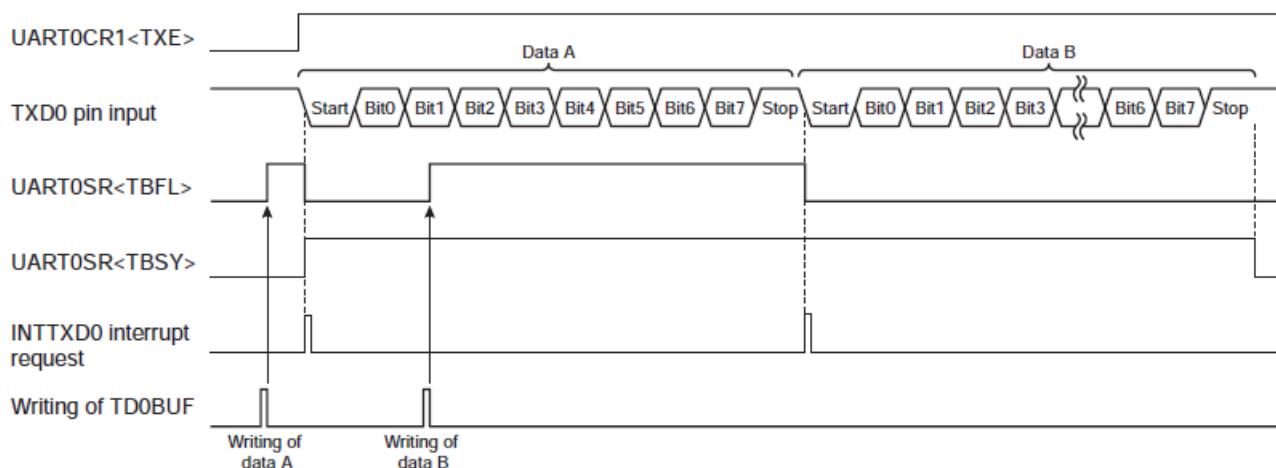


图 14- 15 发送缓存器已满的发生

14.11 接收流程

图 14-16 显示 UART0 接收流程的范例。流程中的标帜判断细节如表 14-8 与表 14-9 所示。

侦测到数据框错误或同位错误时，表示接收资料数值有错，应进行错误处理工作，比方将 RD0BUF 所读取的接收数据舍弃、并再一次接收数据。

侦测到溢出错误时，表示有 1 笔或多笔数据的接收工作尚未完成。由于未能被接收的资料笔数无法判定，应进行错误处理工作，比方从头开始再次接收数据。基本上，溢出错误通常发生在内部软件处理无法跟上数据收发速度的情况下。建议降低收发波特率、或修改软件以进行数据流量控制。

注：若 INTRXD0 中断要求 使用了数个中断，这些中断应在 UARTISR 与 RD1BUF 完成读取后才被允许。

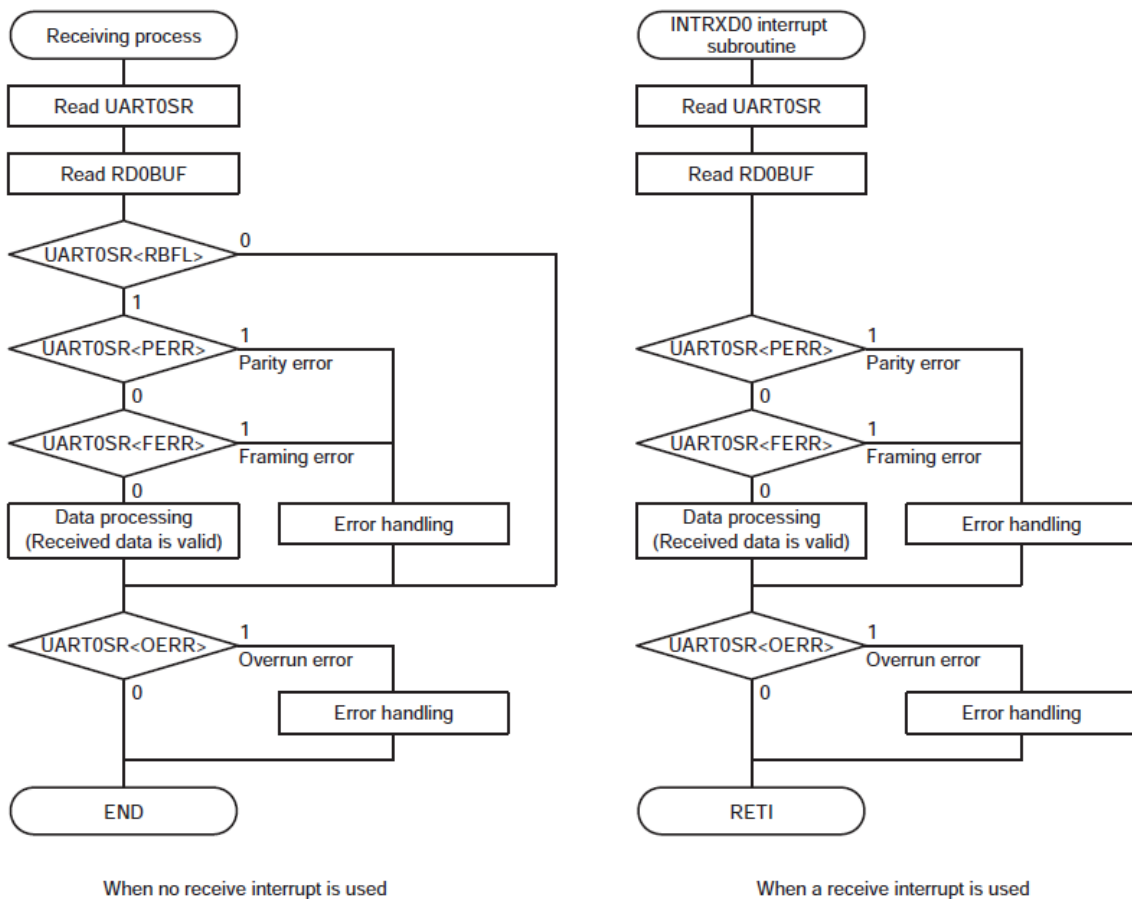


图 14-16 接收流程范例

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

RBFL	FERR/PERR	OERR	State
0	-	0	Data has not been received yet.
0	-	1	Some pieces of data could not be received during the previous data receiving process (Receiving of next data is completed in the period from when UART0SR is read to when RD0BUF is read in the previous data receiving process.)
1	0	0	Receiving has been completed properly.
1	0	1	Receiving has been completed properly, but some pieces of data could not be received.
1	1	0	Received data has erroneous value(s).
1	1	1	Received data has erroneous value(s) and some pieces of data could not be received.

表 14-8 不使用接收中断时的标识判断

FERR/PERR	OERR	State
0	0	Receiving has been completed properly.
0	1	Receiving has been completed properly, but some pieces of data could not be received.
1	0	Received data has erroneous value(s).
1	1	Received data has erroneous value(s) and some pieces of data could not be received.

表 14-9 使用接收中断时的标识判断

15. 串行总线接口(SBI)/I2C

本产品有一组串行总线接口(SBI)。此串行总线接口支持串行通信,并符合 I2C 总线标准。具备时钟同步与仲裁功能,支持多主控设备模式-多主控设备连结到同一总线,也支持通用数据格式。

15.1 通信格式

15.1.1 I2C 总线

I2C 总线透过 SDA 与 SCL 链接到不同设备上,且能同时与多设备通讯。

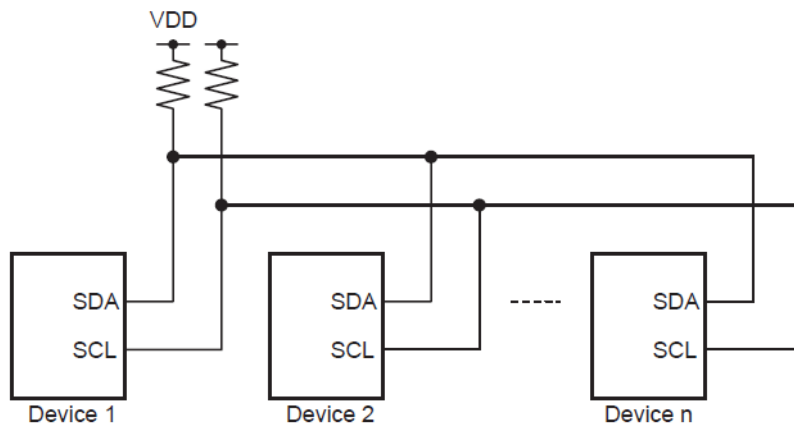


图 15-1 装置连接图

在主机设备与从属设备间进行通信。

主机设备会发送起始条件，从属设备地址，传输方向位与停止条件到总线上的从属设备，进行数据传送与接收。

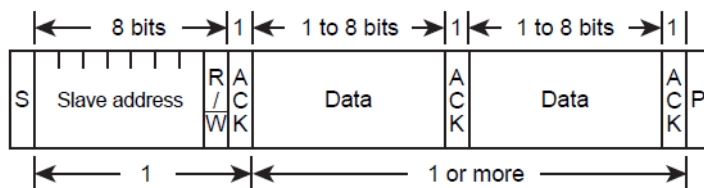
从属设备侦测到从主机设备传来的这些条件,并且传送与接收数据。

I2C 总线数据格式可透过串行总线接口连接,如图 15-2 所示。

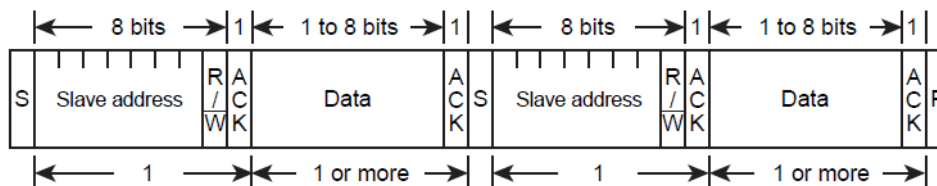
依据 I2C 串行总线标准,串行总线接口不支持以下功能：

1. 起始位
2. 10 位地址
3. SDA 与 SCL 下降前沿斜率控制

(a) Addressing format



(b) Addressing format (with restart)



S : Start condition
 R/W : Direction bit
 ACK : Acknowledge bit
 P : Stop condition

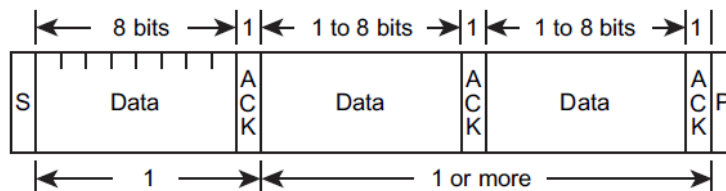
图 15-2 I2C 总线数据格式

15.1.2 通用数据格式

主控与从属设备间通讯使用通用数据格式。

在通用数据格式里,从属设备地址与位传输方向位将会视为数据处理。

(a) Free data format



S : Start condition
 R/W : Direction bit
 ACK : Acknowledge bit
 P : Stop condition

图 15-3 通用数据模式

15.2 框图

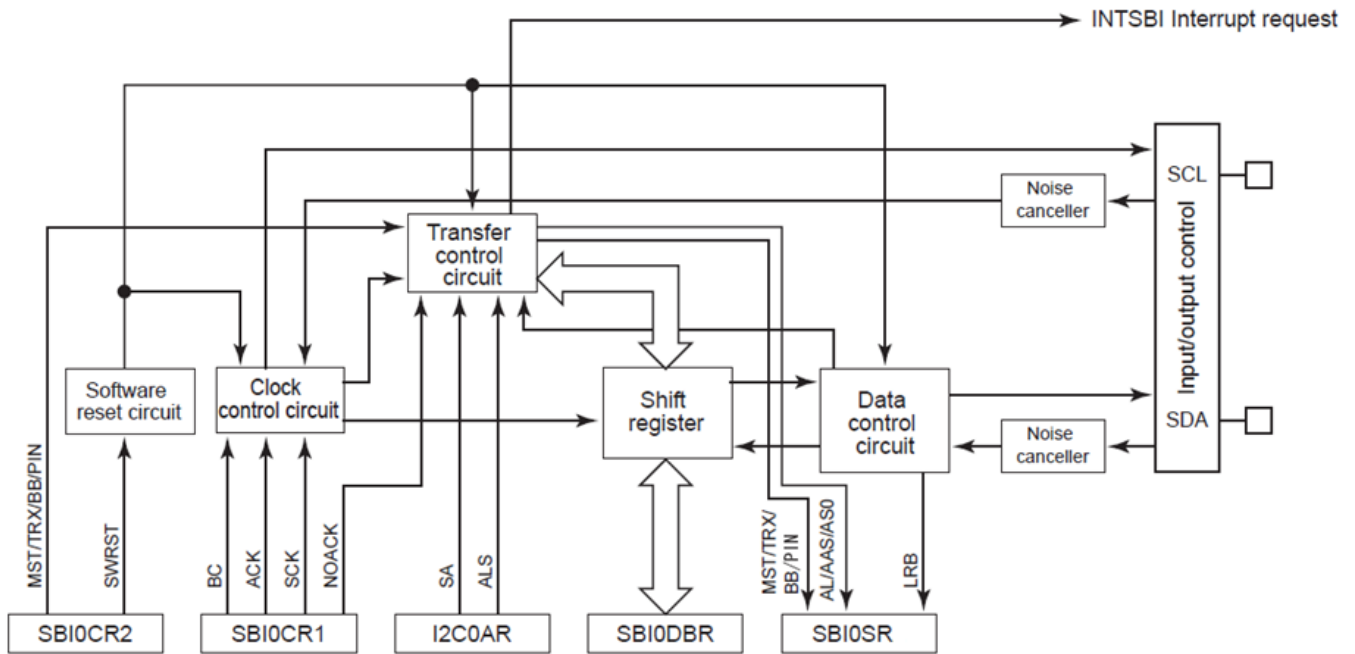


图 15-4 串行总线接口 0 (SBI0)方框图

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

15.3 控制

以下寄存器通常用于控制串行总线接口并监督运作状态

- 串行总线接口控制寄存器 1 (SBIOCR1)
- 串行总线接口控制寄存器 2 (SBIOCR2)
- 串行总线接口状态寄存器(SBIOSR)
- 串行总线接口数据缓存器(SBIOBR)
- I2C 总线地址寄存器(I2COAR)

此外,串行总线接口有外围电路时钟允许寄存器,当串行总线接口没有被使用时,可选择不开启时钟,可节省功耗。

地址	寄存器	描述
0x017A	PCKEN2	外围电路时钟允许寄存器 2
0x00B8	SBIOCR1	串行总线接口 0 控制寄存器 1
0x00B9	SBIOCR2	串行总线接口 0 控制寄存器 2
0x00BA	SBIOSR	串行总线接口 0 状态寄存器
0x00BB	I2COAR	I2C 总线 0 地址寄存器
0x00BC	SBIODBR	串行总线 0 数据缓存器

以上表格为寄存器地址,并于后续进行各个寄存器的说明。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

外围电路时钟允许寄存器2(PCKEN2)

PCKEN2	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	SIO0	reserved	reserved	reserved	I2C0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

SIO0	SIO0 允许控制	0: 禁止 1: 允许
I2C0	I2C0 允许控制	0: 禁止 1: 允许

注 1 : 当 I2C0 清除为“0”,提供串行总线接口的时钟将停止.同时,写入串行总线接口控制寄存器的数据将无效.当串行总线接口被使用时,将 I2C0 设为“1”,然后将数据写入串行总线接口控制寄存器。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

串行总线接口x控制寄存器1(SBIOCR1)

SBIOCR1	7	6	5	4	3	2	1	0
位符号	BC[2:0]			ACK	NOACK	SCK[2:0]		
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

BC[2:0]	数据的位数量	BC	ACK=0		ACK=1	
			传送数据的时钟数	数据的位数量	传送数据的时钟数	数据的位数量
		000	8	8	9	8
		001	1	1	2	1
		010	2	2	3	2
		011	3	3	4	3
		100	4	4	5	4
		101	5	5	6	5
		110	6	6	7	6
111	7	7	8	7		
ACK	产生与计算应答信号的时钟数	ACK	主控模式		从属模式	
		0:	不产生应答信号的时钟数, 当数据传输完成时产生一个中断。 (无应答模式)		当数据传输完成时产生一个中断。 (无应答模式)	
		1:	产生一个应答信号使用的时钟数, 当数据传输完成时产生一个中断。 (应答模式)		加计一个应答信号用的时钟数, 当数据传输完成时产生一个中断。 (应答模式)	
NOACK	设定/中断从属地址比对与“广播呼叫”之侦测	NOACK	主控模式		从属模式	
		0:	无效		启动从属地址比对与“广播呼叫”之侦测	
		1:	无效		中断从属地址比对与“广播呼叫”之侦测	
SCK[2:0]	主控模式的频率 宽度 从属模式的频率 脚位 (SCL pin)解放时间	SCK	t _{HIGH} (m/fsysclk)	t _{LOW} (n/fsysclk)	fscI@fsysclk=24MHz	
			m	n		
		000	9	12	1143KHz	
		001	11	14	960KHz	
		010	15	18	727KHz	
		011	23	26	490KHz	
		100	39	42	296KHz	
		101	71	74	166KHz	
		110	135	138	88KHz	
111	263	266	45KHz			

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

注 1 : f_{sysclk} = 系统时钟[Hz], f_{clk} = 低速时钟 [Hz]。

注 2 : 当开始条件产生时,或停止条件产生,或数据传输进行时,不要变更寄存器的内容。在开始条件产生前,或者在为了停止数据传送而产生的中断程序处理完之前,将数据写入寄存器。

注 3 : 当软件复位后,SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, I2CxAR, SBIOSR 寄存器将回到初始值。

注 4 : 当运作切换为深眠,睡眠或一般模式(低速时钟)时,SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, I2COAR, SBIODBR 寄存器将回到初始值。

注 5 : 当 f_{sysclk} 为 4MHz, SCK 不应被设为“000”, “001” 或“010”,因为这都无法满足总线标准的快速模式。

串行总线接口0控制寄存器2 (SBIOCR2)

SBIOCR2	7	6	5	4	3	2	1	0
位符号	MST	TRX	BB	PIN	SBIM	-	SWRST[1:0]	
读/写	W	W	W	W	W	R	W	W
复位后	0	0	0	1	0	0	0	0

MST	选择主控/从属	0:从属 1:主控
TRX	选择传输/接收	0:接收 1:传输
BB	产生开始/停止条件	0:产生停止条件(当 MST、TRX 与 PIN 为“1”) 1:产生开始条件(当 MST、TRX 与 PIN 为“1”)
PIN	取消中断服务需求	0:- (无法由软件清除此位) 1: 取消中断服务需求
SBIM	串行总线接口模式寄存器	0: 端口模式 1:串行总线接口模式
SWRST[1:0]	软件复位起始位	先写入“10”,再写入“01”,以启动软件复位

注 1 : 当 SBIOCR2<SBIM>为“0”时,除了 SBIOCR2<SBIM>以外,其它数据写入 SBIOCR2 是无效的。将数值写入 SBIOCR2 前,在 SBIOCR2<SBIM>写入“1”以启动串行总线模式。

注 2 : 当开始条件产生,或停止条件产生,或数据传输进行时,不要变更 SBIOCR2<SWRST>之外的其它 bit 内容。在开始条件产生前或为了停止数据传送而产生的中断程序处理完之前,将数据写入寄存器。

注 3 : 在切换端口模式到串行总线接口之前,确定端口是在高电位状态。在切换串行总线接口模式到端口模式之前,确定总线是睡眠的。

注 4 : SBIOCR2 是只能写入的寄存器,且不能透通过“读-修改-写”指令,像是做位元运算一样进行存取。

注 5 : 当软件复位后,SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, I2COAR, SBIOSR2 寄存器将回到初始值。

注 6 : 当运作切换为深眠,睡眠 0 或一般模式(低速时钟)时,SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, I2COAR, SBIODBR 寄存器将回到初始值。

注 7 : SBIOCR2 [2] 复位值必须为 0

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

串行总线接口0状态寄存器 (SBIOSR)

SBIOSR	7	6	5	4	3	2	1	0
位符号	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	1	0	0	0	*

MST	主控/从属状态检测	0:从属 1:主控
TRX	传输/接收状态检测	0:接收 1:传输
BB	总线状态检测	0:总线为自由状态 1: 总线为忙碌状态
PIN	中断服务需求检测	0:需求中断 1:释放中断需求
AL	仲裁失败检测	0: - 1:仲裁失败检测
AAS	从属地址配对检测	0: - 1:从属地址配对或“广播呼叫”检测
AD0	“广播呼叫”检测	0: - 1: “广播呼叫”检测
LRB	最后接收位检测/监控	0: 最后接收位为“0” 1: 最后接收位为“1”

注 1 : 当 SBIOCR2<SBIM>为“0”时, SBIOSR 将被初始化。

注 2 : 启动软件复位后, SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit, 与 SBIOCR1, I2COAR, SBIOSR2 寄存器将被初始化。

当软件复位后, SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit, 与 SBIOCR1 以及 I2COAR, SBIOSR2 寄存器将回到初始值。

注 3 : 当工作模式切换为深眠, 睡眠或一般模式(低速时钟)时, SBIOCR2 寄存器除了 SBIOCR2<SBIM>以外的 bit, 与 SBIOCR1, I2COAR, SBIODBR 寄存器将被初始化。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

I²C 总线0地址寄存器(I2COAR)

I2COAR	7	6	5	4	3	2	1	0
位符号	SA[6:0]							ALS
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

SA[6:0]	从属地址设定	从属模式下的从属位址
ALS	通信格式选择	0: I2C 总线模式 1:通用数据格式

注 1 : I2COAR<SA>不要设为"0x00"。如果将 I2COAR<SA>设为"0x00",当 I2C 总线标准起始位("0x01")在从属模式被接收时,从属设备地址将被视为符合。

注 2 : 当开始条件产生时或停止条件产生或数据传送进行中,请勿变更寄存器内容。在开始条件产生时或在停止数据传递的中断需求产生到生效的期间,将数据写入寄存器。

注 3 : 软件复位后, SBIOCR2 寄存器除了 SBIOCR2<SBIM>以外的 bit,与 SBIOCR1, I2COAR 和 SBIOSR2 将回到初始值。

注 4 : 当工作模式转换为深眠,睡眠或一般模式(低速时钟)时, SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, I2COAR, SBIODBR 寄存器将回到初始值。

串行总线0数据缓存器(SBIODBR)

SBIODBR	7	6	5	4	3	2	1	0
位符号	SBIODBR[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 写入传输数据将以最高有效位(bit 7)开始。

注 2 SBIODBR 有独立写入与读写缓存器,且写入的数据不能被读出。因此 SBIODBR 不能透过“读-修改-写”指令,像是位元运算,进行存取。

注 3 : 当开始条件产生,或停止条件产生,或数据传输进行时,不要变更寄存器内容。在开始条件产生前或是停止数据传输的中断请求产生到生效的期间,将数据写入寄存器。

注 4 : 将空数据"0x00"写入 SBIODBR, 以设定 SBIOCR2<PIN>为"1"。则写入 0x00 以外的数据,都将造成后续所接收的数据是不正确的。

注 5 : 当工作模式切换为深眠,睡眠或一般模式(低速时钟)时, SBIOCR2 除了 SBIOCR2<SBIM>以外的寄存器内容,与 SBIOCR1, I2COAR, SBIODBR 寄存器将被初始化。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

15.4 功能

15.4.1 低功耗功能

串行总线接口具外围电路时钟允许寄存器 2(PCKEN2), 当串行总线接口未使用时,可节省功耗。

将 PCKEN2<I2C0>设为“0”, 提供串行总线接口的基本时钟会暂停以减少功耗,但这同时也会使得串行总线接口无法使用. 将 PCKEN2<I2C0 >设为“1”, 会启动串行总线接口的基本时钟,并可使用外部中断。

在复位之后, PCKEN2< I2C0 >将被初始为“0”,且会导致串行总线接口无法使用.当第一次使用串行总线接口时,请务必在程序初始设定时(串行总线接口控制寄存器运作前)将 PCKEN2< I2C0 >设为“1”。

当串行总线接口运作时,不要将 PCKEN2< I2C0 >变更为“0”, 否则串行总线接口将会不可预测。

15.4.2 选取从属地址配对检测与广播呼叫检测

在从属模式,SBI0CR1<NOACK>可启动或不启动从属地址检测与广播呼叫配对检测。

将 SBI0CR1<NOACK>清除为“0”, 可启动从属地址配对检测与广播呼叫检测。

将 SBI0CR1<NOACK>设为“1”.将使后续从属地址配对检测与广播呼叫配对检测无效.由主控设备传送的从属地址与广播呼叫将被忽略.且没有应答回传,也不会产生中断需求。

在主动模式, SBI0CR1<NOACK>将被忽略且对工作没有影响。

注: 在从属模式下进行数据传输时, 若将 SBI0CR1<NOACK>清除为“0”,则 SBI0CR1<NOACK>仍会维持为“1”并且回传一数据传输的应答信息。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

15.4.3 选取数据传输的时钟数与选取应答或单一应答模式

1 字节数据传输包含数据与一应答信号.当数据传输完成后,将会产生一中断需求。

SBIOCR1<BC>用来选取数据的位数,以进行后续传送与接收. 此应答模式是透过设定 SBIOCR1<ACK>为“1”开始进行。

主动装置将产生时钟给应答信号,并在接收模式下产出一应答信号.从属装置会计算时钟脉冲给应答信号,并在接收模式下产出应答信号。

SBIOCR1<ACK>设定为“0”,将启动无应答模式。

主控装置不会产生时钟脉冲给应答信号.从属装置也不会计算时钟脉冲给应答信号。

15.4.3.1 数据传输的时钟脉冲数

数据传输的时钟脉冲数由 SBIOCR1<BC>与 SBIOCR1<ACK>进行设定。

SBIOCR1<ACK>设为“1”,开始启动应答模式。

在应答模式里,主控装置对应答信号,将产生对应于数据位数的时钟脉冲,且产生一中断需求。

从属设备计算对应数据位数的时钟脉冲,并对应答信号计算时钟脉冲,并且产生一中断需求。

SBIOCR1<ACK>设为“0”,将启动无应答模式。

在无应答模式,主控装置对应数据位数所产生时钟脉冲,并产生一中断需求。

从属装置对应数据位计算时钟脉冲,且产生一中断需求。

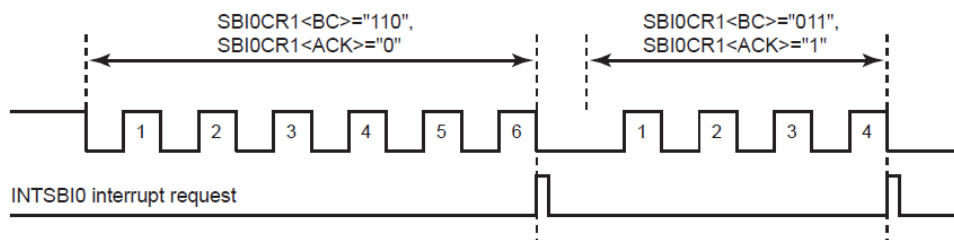


图 15- 5 数据传输时的时钟脉冲与 SBIOCR1<BC>, SBIOCR1<ACK>(图以 SBIO 作为范例)

数据传输的时钟脉冲与 SBIOCR1<BC>与 SBIOCR1<ACK>的关系如表 15- 1 所列

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

BC	ACK=0 (Non-acknowledgment mode)		ACK=1 (Acknowledgment mode)	
	Number of clocks for data transfer	Number of data bits	Number of clocks for data transfer	Number of data bits
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

表 15- 1 数据传输的时钟脉冲与 SBIOCR1<BC>, SBIOCR1<ACK>间的关系

开始条件后，BC 被清除为“000”。

因此，从属地址与位方向将以 8 位单位传送。在其他状况下，BC 将维持设定值。

注：SBIOCR1<ACK>设定,必须在传送数据或是接收到从属地址之前。若 SBIOCR1<ACK>被清除,从属地址配对检测与传输方向位将不会正常运作。

15.4.3.2 产出应答信号

在应答模式，在应答信号的时钟脉冲期间，SDA 脚位会进行以下变更。

(a) 主动模式

传输模式，在应答信号的时钟脉冲期间，将释放 SDA 脚位以接收从接收器发出的应答信号。在接收模式下，SDA 脚位将被拉低，且应答信号在应答信号时钟脉冲期间产生一应答信号。

(b) 从动模式

当所接收的从属地址与设定于 I2COAR<SA>从属地址检测符合,或者接收到广播呼叫，SDA 脚位被拉低，且在应答信号的时钟脉冲期间产生一应答信号。

在从属地址配对检测后，进行数据传输期间，或在传输模式下接收到广播呼叫，将释放 SDA 脚位元以在应答信号的时钟脉冲期间从接收器接收一应答信号。

接收模式下，SDA 脚位将被拉低并产生一应答信号。表 15- 2 为应答模式下 SCL 与 SDA 的状态(以 SCL0 与 SDA0 为范例)。

注：在无应答模式下,并未产生或计算信号的时钟脉冲,因此没有应答信号产出。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Mode	Pin	Condition	Transmitter	Receiver
Master	SCL0	-	Add the clocks for an acknowledge signal.	Add the clocks for an acknowledge signal
	SDA0	-	Release the pin to receive an acknowledge signal	Output the low level as an acknowledge signal to the pin
Slave	SCL0	-	Count the clocks for an acknowledge signal	Count the clocks for an acknowledge signal
	SDA0	When the slave address match is detected or a "GENERAL CALL" is received	-	Output the low level as an acknowledge signal to the pin
		During transfer after the slave address match is detected or a "GENERAL CALL" is received	Release the pin to receive an acknowledge signal	Output the low level as an acknowledge signal to the pin

表 15-2 应答模式下 SCL0 与 SDA0 的状态(以 SCL0 与 SDA0 为范例)

15.4.4 串行时钟

15.4.4.1 时钟源

SBI0CR1<SCK>用来设定高或低串行时钟周期，并在主动模式下输出。

SCK	$t_{HIGH}(m/fsysclk)$	$t_{LOW}(n/fsysclk)$
	m	n
000	9	12
001	11	14
010	15	18
011	23	26
100	39	42
101	71	74
110	135	138
111	263	266

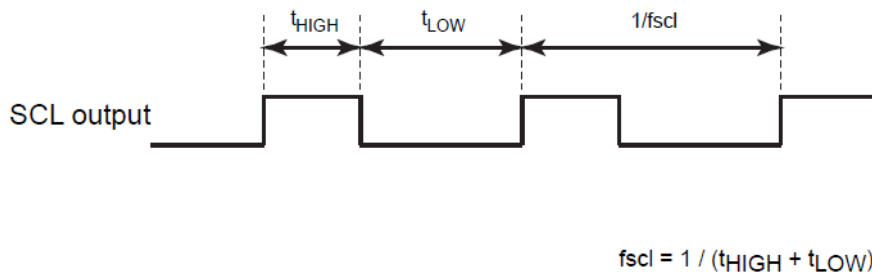


图 15-6 SCL 输出

注：有一些例子,当高周期与从 SBI0CR1<SCK>选取的 t_{HIGH} 不同时,当 SCL 上升前缘因总线的负载能力而趋缓时。

在主动模式下,开始条件产生时的持留时间为 t_{HIGH} [s],当停止条件产生时的设定时间为 t_{HIGH} [s]。

在从动模式中,SBI0CR2<PIN>设为“1”,当 SCL 脚位释放前,消失的时间为 t_{LOW} [s]。

在主动与从动模式下,不管 SBI0CR1<SCK>设定,最高周期必须为 $3/fsysclk[s]$ 以上,且低周期必须为 $5/fsysclk[s]$ 或比外部时钟长。

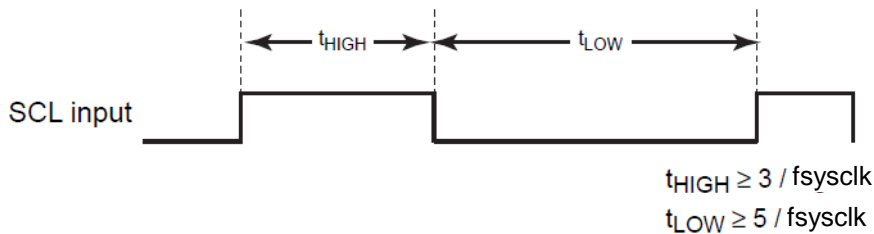


图 15-7 SCL 输入

15.4.4.2 时钟同步

具有 I2C 功能的脚位元，由于 IO 口结构的关系，为了驱动总线，进行线与，一个将要 clock 脉冲下拉到低电平的主机设备，将会使其余正在输出高电平的主机设备无效。所以，主机输出高电平时必须先进行检测以保持一致。

串行总线接口线路具时钟同步功能。此功能确保即使同时有 2 个以上的主控在同个总线，也能进行正常传输。

以下例子，解释当总线同时存在两个主控时的同步时钟程序。

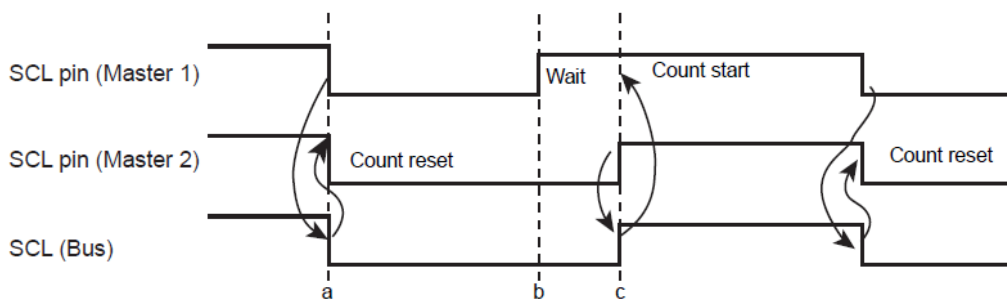


图 15-8 同步时钟范例

主控 1 在 a 点将 SCL 下拉到低电位，SCL 线将成为低电位。在检测到此状况后，主控 2 将重新计算高电位的时钟脉冲并设定 SCL 到低电位。

主控 1 在 b 点完成时钟脉冲计算，并设定 SCL 为高电位。因为主控 2 将保持 SCL 线在低电位，主控 1 将等到数完高电位时钟脉冲。当主控 2 在 c 点设定时钟脉冲为高电位，并侦测 SCL 线在高电位，主控 1 将开始计算高电位时钟脉冲。然后，处于完成计算高电位时钟脉冲的主控，将下拉 SCL 线到低电位。

总线的时钟脉冲决定于与总线链接的主控装置中，具最短高电位周期与最长低电位周期的主控装置。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

15.4.5 选取主控/从属

要设定主控装置, SBI0CR2<MST>须设为“1”。

要设定从属装置, SBI0CR2<MST>须清除为“0”。当总线停止条件或者被检测到仲裁丢失, SBI0CR2<MST>将被硬件清除为“0”。

15.4.6 选取传输/接收

要将装置设定为传送端, SBI0CR2<TRX>应被设为“1”。若要将装置设为接收者,则将 SBI0CR2<TRX>清除为“0”。

I2C 总线在从属模式进行数据传输, 如果主控装置的方向位(读/写)为“1”,则透过硬件将 SBI0CR2<TRX>设为“1”; 若方向位为“0”时,则清除为“0”。

在主导模式,收到一从从属装置上回传的应答信号后, 如果传输方向位为“1”,SBI0CR2<TRX>将透过硬件清除为“0”,若传输方向位为“0”的话,则透过硬件将,SBI0CR2<TRX>设定为“1”。当应答信号没有回传时,则维持现行的状态。

当总线为停止条件或检测到仲裁丢失时, SBI0CR2<TRX>透过硬件将清除为“0”。表格 15.3 表示 SBI0CR2<TRX>在不同模式下的变更条件,与变更后的 SBI0CR2<TRX>值。

注: 当 SBI0CR1<NOACK>为 1,从属地址符合检测,且广播呼叫检测无效,则 SBI0CR2<TRX>将维持不变。

Mode	Direction bit	Changing condition	TRX after changing
Slave mode	"0"	A received slave address is the same as the value set to I2CxAR<SA>	"0"
	"1"		"1"
Master mode	"0"	ACK signal is returned	"1"
	"1"		"0"

表 15-3 不同模式下 SBI0CR1<TRX>的运用

当串行总线接口线路在自由数据格式运作, 一从属地址与方向位将不被辨识.在产生开始条件后,将视为数据传送. SBI0CR2<TRX>不会被硬件改变。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

15.4.7 生成开始/停止条件

当 SBIOSR2<BB>为“0”，一从属地址与 SBIODBR 所设的方向位将在开始条件产生后输出；当 SBIOCR2 <MST>, SBIOCR2<TRX>, SBIOCR2<BB>与 SBIOCR2<PIN>写入“1,将产生开始条件.”必须在开始条件产生前,将 SBIOCR1<ACK>设为“1”。

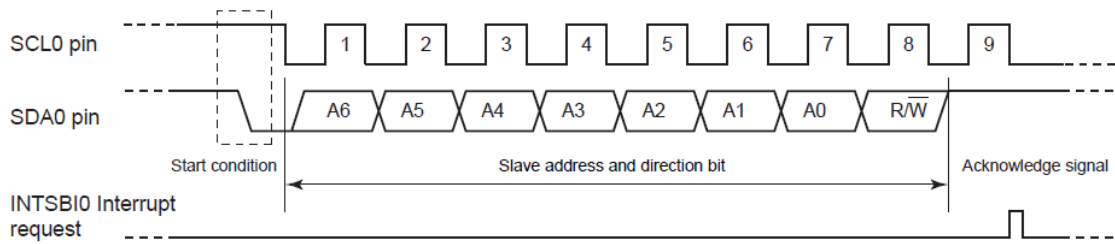


图 15-9 产生开始条件与从属地址(以 SBI0 为例)

当 SBIOCR2<BB>为“1”，将 SBIOCR2<MST>, SBIOCR2<TRX>与 SBIOCR2<PIN>写入“1”,且 SBIOCR2<BB>写入“0”,后续将产生总线停止条件。

当停止条件生成时, SCL 线将被其他装置下拉到低电位,在 SCL 线释放后,生成停止条件。

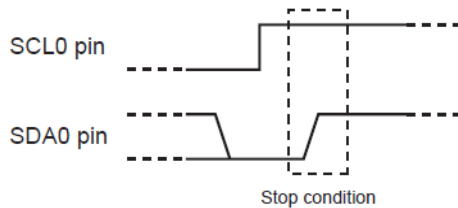


图 15-10 停止条件产生(以 SBI0 为例)

总线状态可透过读取 SBIOSR2<BB>内容而显示.当总线开始条件被检测(总线为忙碌状态), SBIOSR2<BB>为“1”;当停止条件被检测(总线为自由状态),则将 SBIOSR2<BB>清除为“0”。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

15.4.8 中断服务需求发布与释放

当串行总线接口线路在主控模式,并传输 SBI0CR1<BC>与 SBI0CR1<ACK>完成的时钟组,将成生串行总线接口中断需求(INTSBI0)。

在从属模式, 当上述与下列条件被满足时,将成生串行总线接口中断需求(INTSBI0)。

- 在应答信号的结尾,当接收到的从属地址符合 I2C0AR<SA>设定值,且 SBI0CR1<NOACK>设为"0"。
- 在应答信号的结尾,当广播呼叫被接收且 SBI0CR1<NOACK>设为"0"。
- 在传送或接收结尾,在配对从属地址之后或接收到广播呼叫。

当串行总线接口中断需求发生时, SBI0CR2<PIN>清除为"0".在 SBI0CR2<PIN>为"0"的期间, SCL0 将被下拉为低电位。

将数据写入到 SBI0DBR,以设定 SBI0CR2<PIN>为"1".从 SBI0CR2<PIN>设为"1",到 SBI0 被释放的时间为 t_{LOW} 。

虽然 SBI0CR2<PIN>可透过软件设定为"1",但 SBI0CR2<PIN>无法由软件清除为"0"。

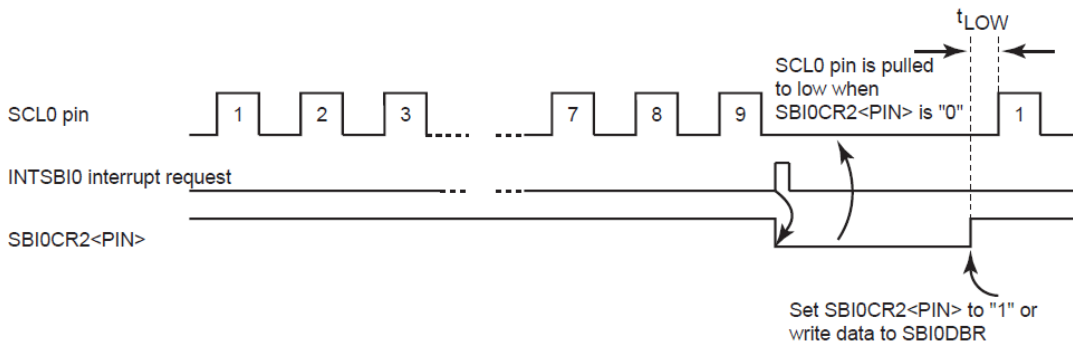


图 15- 11 SBI0CR2<PIN>与 SCL0 脚位(以 SBI0 为范例)

15.4.9 设定串行总线接口模式

SBI0CR2<SBIM>一般为设定串行总线接口模式。

将 SBI0CR2<SBIM>设为"1",以选择串行总线接口模式; 若设定为"0"则选择端口模式。

将 SBI0CR2<SBIM>设为"1",以设定串行总线接口模式.在设定串行总线接口模式前,先确认串行总线接口脚位元元在高电位,且写入"1"到 SBI0CR2<SBIM>。

确认总线是自由状态后切换为端口模式,且设定 SBI0CR2<SBIM>为"0"。

注 :当 SBI0CR2<SBIM>为"0",除了 SBI0CR2<SBIM>之外,不能在 SBI0CR2 写入资料.在设定 SBI0CR2 之前,将"1"写入 SBI0CR2<SBIM>以启动串行总线接口模式。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

15.4.10 软件复位

串行总线接口线路具有软件复位功能,可初始化串行总线接口线路.若串行总线接口线路被锁住,举例而言,若有噪声时,则可透过此功能初始化。

在 SBIOCR2<SWRST>写入"10"然后写入"01",将进行软件复位。

在软件复位后,串行总线接口线路被初始化,且除了 SBIOCR2<SBIM>以外的 SBIOCR2 寄存器内容,与 SBIOCR1,I2C0AR<SA>,及 SBIOSR2 都被初始化。

15.4.11 仲裁丢失检测功能

当总线同时存在多主控装置时,为了确保传输的数据内容,会执行总线仲裁程序。

SDA 线的的数据将用于 I2C 总线仲裁。

以下为一总线仲裁程序的范例.当两个主控装置同时存在时于总在线时,当主控 1 输出"1"且主控 2 输出"0",SDA 线是线与,且 SDA 线被主控 2 下拉到低电位.当总线的 SCL 线在 b 点被上拉,从属装置将从 SDA 线读到数据,此为主控 2 的数据,主控 1 所传输的数据将为无效的.此时主控 1 的状态称为"仲裁丢失".当一主控装置在仲裁丢失后将释放 SDA 脚位与 SCL 脚位,以不影响其他主控的数据传输.当有超过一个主控输出相同数据在第一个字时,仲裁将接续在第二个字进行。

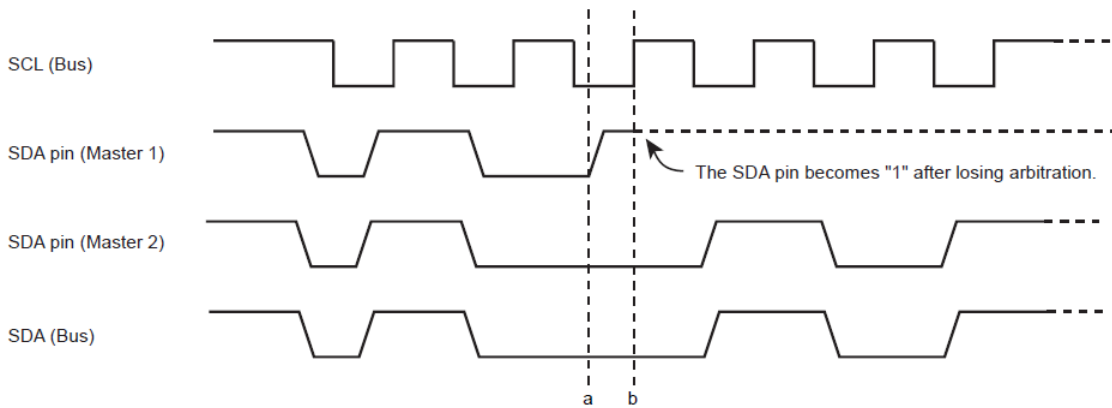


图 15- 12 仲裁丢失

当 SDA 在 SCL 上升沿时,对串行总线接口线路与 SDA 总线的程度比较.若电平是不匹配的则仲裁丢失且 SBIOSR2<AL>设为"1"。

当 SBIOSR2<AL>设为"1", SBIOCR2<MST>与 SBIOCR2<TRX>清除为"0" 且模式变更为从属接收模式.因此,在 SBIOSR2<AL>设定为"1"之后,串行总线接口线路在数据传输时将停止时钟脉冲输出,. 在数据传输完成后, SBIOCR2<PIN>将清除为"0",且 SCL 将下拉到低电平。

当数据写入 SBIODBR,或是从 SBIODBR 读取数据,或是写入数据到 SBIOCR2, 则 SBIOSR2<AL>会被清除为"0"。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

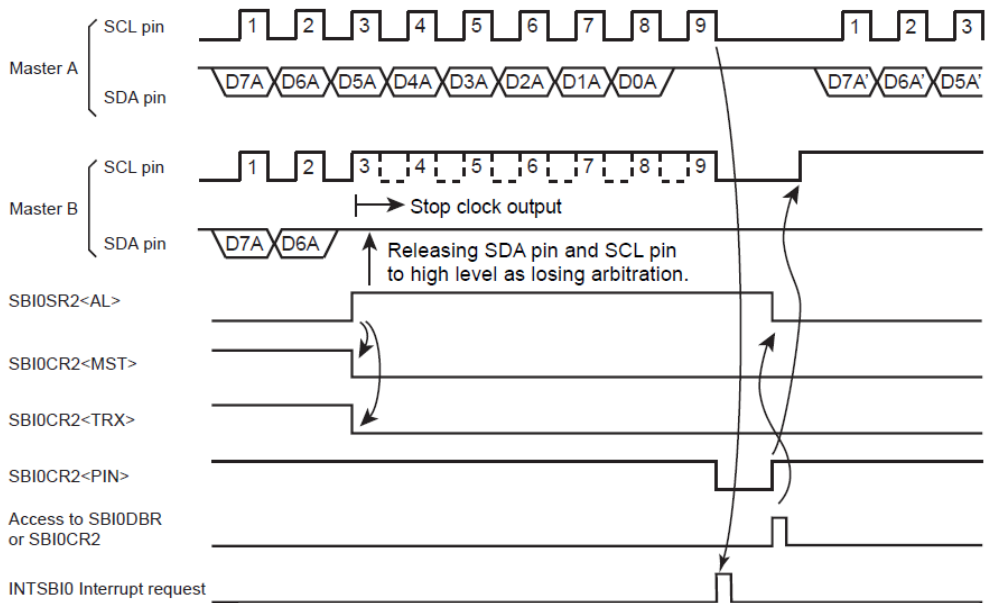


图 15- 13 主控 B 为串行总线接口线路(以 SBI0 为范例)

15.4.12 从属地址配对检测

在从属模式里,当接收数据为广播呼叫,或者接收的数据符合 I2COAR<SA>所设定的从属地址且 SBI0CR1<NOACK>设为“0”,同时 I2C 总线模式启动时(I2COAR<ALS>=“0”)时, SBI0SR2<AAS>为“1”。

设定 SBI0CR1<NOACK>为“1”,将使得后续从属地址配对与广播呼叫检测无效.即使收到广播呼叫或是接收到与 I2COAR<SA>设定值相同的从属地址, SBI0SR2<AAS>都将维持为“0”。

当串行总线接口线路在通用数据格式(I2COAR<ALS>= “1”)运作, 在接收第一字数据后,SBI0SR2<AAS>设为“1”。若将数据写入 SBI0DBR 或从 SBI0DBR 读取数据,则 SBI0SR2<AAS>将清除为“0”。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

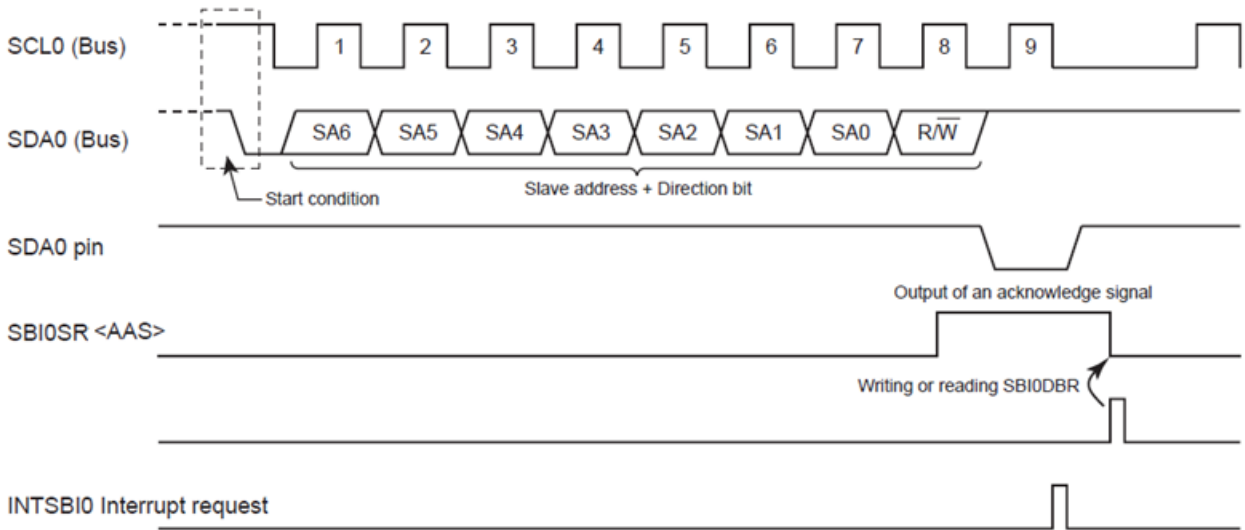


图 15- 14 变更从属地址配对检测监控(以 SBI0 为范例)

15.4.13 广播呼叫检测

当 SBI0CR1<NOACK>为“0”且广播呼叫(在开始条件后,所有 8 位接收数据马上为“0”).在从属模式下, SBIOSR2<AD0>为“1”。

将 SBI0CR1<NOACK>设为“1”,使得后续从属地址配对与广播呼叫检测无效.当广播呼叫被接收时, SBIOSR2<AD0>维持为“0”。

当总线被检测到开始或停止条件时, SBIOSR2<AD0 清除为“0”。

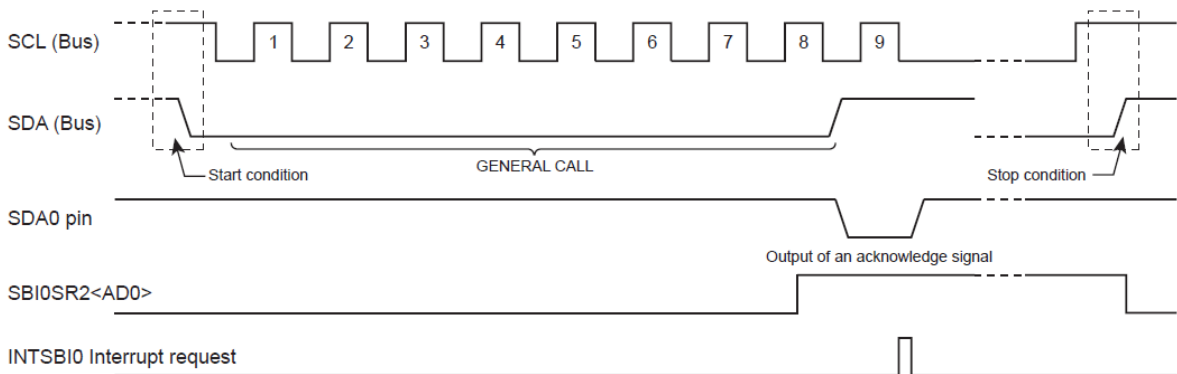


图 15- 15 广播呼叫变更(以 SBI0 为范例)

15.4.14 最后接收位的监控

SDA 线数值设定为 SBIOSR2<LRB>,并储存在 SCL 上升前沿。

在应答模式里,当中断需求产生后,马上读取 SBIOSR2<LRB>,以读取应答信号。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

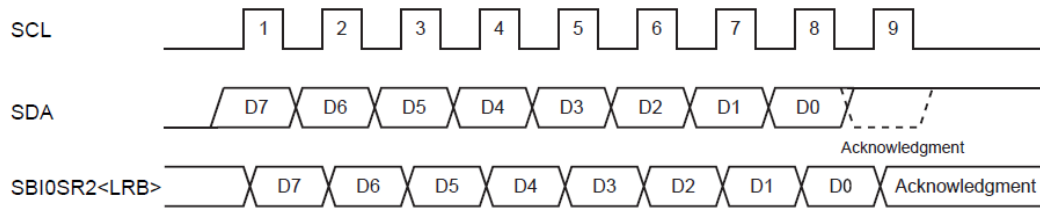


图 15- 16 最后接收位变更监控(以 SBIO 为范例)

15.4.15 从属位址与位址辨识模式说明

当串行总线接口线路使用于 I2C 总线模式,清除 I2COAR<ALS>为"0",且设定 I2COAR<SA>为从属地址。

当串行总线接口线路用于通用数据模式且并未识别从属地址,设定 I2COAR<ALS>为"1"。在通用数据模式下,从属位址与位方向将不被辨识,并且从开始条件后将马上进行数据运算。

15.5 I2C 总线的数据传输

15.5.1 设备初始化

将 PCKEN2<I2C0>设为"1"。

确认串行总线接口脚位元元在高电位之后,设定 SBIOCR2<SBIM>为"1",以选择串行总线接口模式。

将 SBIOCR1<ACK>设为"1", SBIOCR1<NOACK>设为"0", SBIOCR1<BC>设为 "000",以计算时钟数给应答信号,用以启动从属地址配对检测与广播呼叫检测,且设定数据长度为 8 位。于 SBIOCR1<SCK>设定 t_{HIGH} 与 t_{LOW} 。

在 I2COAR<SA>设定从属地址,且将 I2COAR<ALS>设为"0",以选择 I2C 总线模式。

最后,将 SBIOCR2<MST>, SBIOCR2<TRX>与 SBIOCR2<BB>设为"0", SBIOCR2<PIN>设为"1",且 SBIOCR2<SWRST>设为"00",以在从属接收模式中定义默认值。

注 1: 串行总线接口线路的初始化,必须在所有连接到总线的装置初始化,但装置尚未启动开始状态时完成。如果不,数据不能被正确接收,因为其他装置将在串行总线接口线路初始前启动传输。

15.5.2 开始条件与从属地址产生

确认总线自由状态(SBIOSR2<BB>="0")。

设定 SBIOCR1<ACK>为"1",且指出从属地址与数据方向位传输到 SBIODBR。

将"1"写入 SBIOCR2<MST>, SBIOCR2<TRX>, SBIOCR2<BB>与 SBIOCR2<PIN>,总线将产生一开始条件,且从属地址与数据方向将由 SBIODBR 输出。从生成开始条件直到 SBI0 拉低所需时间为 t_{HIGH} 。

— 中断需求发生在第九个 SCL 时钟循环的下降前沿,且 SBIOCR2<PIN>清除为"0"。当 SBIOCR2<PIN>为"0",SCL 脚位被拉低到较低水平。当一中断需求发生,只有当应答信号从从属设备回传时, SBIOCR2<TRX>会依据数据方向位透过硬件变更。

注 1: 当数据传输时,不要在 SBIODBR 写入从属地址。如果数据被写入 SBIODBR,则输出数据将会毁坏。

注 2: 此总线自由状态必须以软件确认在 98.0us 内确认。(依据 I2C 总线标准的一般模式的最短传输时间), 或 23.7 us (依据 I2C 总线标准快速模式,最短的传输时间) 在设定从属地址输出后。如果写入从属地址且未在 98.0us 或 23.7 us 内设定 SBIOCR2<MST>, SBIOCR2<TRX>, SBIOCR2<BB>与 SBIOCR2<PIN>, 则其他主控可开始传输且写入 SBIODBR 的从属地址可能会中断。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

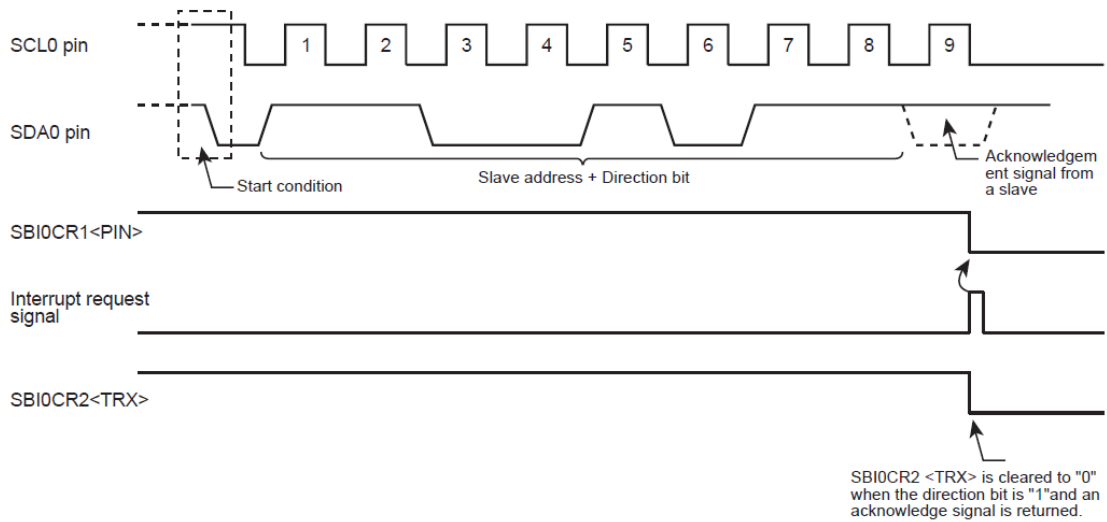


图 15- 17 产生开始条件与从属地址(以 SBI0 为范例)

15.5.3 字数据传输

在 1 字数据完成传输后,透过中断程序确认 SBIOSR2<MST>,并决定该模式是主控或是从属模式。

15.5.3.1 当 SBIOSR2<MST>为“1” (主控模式)

确认 SBIOSR2<TRX>并决定是传输或接收模式。

(a) 当 SBIOSR2<TRX>为“1”(传输模式)

确认 SBIOSR2<LRB>.当 SBIOSR2<LRB>为“1”,接收端不会要求数据.过程执行将产生停止条件(会在下章节叙述),将停止数据传输。

当 SBIOSR2<LRB>为“0”,接收端将需求后续数据.当数据传输不是 8 位时,重新设定 SBI0CR1<BC>,将 SBI0CR1<ACK>设为“1”,并在 SBI0DBR 写入传送数据。

写入数据后, SBI0CR2<PIN>将为“1”,为从 SCL 脚位进行后续一字数据传输,将生成一串行时钟脉冲,然后经由 SDA 脚位进行一字数据传输。

数据传输后,发生一中断需求. SBI0CR2<PIN>将为“0”且 SCL 脚位设为低电平. 如果数据传输长度超过一字节,将重复以上 SBIOSR2<LRB>确认程序。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

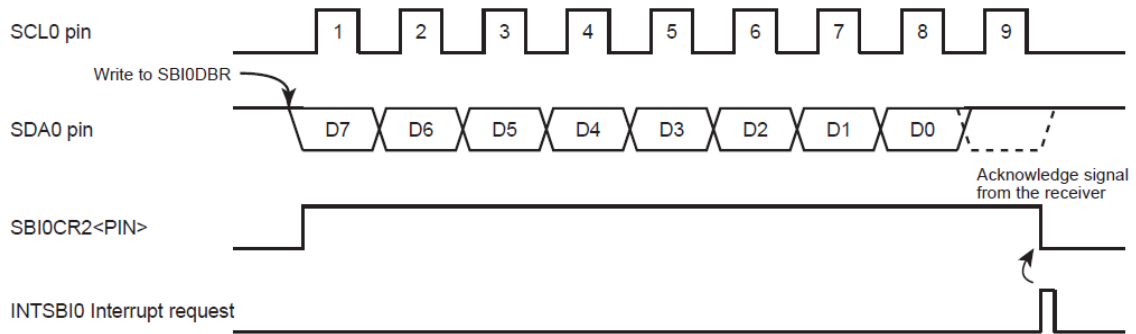


图 15- 18 SBI0CR1<BC>="000"与 SBI0CR1<ACK>="1" 传输(以 SBI0 为范例)

(b) 当 SBIOSR2<TRX>为“0”(接收模式)

当后续数据传输非 8 位,将重新设定 SBI0CR1<BC>.将 SBI0CR1< ACK>设为“1” 且从 SBI0DBR 读取接收的数据(在从属地址传送后,读取的数据并未被立即定义)。

当数据被读取后,将空的数据(0x00)写入 SBI0DBR,以设定, SBI0CR2<PIN>为“1”。串行总线接口线路输出一串行时钟脉冲到 SCL 脚位,并传输后续 1 字数据,且在应答信号时间,将 SDA 设为“0”。

当中断须求发生且 SBI0CR2<PIN>为“0”.串行总线接口线路输出一时钟脉冲给 1 字数据传输与应答信号. 应答信号在读取接收的数据后,将数据写入 SBI0DBR 或是将 SBI0CR2<PIN>设为“1”产生。

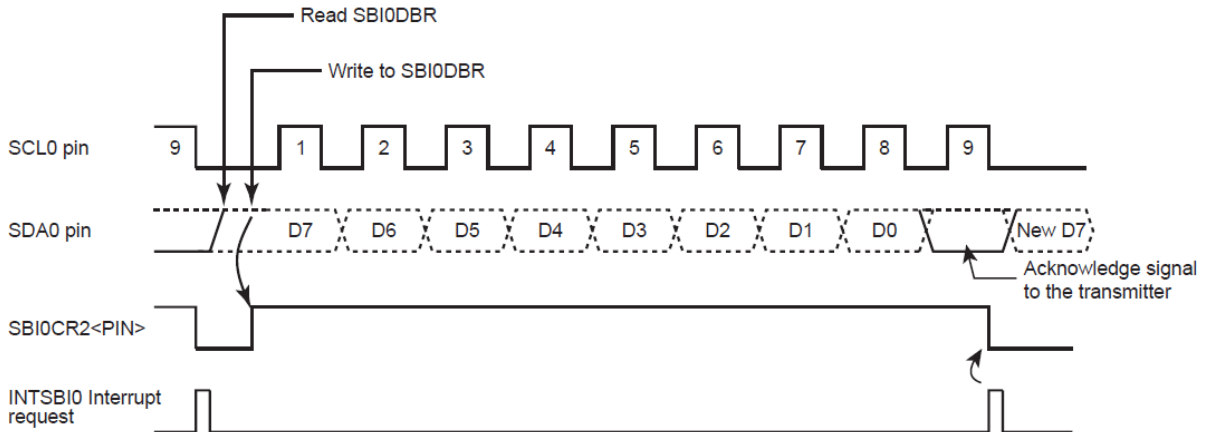


图 15- 19 SBI0CR1<BC>="000" 与 SBI0CR1<ACK>="1"接收(以 SBI0 为范例)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

若要使传送端中止传输,请在接收最后一笔数据前执行以下程序:

1. 读取所接收的数据
2. 将 SBI0CR1<ACK>清除为“0” 且设定 SBI0CR1<BC>为“000”
3. 将 SBI0CR2<PIN>设为“1”,将空资料(0x00)写入 SBI0DBR

在时无时钟产生给应答信号时进行一字数据传输,设定 SBI0CR2<PIN>为“1”,接着操作以下步骤:

1. 读取接收的数据
2. 将 SBI0CR1<ACK>清除为“0”,且设定“ SBI0CR1<BC>为“001”
3. 设定 SBI0CR2<PIN>为“1”, 在 SBI0DBR 写入空资料(0x00)

设定 SBI0CR1<PIN>为“1”,传输 1 位数据。

在此状况下,因为主控装置为接收端, 总线的 SDA 线将维持高电位.传送端接收到一高电位的信号将被视为否定的应答信号.接收端将告知传送端此数据传输已完成。

在收到一位数据且产生中断需求,将产出停止条件并停止数据传输。

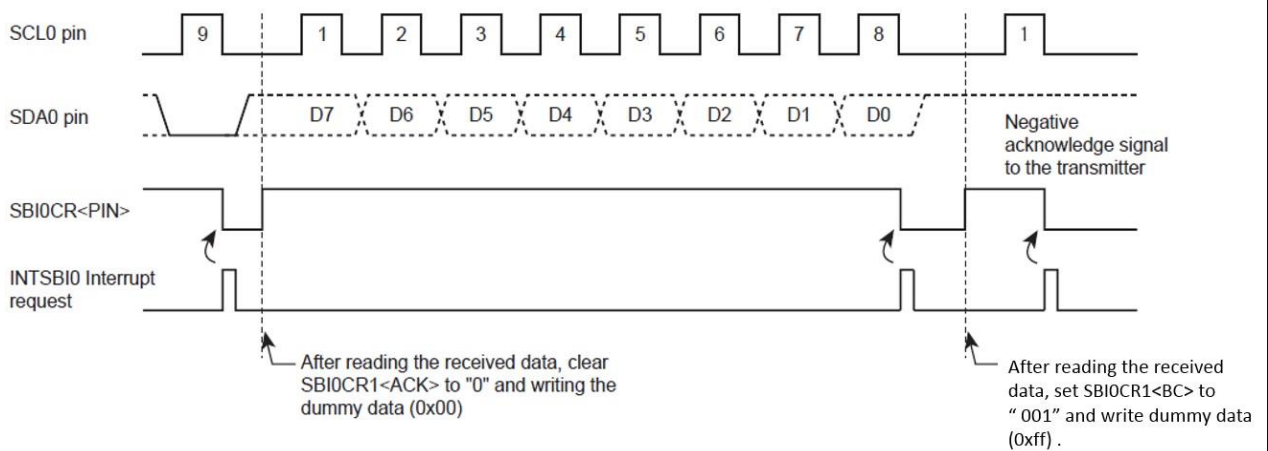


图 15- 20 在主机接收模式下的数据传输中止(以 SBI0 为范例)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

15.5.3.2 当 SBIOSR2<MST>为“0”(从属模式下)

在从属模式下,串行总线接口线路将在一般从属模式或者是丢失仲裁后的从属模式下运作。

在从属模式下,产生串行总线接口中断需求(INTSBI0)的条件如下列:

- 在应答信号结尾,当所接收的从属地址与 I2CxAR<SA>的设定值相符且 SBIOCR1<NOACK>为“0”
- 在应答信号结尾,收到广播呼叫,且 SBIOCR1<NOACK>设为“0”
- 当传输结束时,或是接收从属地址配对后,或接收广播呼叫后

如果在主机模式下丢失仲裁,串行总线接口线路会变成从属模式.在丢失了仲裁后,如果有一个字的数据传送,将会产生一个中断信号,且丢失仲裁后的 SBIOCR2<PIN>行为将如表 15.4 所列。

	When the Arbitration Lost Occurs during Transmission of Slave Address as a Master	When the Arbitration Lost Occurs during Transmission of Data as Master Transmitter
interrupt request	An interrupt request is generated at the termination of word-data transfer.	
SBIOCR2<PIN>	SBIOCR2<PIN> is cleared to "0".	

表 15- 4 中断需求与仲裁丢失后 SBIOCR2<PIN>的行为(以 SBI0 为范例)

当中断请求发生时, SBIOCR2<PIN>将设为“0”,且 SCL 线将设为低电位.不论是写入数据到 SBI0DBR 或是将 SBIOCR2<PIN>设为“1”,皆会在 t_{Low} 之后释放 SCL 脚位。

检查 SBIOSR2<AL>, SBIOSR2<TRX>, SBIOSR2<AAS>与 SBxSR2<AD0>, 并依据表 15.5 的条件,完成程序设定。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

SBI0SR2<TRX>	SBI0SR2<AL>	SBI0SR2<AAS>	SBI0SR2<AD0>	Conditions	Process
1	1	1	0	The serial bus interface circuit loses arbitration when transmitting a slave address, and receives a slave address of which the value of the direction bit sent from another master is "1".	Set the number of bits in 1 word to SBI0CR1<BC> and write the transmitted data to the SBI0DBR.
		1	0	In the slave receiver mode, the serial bus interface circuit receives a slave address of which the value of the direction bit sent from the master is "1".	
		0	0	0	In the slave transmitter mode, the serial bus interface circuit finishes the transmission of 1-word data
0	1	1	1/0	The serial bus interface circuit loses arbitration when transmitting a slave address, and receives a slave address of which the value of the direction bit sent from another master is "0" or receives a "GENERAL CALL".	Write the dummy data (0x00) to the SBI0DBR to set SBI0CR2<PIN> to "1", or write "1" to SBI0CR2<PIN>.
		0	0	The serial bus interface circuit loses arbitration when transmitting a slave address or data, and terminates transferring the word data.	The serial bus interface circuit is changed to the slave mode. Write the dummy data (0x00) to the SBI0DBR to clear SBI0SR2<AL> to "0" and set SBI0CR2<PIN> to "1".
	0	1	1/0	In the slave receiver mode, the serial bus interface circuit receives a slave address of which the value of the direction bit sent from the master is "0" or receives "GENERAL CALL".	Write the dummy data (0x00) to the SBI0DBR to set SBI0CR2<PIN> to "1", or write "1" to SBI0CR2<PIN>.
		0	1/0	In the slave receiver mode, the serial bus interface circuit terminates the receipt of 1-word data.	Set the number of bits in 1-word to SBI0CR1<BC>, read the received data from the SBI0DBR and write the dummy data (0x00).

表 15- 5 从属模式下的运作(以 SBI0 为范例)

注：在从属模式下,如果从属地址设定 I2CxAR<SA>为“0x00”，一个 I2C 标准的起始位“0x01”将被接收,此设备检测从属地址符合,且 SBI0CR2<TRX>设为“1”。不要将 I2CxAR<SA>设为“0x00”。

15.5.4 停止条件产生

当 SBI0CR2<BB>为“1”,将 SBI0CR2<MST>, SBI0CR2<TRX>与 SBI0CR2<PIN>设为“1”,且将 SBI0CR2<BB>清除为“0”将会产生一个停止序列。在总线产生停止条件前,不要修改 SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<BB>与 SBI0CR2<PIN>的内容。

当 SCL 线被其他装置下拉,一串行总线接口线路在 SCL 线被释放后,产生停止条件.从 SCL 被释放到停止条件产生所需的时间为 t_{HIGH}。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

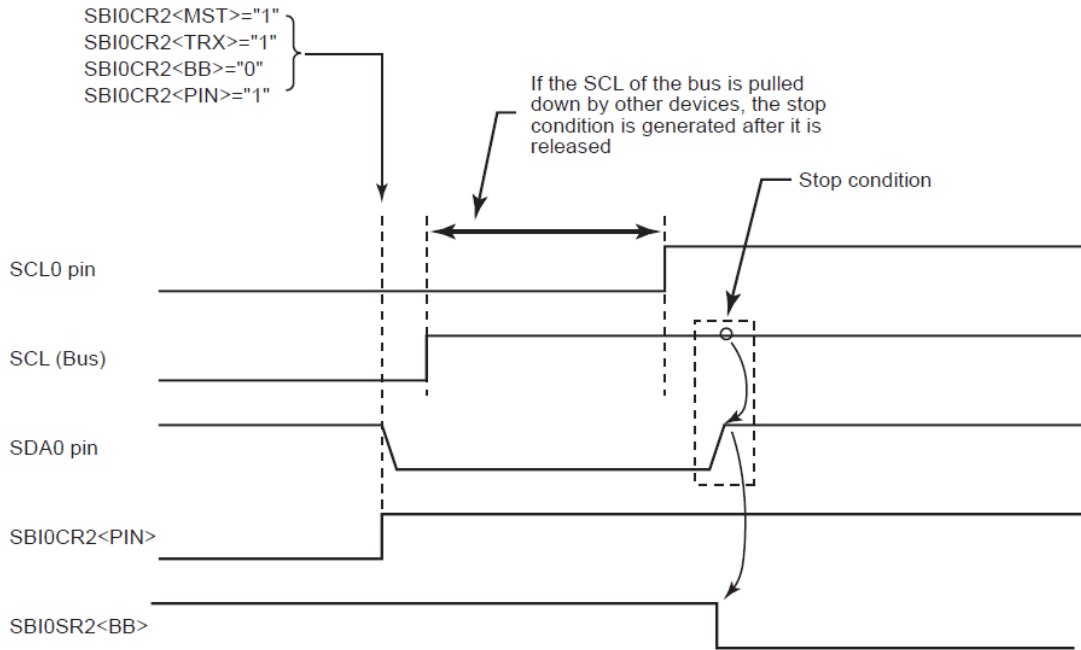


图 15- 21 停止条件产生(以 SBI0 为范例)

15.5.5 重新启动

重新启动一般用于变更主控装置与从属装置间的数据传输方向.以下详述如何重新启动串行总线接口线路。

将 SBI0CR2<MST>, SBI0CR2<TRX>,与 SBI0CR2<BB>清除为“0”,并且设定 SBI0CR2 <PIN>为“1”。 SDA 脚位维持高电位且 SCL 脚位将被释放。

因为这不是停止条件,总线将被其他装置认为处于忙碌的状态。

检查 SBI0SR2<BB>直到值为“0”,以检查串行总线接口线路的 SCL 脚位是否被释放。

检查 SBI0SR2<LRB>直到值为“1”,以检查总线 SCL 线没有被其他装置拉低。

确认总线是否为自由状态后,产生开始条件,与“20.5.2 开始条件与从属地址产生”的相关程序。

为满足重新启动的设定时间,从重新确认总线自由直到开始条件产生,依 I2C 总线标准的标准模式软件至少需要 4.7us 的等待时间,依 I2C 总线标准的快速模式,至少须 0.6us 等待时间。

注：当主控在接收模式,在深眠模式产生之前,必须停止从从属装置传送数据.要停止传输,主控装置让从属装置接收负极性应答.因此在重新启动前,SBI0SR2<LRB>为“1”,且无法确认 SCL 线是否被其他装置下拉.若要确认 SCL 线状态需直接读取掉。

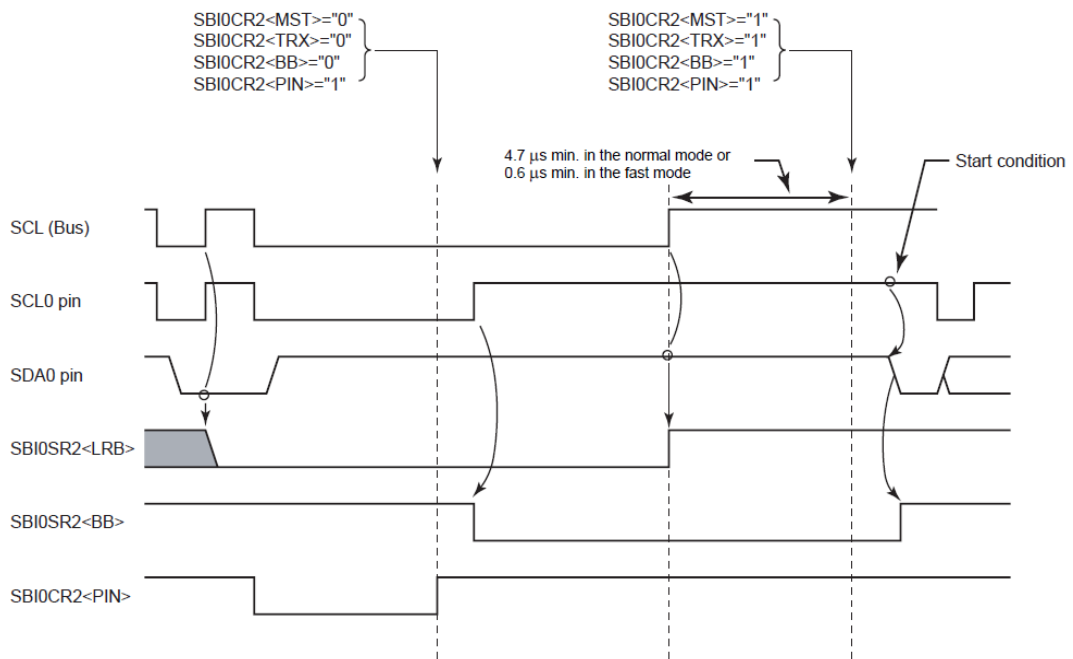


图 15-22 重新启动时的时序图(以 SBI0 为范例)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

15.6 AC 规格

AC 规格如下所列。工作模式(快速或标准模式)应该选择适当的 fsysclk 频率.这些操作模式,请参考下列表格。

参数	代码	标准模式		快速模式		单位
		Min.	Max.	Min.	Max.	
SCL 时钟频率	f _{SCL}	0	fsysclk / (m+n)	0	fsysclk / (m+n)	us
重启条件保持时间。 第一个时钟脉冲产生跟 随在此时间之后发生。	t _{HD,STA}	m / fsysclk	-	m / fsysclk	-	us
SCL 时钟(输出)低电平周 期	t _{LOW}	n / fsysclk	-	n / fsysclk	-	us
SCL 时钟(输出)高电平周 期	t _{HIGH}	m / fsysclk	-	m / fsysclk	-	us
SCL 时钟(输入)低电平周 期	t _{LOW}	5 / fsysclk	-	5 / fsysclk	-	us
SCL 时钟(输入)高电平周 期	t _{HIGH}	3 / fsysclk	-	3 / fsysclk	-	us
重启条件设置时间	t _{SU,STA}	软件设定	-	软件设定	-	us
数据保持时间(hold time)	t _{HD,DAT}	0	5 / fsysclk	0	5 / fsysclk	us
数据设置时间	t _{SU,DAT}	250	-	100	-	ns
SDA 与 SCL 信号上升时 间	t _r	-	1000	-	300	ns
SDA 与 SCL 信号下降时 间	t _f	-	300	-	300	ns
停止条件设置时间	t _{SU,STO}	m / fsysclk	-	m / fsysclk	-	us
停止条件与开始条件间 的总线自由时间	t _{BUF}	软件设定	-	软件设定	-	us
SBxCR2<PIN>由“0”变“1” 后·SCL 开始爬升前的 时间	t _{SU,SCL}	n / fsysclk	-	n / fsysclk	-	us

表 15- 6 AC 规格(线路输出时序)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

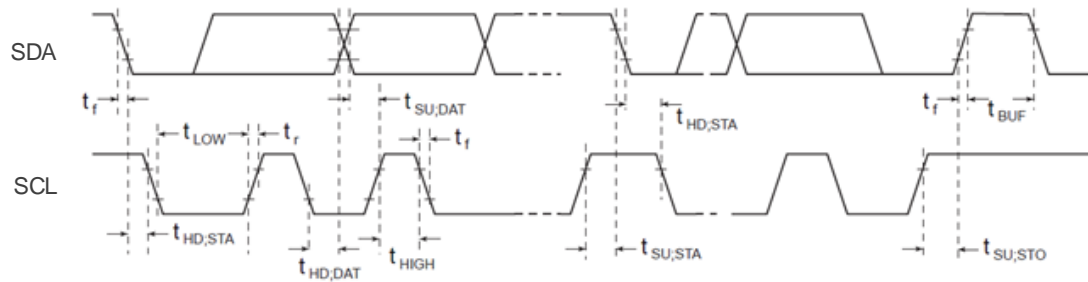


图 15-23 时序定义(No.1)

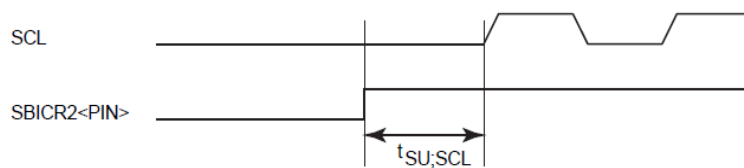


图 15-24 时序定义(No.2)

16 同步串行收发器(SIO)

产品具有同步时钟形态的高速 8 位串行接口，共有 1 个信道，其名称与地址可于下表对照查找。

	SIOxCR1 (地址)	SIOxCR2 (地址)	SIOxSR (地址)	SIOxBUF (地址)
SIO0	SIO0CR1 (0x00D0)	SIO0CR2 (0x00D1)	SIO0SR (0x00D2)	SIO0BUF (0x00D3)

表 16- 1 SIO 寄存器清单

16.1 框图

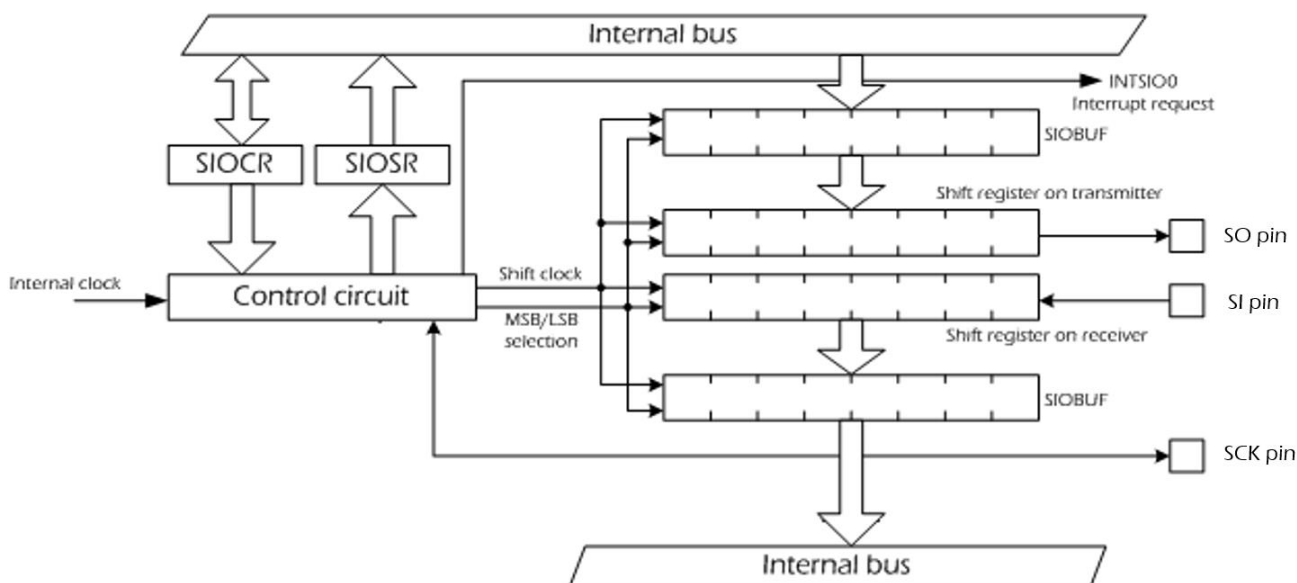


图 16- 1 串行接口示意图

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

16.2 控制

同步串行接口 SIO 由外围电路时钟允许寄存器 2(PCKEN2)、串行接口控制寄存器(SIOxCR)、串行接口状态寄存器(SIOxSR)与串行接口缓存寄存器(SIOxBUF) 所控制。

地址	寄存器	描述
0x017A	PCKEN2	外围电路时钟允许寄存器 2
0x00D0	SIO0CR1	串行接口 0 控制寄存器 1
0x00D1	SIO0CR2	串行接口 0 控制寄存器 2
0x00D2	SIO0SR	串行接口 0 状态寄存器
0x00D3	SIO0BUF	串行接口 0 缓存寄存器
0x00D4	SIO1CR1	串行接口 1 控制寄存器 1
0x00D5	SIO1CR2	串行接口 1 控制寄存器 2
0x00D6	SIO1SR	串行接口 1 状态寄存器
0x00D7	SIO1BUF	串行接口 1 缓存寄存器

由于串行接口 SIO 的 2 组信道的设定雷同，故下方寄存器皆以通用符号 x(x=0,1)进行说明，各寄存器位置则由表 15.1 对照查找。

外围电路时钟允许寄存器2(PCKEN2)

PCKEN2	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	SIO0	reserved	reserved	reserved	I2C0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

SIO0	SIO0 允许控制	0: 禁止 1: 允许
I2C0	I2C0 允许控制	0: 禁止 1: 允许

串行接口 x 控制寄存器 1(SIOxCR1), x=0,1

SIOxCR1	7	6	5	4	3	2	1	0
位符号	SIOEDG	SIOCKS[2:0]			SIODIR	SIOS	SIOM[1:0]	

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

SIOEDG	选择触发沿	0:上升沿接收数据且下降沿传送数据 1:上升沿传送数据且下降沿接收数据	
SIOCKS[2:0]	串行时钟选择[Hz]	系统时钟为 PLL/HXTAL	系统时钟为 LIRC/ LXTAL
		000 : fsysclk / 2 ⁹ 001 : fsysclk / 2 ⁶ 010 : fsysclk / 2 ⁵ 011 : fsysclk / 2 ⁴ 100 : fsysclk / 2 ³ 101 : fsysclk / 2 ² 110 : fsysclk / 2	- - - - - - fsysclk / 2
		111 : 外部时钟输入	
SIODIR	选择传送模式(MSB/LSB)	0: LSB 优先(从 0 bit 开始传送) 1: MSB 优先(从 7 bit 开始传送)	
SIOS	传送工作启动/停止指令	0:工作停止(预设为停止) 1:工作开始	
SIOM[1:0]	传送模式选择与运作	00 : 运作停止(强制停止) 01 : 8 位传送模式 10 : 8 位接收模式 11 : 8 位传输与接收模式	

注 1: fsysclk 是系统时钟(Hz)。

注 2: 当 SIOS 写入“1”,运作开始,写入 SIOEDG, SIOCKS 与 SIODIR 将会是无效的,直到 SIOxSR<SIOF>为“0”。(当 SIOS 从“0”变更为“1”时, SIOEDG,SIOCKS 与 SIODIR 也可被变更)

注 3: 当 SIOS 写入“1”,运作开始,除了“00”之外,无法在 SIOM 写入其他数值直到 SIOF 为“0”(如果在 SIOM 写入“01”到“11”的数值,会被忽略).在运作期间,传输模式将无法被改变。

注 4:当 SIOM 为“00”(运作停止)且 SIOS 写入“1”时, SIO 将维持为“0”。

注 5:当 SIO 在一般(低速时钟)或睡眠模式下,须确定 SIOCKS 设定为“110”。如果 SIOCKS 设定为其他值, SIO 将不会运作。当 SIO 在一般(低速时钟)或睡眠模式下,执行传输时须预先设定 SIOCKS=“110”,或者在 SIO 停止后再变更 SIOCKS。

注 6: 当停止,睡眠或睡眠(低速时钟)模式运作时, SIOM 将自动被清除为“00”且 SIO 停止运作。同时间 SIOS 被清除为“0”,但 SIOEDG,SIOCKS 与 SIODIR 的设定值维持不变。

串行接口 x 控制寄存器 2(SIOxCR2), x=0,1

SIOxCR2	7	6	5	4	3	2	1	0
---------	---	---	---	---	---	---	---	---

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

位符号	reserved	reserved	SIOEN
读/写	R	R/W	R/W
复位后	0	0	0

SIOEN	SIO 允许	0 : 禁止 1 : 允许
-------	--------	------------------

串行接口 x 状态寄存器(SIOxSR), x=0,1

SIOxSR	7	6	5	4	3	2	1	0
位符号	SIOF	SEF	OERR	RENDB	UERR	TBFL	reserved	reserved
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

注 1 : 当 SIOxSR 被读取时 · OERR 与 UERR 标志将被清除

注 2 : 当 SIOxBUF 被读取 · RENDB 标志将被设为“0”

注 3 : SIOxSR 的 1-0 位都被读取为“0”。

SIOF	串行传输工作状态监控	0:传送没有进行 1:传送进行中
SEF	移位元运作状态监控	0:移位运作没有进行 1:移位运作进行中
OERR	OERR 接收溢出错误标志	0:无溢出错误发生 1:至少发生一次溢出错误
RENDB	REND 接收完成标志	0 : 无收到任何数据 · 因最后一笔收到数据已经被读出 1 : 最少接收到一笔数据
UERR	UERR 传送运作欠载错误标志	0:无传送欠载错误发生 1:至少一次传送欠载错误发生
TBFL	TBFL 传送缓存完全标志	0:传送缓存器清空 1:传送缓存器已有数据但尚未被传输

串行接口x缓存寄存器(SIOxBUF), x=0,1

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

SIOxBUF	7	6	5	4	3	2	1	0
位符号	SIO0BUF[7:0]							
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

串行接口x缓存寄存器(SIOxBUF), x=0,1

SIOxBUF	7	6	5	4	3	2	1	0
位符号	SIO0BUF[7:0]							
读/写	W	W	W	W	W	W	W	W
复位后	1	1	1	1	1	1	1	1

注: SIO0BUF 是数据缓存器,用于串行发送/接收数据。每次从 SIOxBUF 读取到的数据即为串行接口接收到的最新数据。如果 SIOxBUF 没有收到任何数据,从 SIOxBUF 读到值会是 0。当向 SIOxBUF 写入数据时,写入的数据即为串行接口要发送的数据。

16.3 低功耗功能

串行接口有外围电路时钟允许寄存器(PCKEN2),当没有使用串行接口时,可关闭所对应使用的时钟源,可以节省功耗。

将 PCKEN2<SIOx>设定为 0,可停止基础时钟对串行接口 x 的供应以节省能耗。须注意在此状况下串行接口将无法使用。将 PCKEN2<SIOx>设定为 1,可启动基础时钟对串行接口 x 的供应,并且允许串行接口进行运作。

重新设定复位后,PCKEN2<SIOx>被初始为“0”,且串行接口不可用。当第一次使用串行接口,请确保在初始化串行接口前将 PCKEN2<SIOx>设定为 1(在串行接口控制寄存器运作之前)。

当串行接口运作时,请勿将 PCKEN2<SIOx>变更为“0”,否则串行接口将会不正常运作。

16.4 功能

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

16.4.1 传送模式

传送模式可由 SIOxCR1<SIODIR>设定为 MSB 优先或 LSB 优先。当 SIOxCR2<SIODIR>设定为“0”时，将会以 LSB 优先为传送模式。此模式下，串行数据将由最低有效位开始传送。

当 SIOxCR1<SIODIR>设为“1”时，将以 MSB 优先为传送模式。此模式下，串行数据将由最高有效位开始传送。

16.4.2 串行时钟

串行时钟可由 SIOxCR1<SIOCK>选择。Master mode 频率最高为 fsysclk/2，Slave mode 频率最高为 4MHz。

将 SIOxCR1<SIOCKS>设定为“000”到“110”，选择内部时钟做为串行时钟。此时，串行时钟从 SCLK 引脚输出。串行数据传送与 SCLK 引脚边沿输出同步。

将 SIOxCR1<SIOCKS>设定为“111”，选择外部时钟做为串行时钟。此时，外部串行时钟将从 SCLK 引脚输入。串行数据传送与外部时钟边沿输出同步。

串行数据触发边沿可由外部时钟或者内部时钟选择。详细可参考 16.4.3 节触发边沿选择。

SIOxCR <SIOCKS>	Serial clock [Hz]		fsysclk=16MHz		fsysclk=24MHz		fclk=32.768kHz	
	fsysclk: PLL/HXTAL	fsysclk: LIRC/LXTAL	1-bit time (us)	Baud rate (bps)	1-bit time (us)	Baud rate (bps)	1-bit time (us)	Baud rate (bps)
000	fsysclk/2 ⁹	-	32	31.3k	21.33	46.9k	-	-
001	fsysclk/2 ⁶	-	4	250k	2.67	375k	-	-
010	fsysclk/2 ⁵	-	2	500k	1.33	750k	-	-
011	fsysclk/2 ⁴	-	1	1M	0.67	1.5M	-	-
100	fsysclk/2 ³	-	0.5	2M	0.33	3M	-	-
101	fsysclk/2 ²	-	0.25	4M	0.17	6M	-	-
110	fsysclk/2	fsysclk/2	0.13	8M	0.08	12M	61	16.4k

表 16-2 传输速率(BAUD)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

16.4.3 触发沿选择

由 SIOxCR1<SIOEDG>选择串行数据触发边沿。

SIOxCR1 <SIOEDG>	Data transmission	Data reception
0	Falling edge	Rising edge
1	Rising edge	Falling edge

表 16-3 传输触发沿选择

当 SIOxCR1<SIOEDG>为 0，数据传送与时钟下降沿同步，且数据接收与时钟上升沿同步。

当 SIOxCR1<SIOEDG>为 1，数据传送与时钟上升沿同步，且数据接收与时钟下降沿同步。

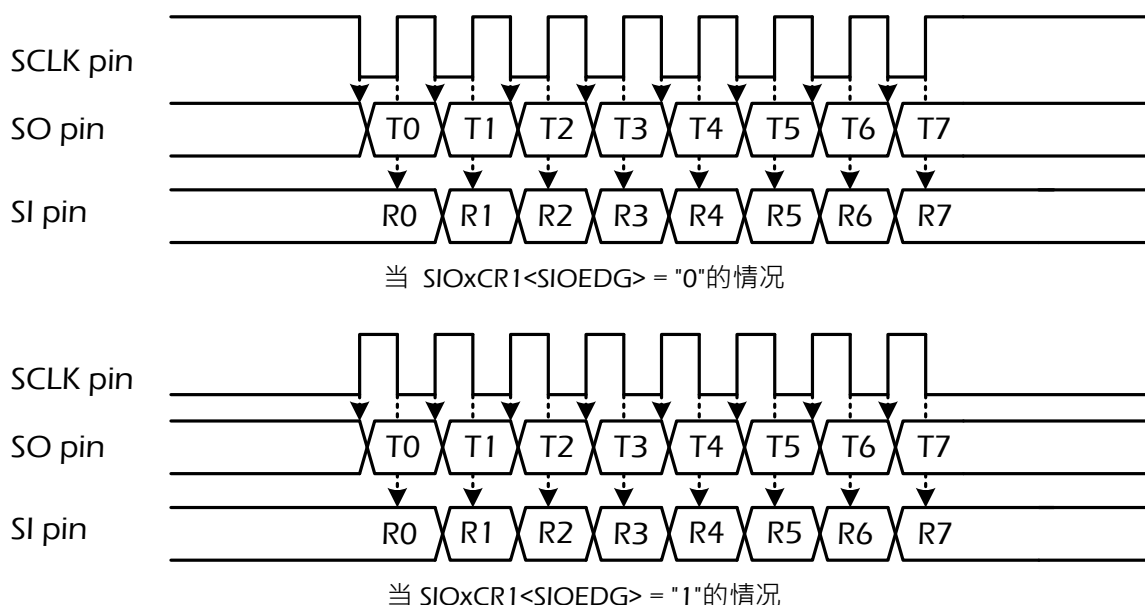


图 16-2 触发沿

注: 当使用外部时钟输入, 在接收第 8 个位与下一笔传送的第 1 个位的触发边沿的间隔须为 $4/f_{sysclk}$ 或更久。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

16.5 传送模式

16.5.1 8 位传送模式

将 SIOxCR1<SIOM> 设定为“01”，选择 8 位传送模式。

16.5.1.1 设定

开始传送工作前，由 SIOxCR1<SIOEDG> 选择触发边沿，SIOxCR1<SIODIR> 选择传送模式，SIOxCR1<SIOCKS> 选择串行时钟。若以内部时钟做为串行时钟，由 SIOxCR1<SIOCKS> 选取适合的串行时钟。要使用外部时钟做为串行时钟，则设定 SIOxCR1<SIOCKS> 为“111”。

将 SIOxCR1<SIOM> 设定为 01，可选择 8 位传送模式。

当传输数据第一个位字节写入 SIOxBUF，且将 SIOxCR1<SIOS> 设定为“1”，将启动传送工作。

当串行传输进行时或 SIOxSR<SIOF> 为 1 时，写入 SIOxCR1<SIOEDG, SIOCKS 与 SIODIR> 的数据将会是无效的。请在串行传输停止后再进行设定。

当串行传输进行时(SIOxSR<SIOF>="1")，只有 SIOxCR1<SIOM> 写入“00”或 SIOxCR1<SIOS> 写入“0”是有效的。

16.5.1.2 启动传输工作

传输工作在 SIOxBUF 写入数据且 SIOxCR1<SIOS> 设定为“1”后启动。传输数据从 SIOxBUF 转送移位内存，且依 SIOxCR1<SIOEDG, SIOCKS 和 SIODIR> 设定，串行数据由 SO 引脚传送。若 SIOxBUF 未写入任何数据就启动传送操作，则传送出的串行数据将不确定。

内部时钟工作，特定波特率的串行时钟将从 SCLK 引脚输出。外部时钟工作时，则需提供 SCLK 引脚外部时钟。

设定 SIOxCR1<SIOS> 为 1，SIOxSR<SIOF 与 SEF> 将自动设为“1”且将产生一个 INTSIOx 中断要求。

当串行数据的第 8 位输出时，SIOxSR<SEF> 将被清除为“0”。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

16.5.1.3 传输缓存与移位(shift)运算

当串行传输进行中且移位寄存器为空时，往 SIOxBUF 写入的数据将马上被传送到移位寄存器。此时 SIOxSR<TBFL>维持为 0。

如果数据写入 SIOxBUF，且移位寄存器中仍有数据时，SIOxSR<TBFL>将设定为“1”。此状态下有新数据写入 SIOxBUF，则原数据会被新数据取代。在数据写入 SIOxBUF 之前，请确认 SIOxSR<TBFL>为“0”。

16.5.1.4 传输完成后的操作

传输完成后的操作，跟工作时钟与 SIOxSR<TBFL>状态相关。

(a) 当使用内部时钟且 SIOxSR<TBFL>为“0”的情况

当数据传输完成时，SCLK 引脚将回到初始状态且 SO 引脚为高电平，SIOxSR<SEF>维持“0”。当使用内部时钟，串行时钟与数据输出将停止直到下一个传输数据写入 SIOxBUF(自动等待)。

接下来的数据被写入 SIOxBUF，SIOxSR<SEF>将为“1”，SCLK 引脚输出串行时钟且重新启动传送操作。在重新启动传送时，INTSIOx 将会产生一个中断要求。在重新启动传送操作时，将会产生一个 INTSIOx 中断要求。

(b)当使用外部时钟且 SIOxSR<TBFL>为“0” 的情况

当数据传输完成，SO 引脚会维持为最后一个位输出数据的状态。当数据传输完成后，一个外部串行时钟输入 SCLK 引脚，则会传送一未定义的数值，此时运作欠载错误标志 SIOxSR<UERR>为 1。

如果传输欠载运行错误发生，此未被定义的数据将不会被写入 SIOxBUF。(建议用户将 SIOxCR<SIOS>设定为“0”，以结束传输工作；或者将 SIOxCR1<SIOM>设定为“00”，强制停止传送。)

执行读取 SIOxSR 操作后，传送欠载运行的错误标志 SIOxSR<UERR>会自动清除。

(c)当使用内部时钟或外部时钟且 SIOxSR<TBFL>为“1” 的情况

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

数据传输完成后，SIOxSR<TBFL>被清除为“0”。SIOxBUF 的数据被传送到移位寄存器且开始进行后续数据传送。此时 SIOxSR<SEF>变为“1”且将产生一个 INTSIOx 中断要求。

16.5.1.5 停止传输工作

将 SIOxCR1<SIOS>设为“0”可停止数据传输。当 SIOxSR<SEF>为“0”或移位操作没有进行时，发送将立即停止并产生一个 INTSIOx 中断要求。当 SIOxSR<SEF>为“1”，所有移位寄存器数据被传输后，数据传输将停止。

当发送工作完成后，SIOxSR<SIOF, SEF 与 TBFL>被清除为“0”，其他 SIOxSR 寄存器仍维持原本数值。

传输工作进行时，将 SIOxCR<SIOM>设定为“00”，可强制停止传送。将 SIOxCR<SIOM>设为“00”，SIOxCR<SIOS>与 SIOxSR 会清除为“0”，且 SIO 停止工作，SIOxSR<SEF>的数值将不被考虑。SO 引脚将为高电平。若选择内部时钟，SCLK 引脚将重回初始电平。

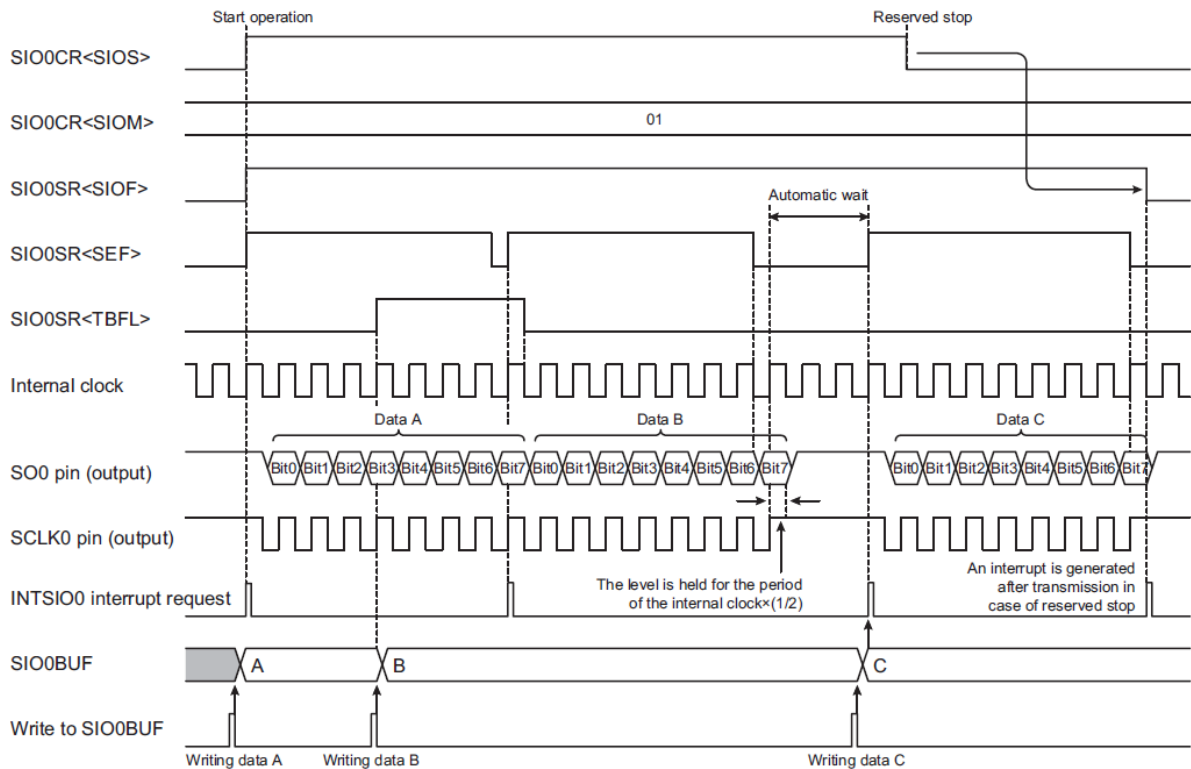


图 16-38 位元传送模式(内部时钟且预定停止)

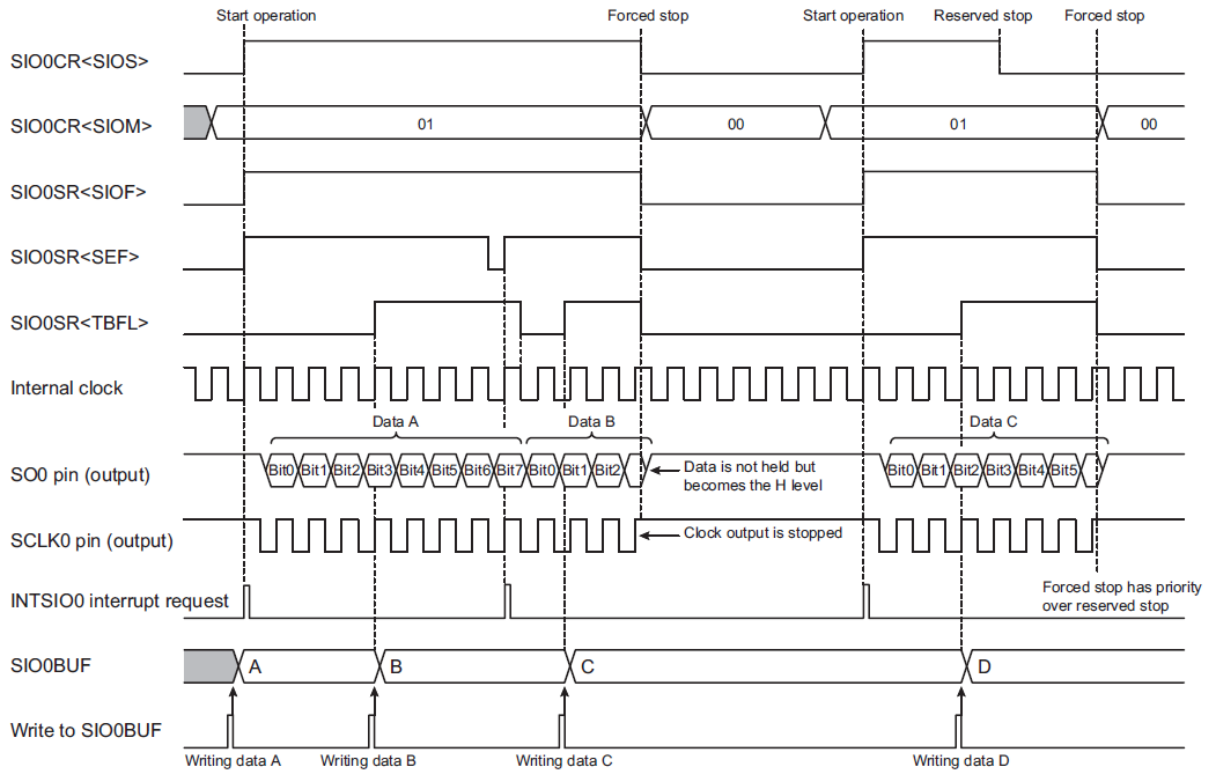


图 16-48 8 位元传送模式(内部时钟且强制停止)

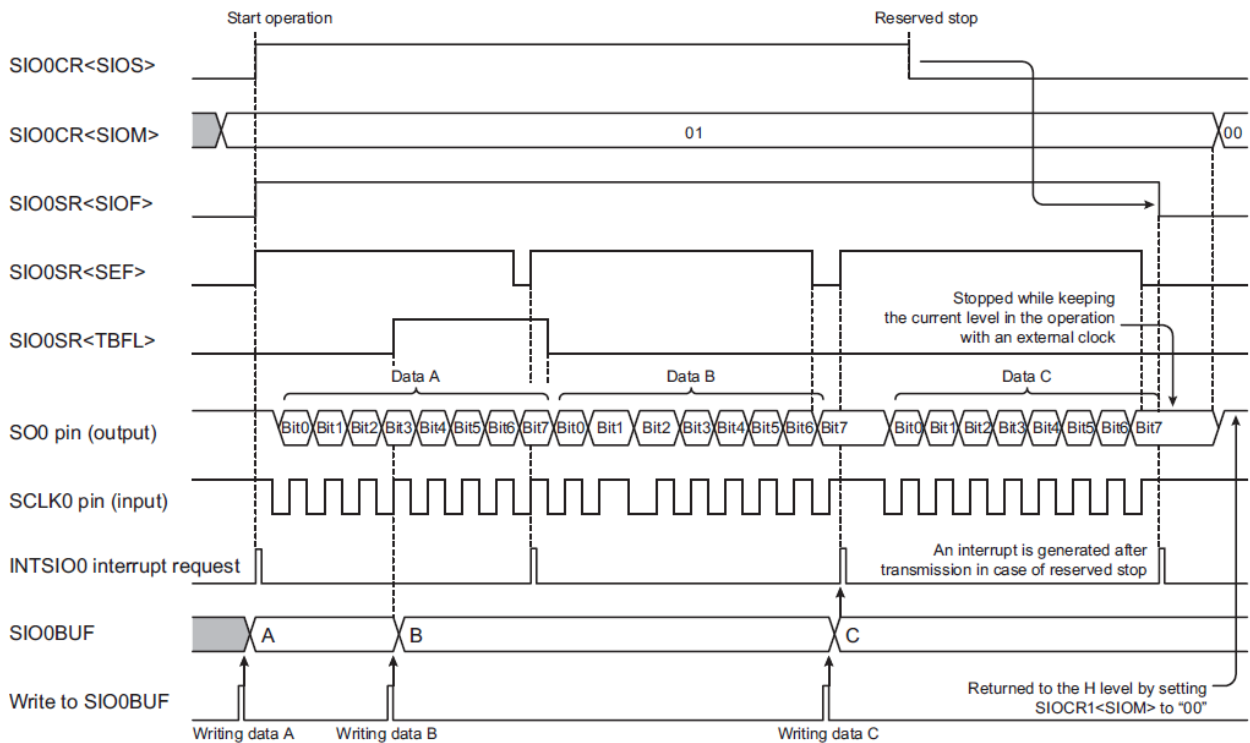


图 16-5 8 位元传送模式(内部时钟且预约停止)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

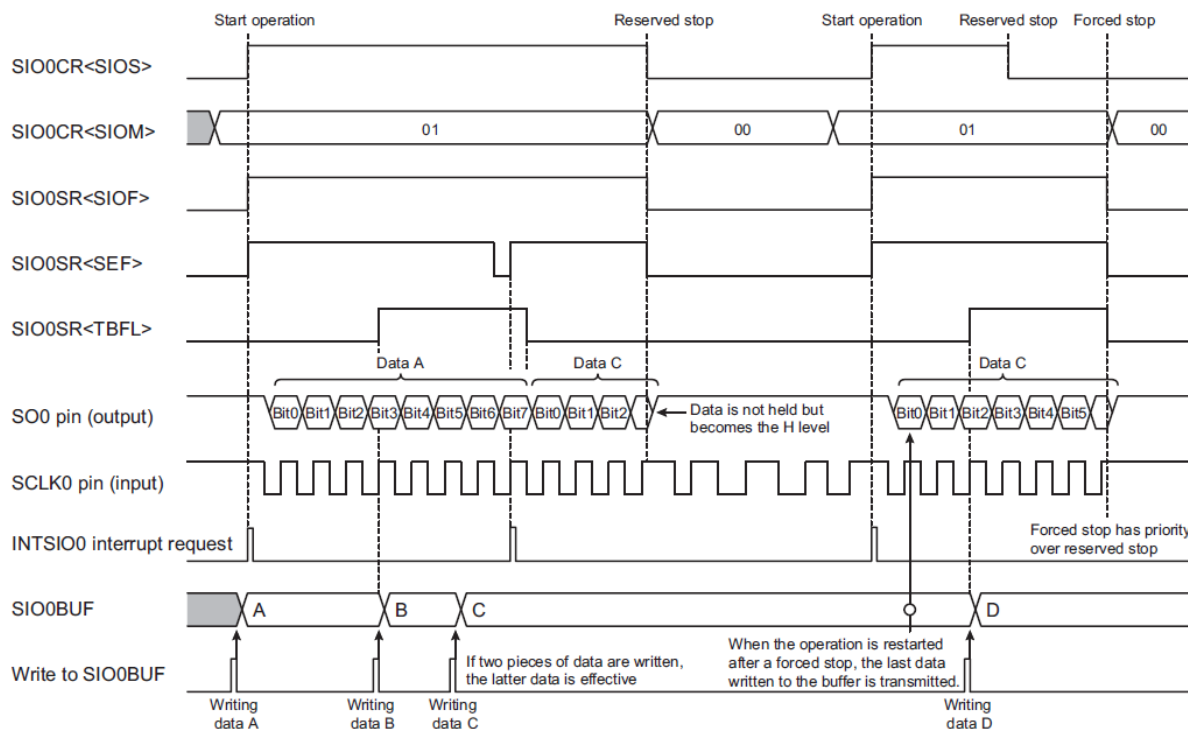


图 16-6 8 位元传送模式(外部时钟且强制停止)

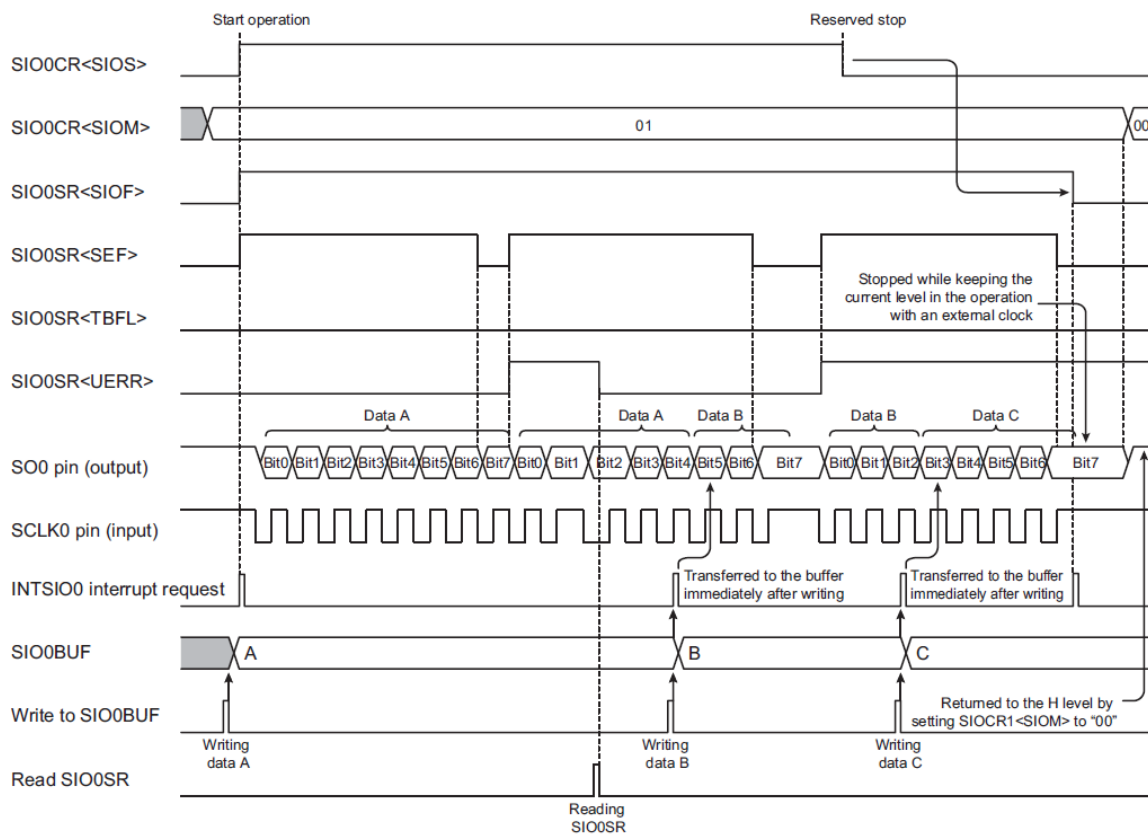


图 16-7 8 位元传送模式(外部时钟溢出错误发生)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

16.5.2 8 位接收模式

将 SIOxCR1<SIOM>设为“10”可选择 8 位接收模式。

16.5.2.1 设定

此传输模式，在开始接收数据前，在 SIOxCR1<SIOEDG>选择触发边沿，SIOxCR1<SIODIR>选择传送模式且 SIOxCR1<SIOCKS>选择串行时钟。若要使用内部时钟做为串行时钟，在 SIOxCR1<SIOCKS>选择适合的串行时钟。若要使用外部时钟做为串行时钟，将 SIOxCR1<SIOCKS>设定为“111”。

将 SIOxCR1<SIOM>设为“10”，以选择 8 位接收模式。

当 SIOxCR1<SIOS>为 1 时，开始接收工作。

当串行传输进行或是 SIOxSR<SIOF>为“1”时，写入 SIOxCR1<SIOEDG, SIOCKS 与 SIODIR>的数据将会是无效的。请在串行传输停止后再进行设定。当串行传输进行时(SIOxSR<SIOF>=“1”)，只有在 SIOxCR1<SIOM>写入“00”或是 SIOxCR1<SIOS>写入“0”会是有效的。

16.5.2.2 启动接收工作

当 SIOxCR1<SIOS>设为“1”时，开始接收工作。根据 SIOxCR1<SIOEDG, SIOCKS 与 SIODIR>设定，外部串行数据将从 SI 引脚被写入移位寄存器。

内部时钟运作，指定波特率的串行时钟从 SCLK 引脚输出；外部时钟工作时，则需提供 SCLK 引脚外部时钟。

当 SIOxCR1<SIOS>设为“1”，SIOxSR<SIOF 与 SEF>将自动设为“1”。

16.5.2.3 完成接收时的工作

当数据接收完成后，数据将从移位寄存器传送到 SIOxBUF，且会产生一个 INTSIOx 中断要求。接收完成标志 SIOxSR<RENDB>会变为“0”

内部时钟工作时，串行时钟输出将停止，直到接收数据从 SIOxBUF 被读取。同时 SIOxSR<SEF>会变为“0”。从 SIOxBUF 读取所接收数据后，SIOxSR<SEF>会变为“1”，串行时钟输出会重新启动且会持续接收工作。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

使用外部时钟工作时，即使不读取 SIOxBUF，数据也会持续接收。这种情况下，在后续的数据接收完成前必须读取 SIOxBUF。如果后续数据完全被接收，才读取 SIOxBUF，此数据溢出错误标志 SIOxSR<OERR>将为“1”。当数据溢出错误发生，将 SIOxCR1<SIOM>设为“00”以中止接收工作。在数据溢出错误发生时，接收到的数据将被丢弃，SIOxBUF 将保留数据溢出发生前所接收的数据。

读取 SIOxBUF 数据，SIOxSR<RENDB>将被清除为“0”。读取 SIOxSR 数据，SIOxSR<OERR>将被清除。

16.5.2.4 停止接收工作

设定 SIOxCR1<SIOS>为“0”以停止接收运作。当 SIOxSR<SEF>为“0”或当移位操作没有进行时，接收会立即停止。与传送模式不同，此情况下，不会产生 INTSIOx 中断要求。

强制停止接收模式，可在工作时将 SIOxCR1<SIOM>设为“00”。设定 SIOxCR1<SIOM>为“00”，SIOxCR1<SIOS>与 SIOxSR 会被清除为“0”且 SIO 停止作业时，而与 SIOxSR<SEF>的值无关。若选择内部时钟，SCLK 引脚将回到初始电平。

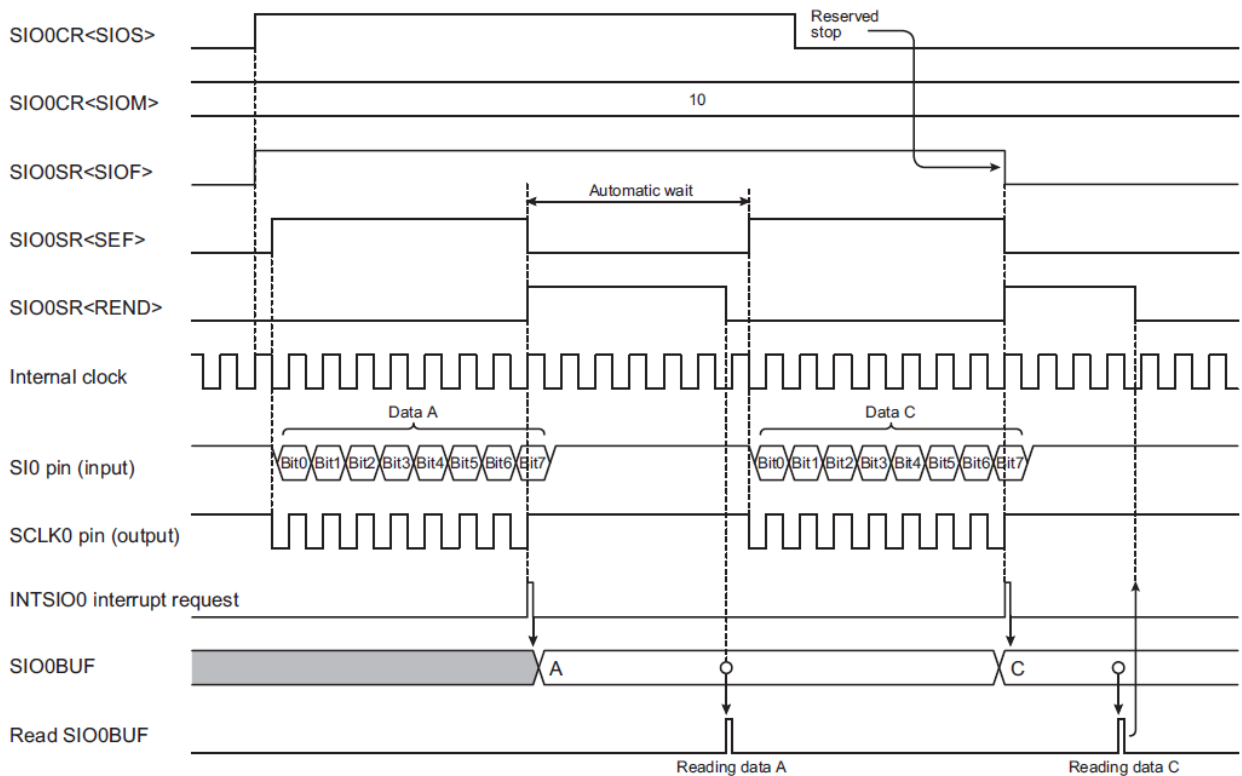


图 16- 8 8 位接收模式(内部时钟且预约停止)

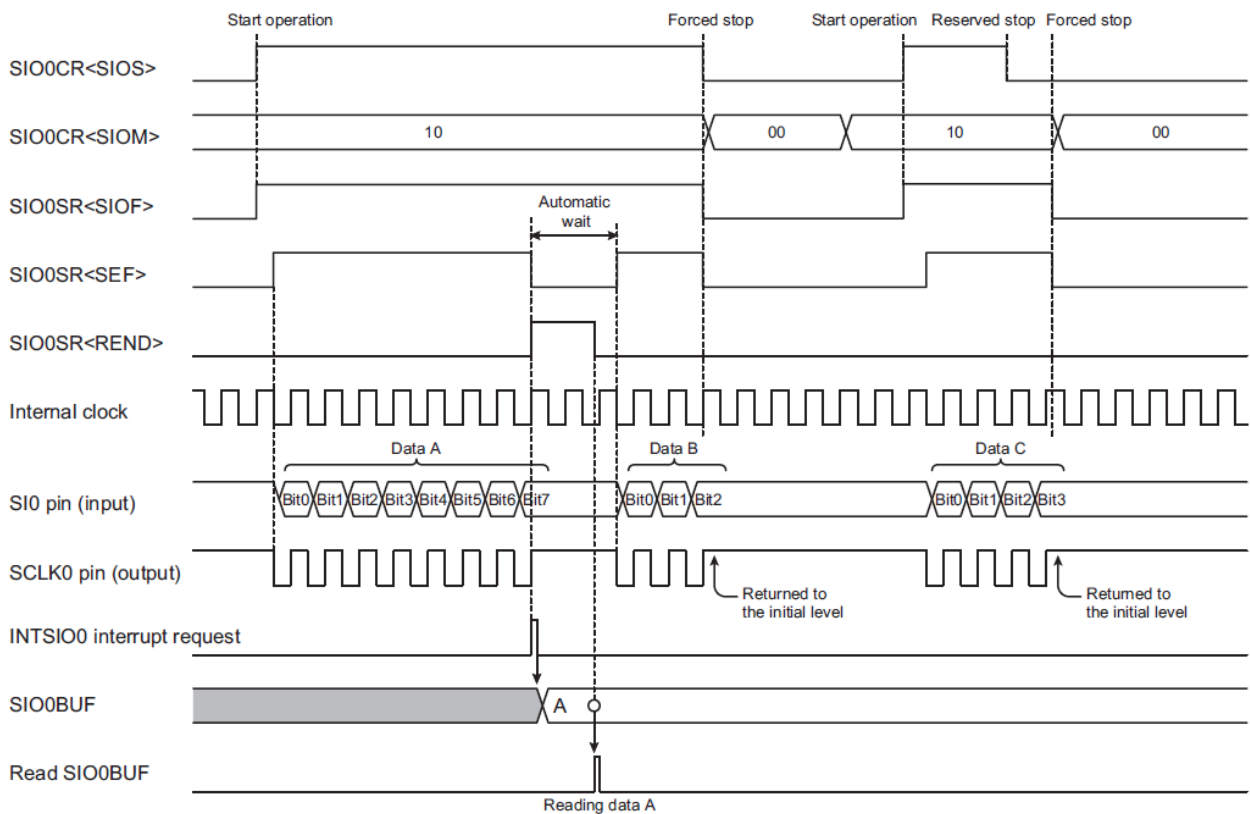


图 16-9 8 位接收模式(内部时钟且强制停止)

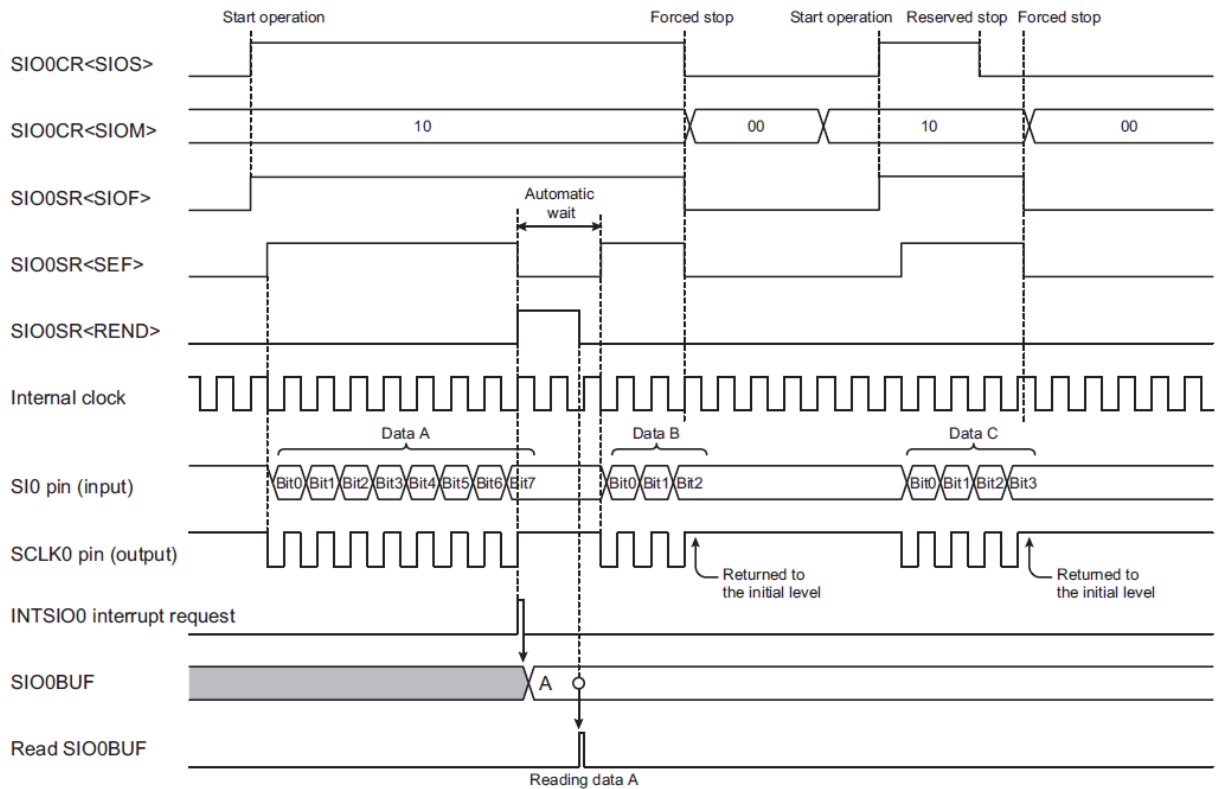


图 16- 10 8 位接收模式(外部时钟且预约停止)

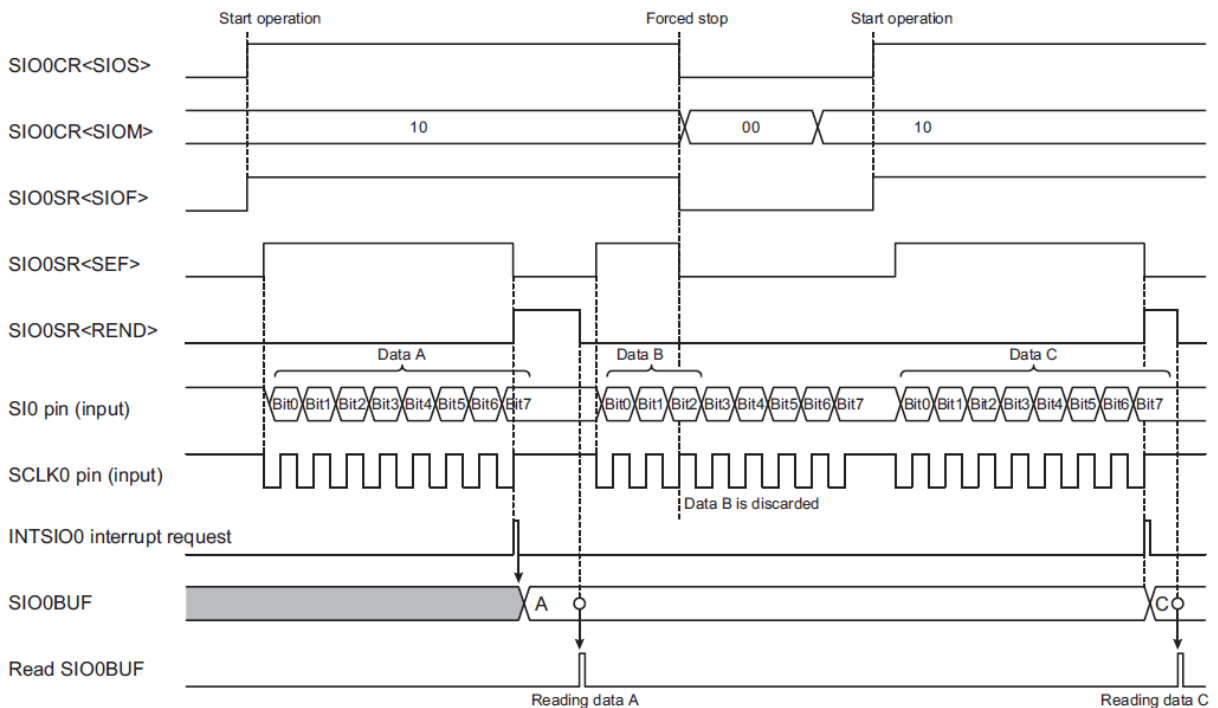


图 16- 11 8 位接收模式(外部时钟且强制停止)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

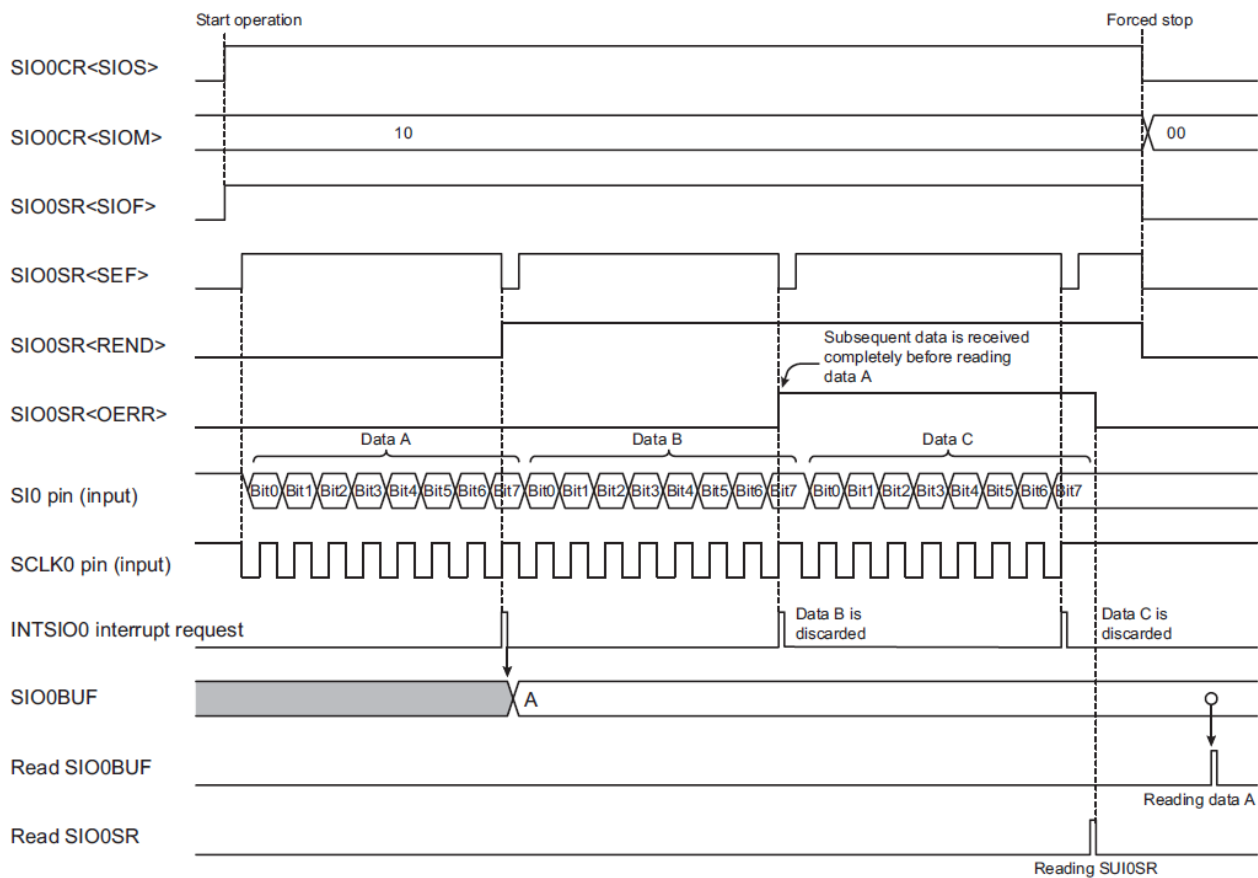


图 16- 12 8 位接收模式(外部时钟与溢出错误发生)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

16.5.3 8 位传送/接收模式

将 SIOxCR1<SIOM>设定为“11”，选择 8 位传送/接收模式。

16.5.3.1 设定

启动发送/接收作业前，由 SIOxCR1<SIOEDG>选择触发边沿，SIOxCR1<SIODIR>的传送模式和 SIOxCR1<SIOCKS>串行时钟。使用内部时钟做为串行时钟，由 SIOxCR1<SIOCKS>选择一个适合的时钟。使用外部时钟做为串行时钟，将 SIOxCR1<SIOCKS>设为“111”。

透过设定 SIOxCR1<SIOM>为“11”，选择 8 位发送/接收模式。

向 SIOxBUF 写入一个字节组数据且设定 SIOxCR1<SIOS>为“1”后，将会启动发送/接收操作。

当串行传输进行 SIOxSR<SIOF>为“1”时，数据写入 SIOxCR1<SIOEDG, SIOCKS 与 SIODIR>将会是无效的。请在串行传输停止后再进行设定。当串行传输进行时(SIOxSR<SIOF>="1")，只有写入“00”到 SIOxCR1<SIOM>或写入“0”到 SIOxCR1<SIOS>会是有效的。

16.5.3.2 启动传送/接收工作

当 SIOxBUF 写入数据且 SIOxCR1<SIOS>设为“1”时，发送/接收工作将启动。发送数据由 SIOxBUF 到移位寄存器，且依据 SIOxCR1<SIOEDG, SIOCKS 与 SIODIR>设定，串行数据从 SO 引脚开始发送。同时，根据 SIOxCR1<SIOEDG, SIOCKS 与 SIODIR>设定，从 SI 引脚开始接收串行数据。

内部时钟工作时，指定波特率的串行时钟从 SCLK 引脚输出；外部时钟工作时，则需提供 SCLK 引脚外部时钟。

若发送/接收工作开始时，且没有任何发送数据写入 SIOxBUF，则发送的数据将无法被辨识。

设定 SIOxCR1<SIOS>为“1”，SIOxSR<SIOF 与 SEF>将自动设为“1”且将产生一个 INTSIOx 中断请求。

当接收到数据的第 8 个 bit 时，SIOxSR<SEF>将清除为“0”。

16.5.3.3 发送缓存与移位(shift)工作

当串行传输进行中且移位寄存器是空的时，任何数据写入 SIOxBUF 都将会立即传送到移位寄存器。同时 SIOxSR<TBFL>维持为“0”。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

当移位寄存器仍留有一些数据，SIOxSR<TBFL>被硬件设为“1”，此状态下，有新数据写入 SIOxBUF，SIOxBUF 将会写入新的资料。请确保新数据写入 SIOxBUF 之前，SIOxSR<TBFL>须为“0”。

16.5.3.4 完成发送/接收工作

数据发送/接收完成时，SIOxSR<RENDB>为“0”且产生一个 INTSIOx 中断要求。依据工作时钟，会有不同的工作状态。

(a) 使用内部时钟

如果 SIOxSR<TBFL>为“1”，将 SIOxSR<RENDB>清除为“0”，且发送/接收工作持续进行。如果 SIOxSR<RENDB>已为“0”，则 SIOxSR<OERR>为“1”。

SIO0SR<TBFL>设为“0”，传送/接收作业将停止。SCLK 引脚将回到初始状态且 SO 引脚变为高电平。SIO0SR<SEF>维持为“0”。当后续数据写入 SIO0BUF，SIO0SR<SEF>被硬件配置为“1”，SCLK 输出时钟且传送/接收作业将重新启动。要重新确认接收的数据，在 SIO0BUF 写入数据前，读取 SIO0BUF。

(b) 使用外部时钟

发送/接收工作进行时。如果外部串行时钟输入，且没有任何数据写入 SIOxBUF，则会反复传送最后写入 SIOxBUF 的数据。同时，传送欠载运作错误标志 SIOxSR<UERR>将为“1”。

在下一个 8 位数据完全接收前未完成 SIOxBUF 的读取，或者 SIOxSR<RENDB>为“0”时，SIOxSR<OERR>将为“1”。

16.5.3.5 停止发送/接收工作

将 SIOxCR1<SIOS>设为“0”，可停止传送/接收作业。当 SIOxSR<SEF>为“0”或者当移位操作未进行时，工作将立刻被停止。

当 SIOxSR<SEF>为“1”，在 8 位数据完全被接收后，此工作将停止。

当工作完全停止后，SIOxSR<SIOF, SEF 与 TBFL>将清除为“0”。其他 SIO0SR 内存将维持原本的数据。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

在发送/接收工作进行时将 SIOxCR1<SIOM> 设为“00”可强制停止发送/接收工作。当 SIOxCR1<SIOM> 设定为“00”，且 SIOxCR1<SIOS> 与 SIOxSR 清除为“0”，SIO 作业停止，不管 SIOxSR<SEF> 数值。SO 引脚将为高电平。选择内部时钟时，SCLK 引脚将回到初始电平。

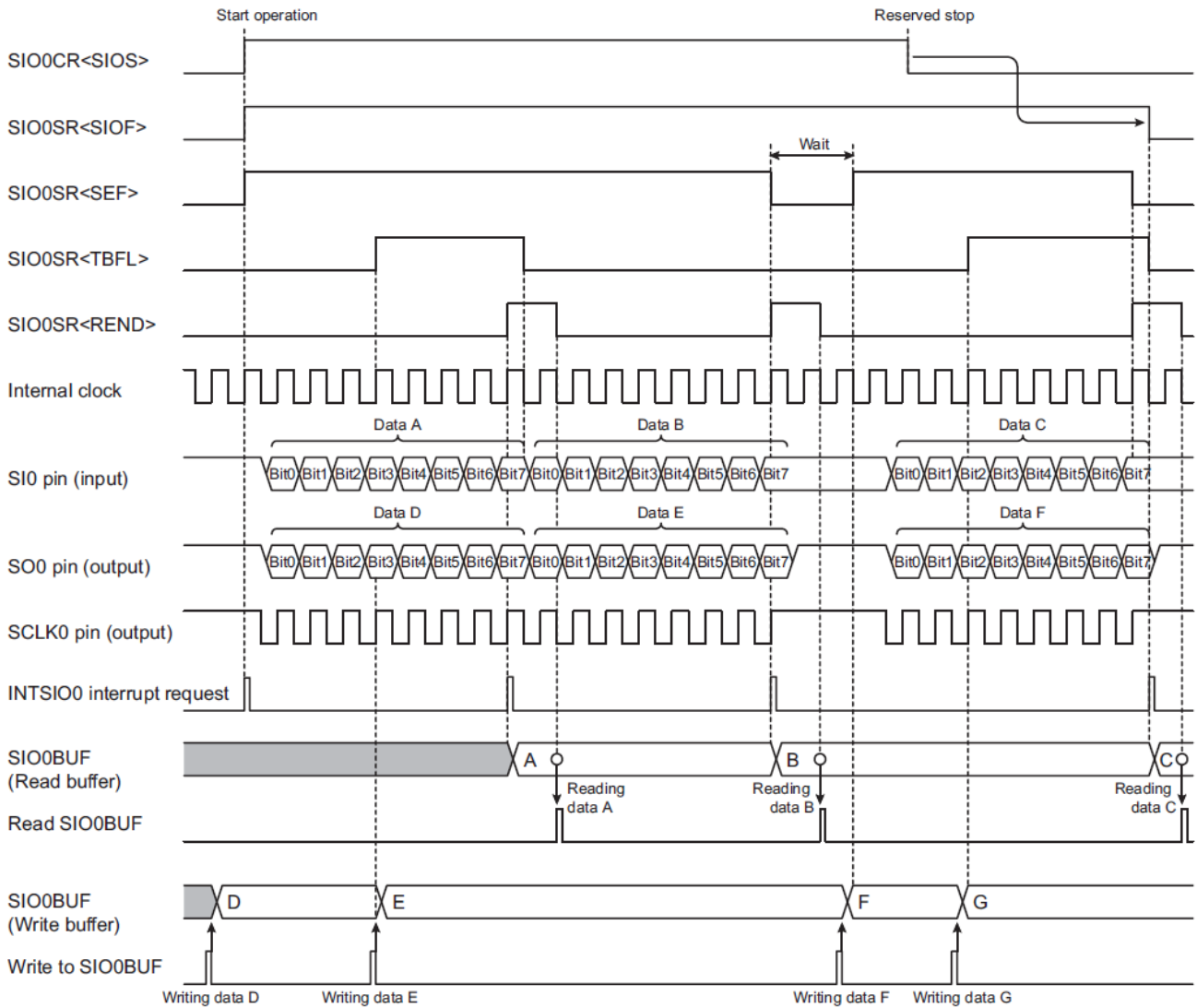


图 16- 13 8 位发送/接收模式(内部时钟且预约停止)

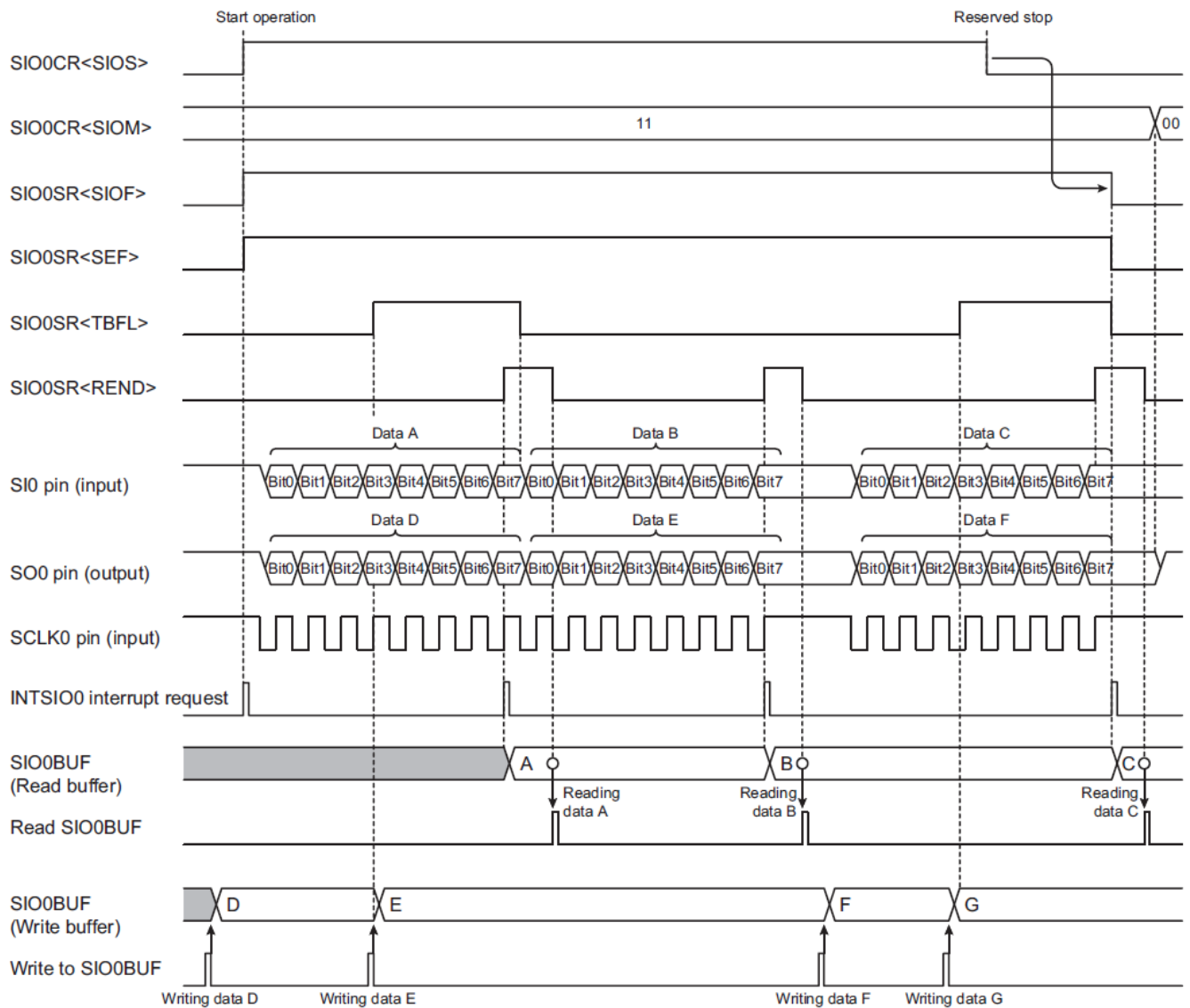


图 16- 148 位发送/接收模式(外部时钟且预约停止)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

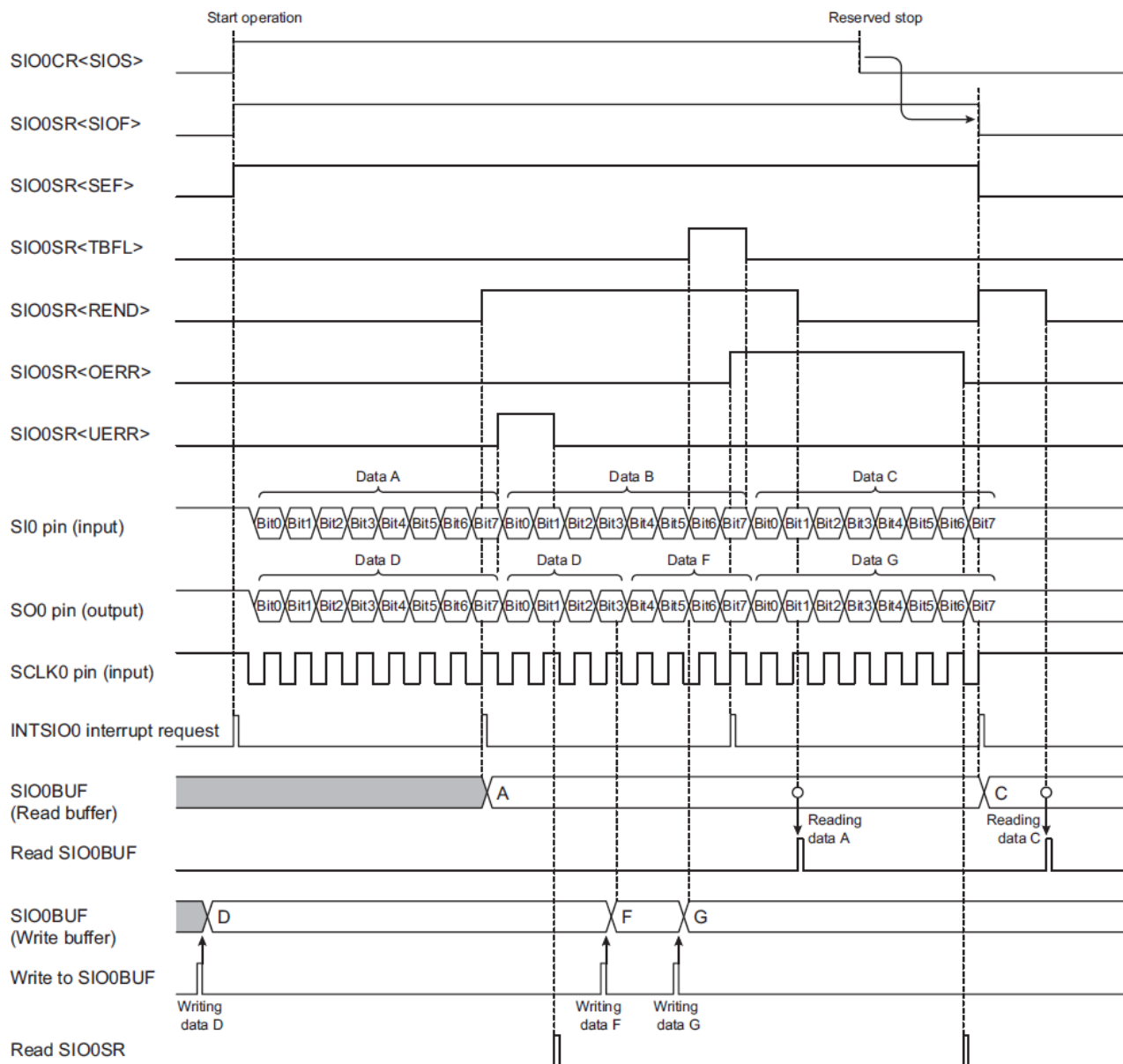


图 16-15 8 位发送/接收模式(外部时钟，数据欠载错误与数据溢写错误发生)

16.6 AC 特性

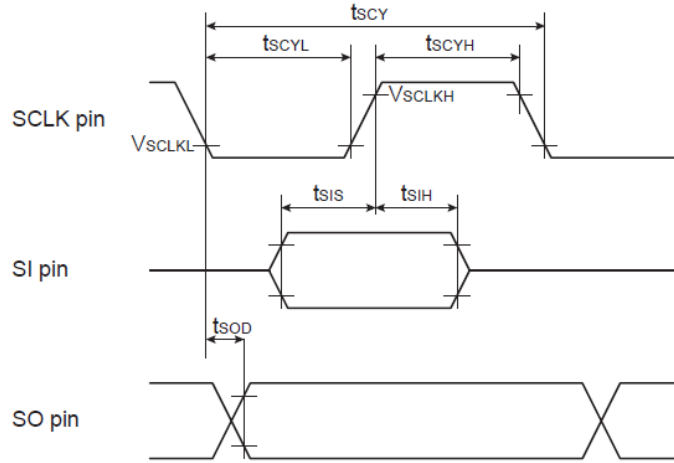


图 16- 16 AC 特性图

$V_{ss}=0, V_{DD}=4.5V-5.5V, T_{opr}=-40\sim 85^{\circ}C$

Parameter	Symbol	Condition	Min	Typ	Max	Unit
SCLK cycle time	t_{scy}	Internal clock operation SO pin and SCLK pin load capacity= 100pF	$2 t_{sysclk}$	-		ns
SCLK“L” pulse width	t_{scyL}		$t_{sysclk}-25$	-		
SCLK“H” pulse width	t_{scyH}		$t_{sysclk}-15$	-		
SI input setup time	t_{sis}		60	-		
SI input hold time	t_{sih}		35	-		
SO output delay time	t_{sod}		-50	-	50	
SCLK cycle time	t_{scy-2}	External clock operation SO pin and SCLK pin load capacity= 100pF	$2 t_{sysclk}$	-		ns
SCLK“L” pulse width	t_{scyL-2}		t_{sysclk}	-		
SCLK“H” pulse width	t_{scyH-2}		t_{sysclk}	-		
SI input setup time	t_{sis-2}		50	-		
SI input hold time	t_{sih-2}		50	-		
SO output delay time	t_{sod-2}		0	-	60	
SCLK low-level input voltage	t_{SCLKL}		0	-	$V_{DD} \times 0.30$	V
SCLK high-level input voltage	t_{SCLKH}		$V_{DD} \times 0.70$	-	V_{DD}	

Note1: $t_{sysclk}=1/f_{sysclk}$.

Note2: In slave mode, minimum cycle time = 250ns (slave mode maximum frequency is 4MHz).

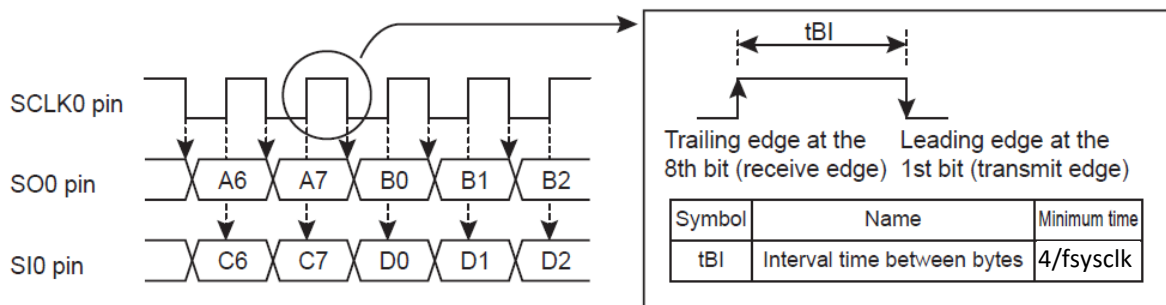


图 16- 17 字节间的时间间隔

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

17 安全功能

具循环冗余校验(Cyclic Redundancy Check, CRC)與数据正确性确认(Data Integrity Check, DIC)功能，其功能與寄存器設定如下章節說明。

17.1 循环冗余校验(Cyclic Redundancy Check, CRC)

17.1.1 CRC 功能概述

循环冗余校验(Cyclic Redundancy Check, CRC)功能，藉由加入区块(block)的衍生位或是区块字符串中的位，以此侦测与校正误差的方法。大型区块可能须概率地比较 CRC，故预先计算各个区块的 CRC 后再进行比较。若 CRC 比较结果为不相同，区块就不相同；但 CRC 比较结果符合，仍有很小机会区块是不相符的，可透过增加 CRC 位降低误差机率。~~當 CRC 運行時，CRCERR1 需設為 0x02。~~

CRC 生成多項式為“ $X^{16}+X^{12}+X^5+1$ ”。

要執行 CRC 操作，請將數據輸入到 CRC 輸入寄存器(CRCDI)~~。當 CRC 控制寄存器為忙碌時，BUSY 旗幟將設為“1”，當 CRC 計算完成，BUSY 旗幟將自動清為“0”。~~ 當啟動 CRC 中斷允許(CRCIE=1)，將產生中斷，輸出數據可由 CRC 輸出寄存器進行讀取。

CRC 為持續運行(cumulative operation)，如：使用者程序可持續輸入數據到 CRC 輸入寄存器(CRCDI)，結果將持續被更新。

開始一個新的 CRC 運行，CRC 內部結果緩衝將重置為用戶定義的值。CRC 起始值由 SETONE 設定，當完成 CRC 運作，將自行清除。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

17. 1.2 CRC 控制寄存器

地址	寄存器	描述
0x0850	CRCCR	CRC 控制寄存器
0x0852	CRCDI	CRC 输入寄存器
0x0854	CRCDO0	CRC 输出寄存器 0
0x0855	CRCDO1	CRC 输出寄存器 1

CRC 控制寄存器(CRCCR)

CRCCR (0x0850)	7	6	5	4	3	2	1	0
位符号	Reserved						SETONE	CRCEN
读/写	R	R	R	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 所有复位皆可使此寄存器复位

注 2 : 系统保留位均须填入 0

SETONE	设定 CRC 默认起始值	0: CRC 初始值为 0x0000 1: CRC 初始值为 0xFFFF
CRCEN	CRC 启动	0 : CRC 停止 1 : CRC 启动

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

CRC 输入寄存器(CRCDI)

CRCDI (0x0852)	7	6	5	4	3	2	1	0
位符号	CRCDI[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 系统保留位均须填入 0

CRCDI[7:0]	8 位 CRC 输入
------------	------------

CRC 输出寄存器 0(CRCDO0)

CRCDO0 (0x0854)	7	6	5	4	3	2	1	0
位符号	CRCDO0[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 系统保留位均须填入 0

注 3 : 需先读入 CRCDO0 · 再读 CRCDO1.

CRCDO0[7:0]	16 位 CRC 输出 (最低有效字节)
-------------	----------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

CRC 输出寄存器 1(CRCDO1)

CRCDO1 (0x0855)	7	6	5	4	3	2	1	0
位符号	CRCDO1[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 系统保留位均须填入 0

注 3 : 需先读入 CRCDO0 · 再读 CRCDO1.

CRCDO1[7:0]	16 位 CRC 输出(最高有效字節)
-------------	---------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

17.2 数据正确性确认(Data Integrity Check, DIC)

17.2.1 DIC 功能概述

数据正确性确认(Data Integrity Check, DIC)使用芯片的 CRC 模块进行演算,可使用 Flash、EEPROM、ROM 或是 SRAM 空间。因为 DIC 需使用 CRC 引擎,因此使用 DIC 功能前须先启动 CRC 控制。

启动 DIC 运算,首先需适当的配置 CRC。DIC 无对应的 PCKEN。将计数值写入 DIC 计数寄存器(DICCNT),若 DICCNT = 0,即为 65536 bytes;若 DICCNT = 1,即为 1 bytes。

然后将起始地址写入 DIC 地址寄存器 2 (DICAR2<AREA>)。地址设定可以参考 peripheral memory map。未定义的空间或起始地址,会被忽略。若计数器超过有效的地址范围,DIC 将只进行到最高的有效位置。用户需确保起始位与计数后的位置皆在指定的存储器空间内。

为确保 DIC 正常运作,DIC 一次仅能在一种存储器空间进行(Flash 或 SRAM),无法同时在 Flash 与 SRAM 进行。使用者需确保起始位与计数后的位置皆在指定的存储器空间内。

欲启动 DIC,将 DIC 启动位设为 1(DICEN=1)。当 DIC 进行时,DIC 完成位(DONE)会自动清除为 0。当 DIC 完成后,DIC 启动位会清除为 0(DICEN=0),而 DIC 完成位(DONE)会设为 1。使用者可轮询 DONE 的值,以确定 DIC 运算是否以完成。若 DIC 与程序从相同的地方开始进行,则 CPU 会停滞直到 DIC 运算完成。

如果 DIC 与程序于相同存储器上执行,则 CPU 与 DIC 将透过突发仲裁(burst arbitration),共同使用数据总线。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

17.2.2 DIC 控制寄存器

地址	寄存器	描述
0x0858	DICCR	DIC 控制寄存器 0
0x085A	DICCNT0	DIC 计数寄存器 0
0x085B	DICCNT1	DIC 计数寄存器 1
0x085C	DICADR0	DIC 地址寄存器 0
0x085D	DICADR1	DIC 地址寄存器 1
0x085E	DICADR2	DIC 地址寄存器 2

DIC 控制寄存器 0(DICCR)

DICCR (0x0858)	7	6	5	4	3	2	1	0
位符号	BUSY	reserved	reserved	reserved	reserved	reserved	DICIE	DICEN
读/写	R	R	R	R	R	R	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 所有复位皆可使此寄存器复位

BUSY	DIC 完成旗帜	0: DIC 进行中 1: DIC 已完成/空闲状态 当 DICEN 设为 1 时, DIC 将自动启动, 位将自动清除
DICIE	DIC 中断允许	0: 禁止 1: 允许
DICEN	DIC 启动	0: DIC 停止 1: DIC 启动 当 DIC 完成, 此位将自我清除。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

DIC 数据长度计数寄存器 0(DICCNT0)

DICCNT0 (0x085A)	7	6	5	4	3	2	1	0
位符号	DICCNT0							
读/写	R/W							
复位后	0							

注 1 : 所有复位皆可使此寄存器复位

DICCNT	DIC 计数值(最低有效位)
--------	----------------

DIC 数据长度计数寄存器 1(DICCNT1)

DICCNT1 (0x085B)	7	6	5	4	3	2	1	0
位符号	DICCNT1							
读/写	R/W							
复位后	0							

注 1 : 所有复位皆可使此寄存器复位

DICCNT1	DIC 计数(最高有效位)
---------	---------------

DIC 地址寄存器 0(DICADR0)

DICADR0 (0x085C)	7	6	5	4	3	2	1	0
位符号	DICADR0[7:0]							
读/写	R/W							
复位后	0							

注 1 : 所有复位皆可使此寄存器复位

DICADR1[7:0]	DIC 地址寄存器(最低有效位)
--------------	------------------

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

DIC 地址寄存器 0(DICADR1)

DICADR1 (0x085D)	7	6	5	4	3	2	1	0
位符号	DICADR1[7:0]							
读/写	R/W							
复位后	0							

注 1 : 所有复位皆可使此寄存器复

DICADR1[7:0]	DIC 地址寄存器(最高有效位)
--------------	------------------

DIC 地址寄存器 2(DICADR2)

DICADR2 (0x085E)	7	6	5	4	3	2	1	0
位符号	Reserved			AREA[4:0]				
读/写	R	R	R	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 所有复位皆可使此寄存器复

AREA[4:0]	00000: Flash Array 00001: 系统保留 00100: 系统保留 00101: 系统保留 01000: SRAM 01001: 系统保留 10000: EEPROM Array 10001: 系统保留 其他: 系统保留
-----------	---

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

18 比较器

18.1 比较器功能概述

当比较器允许 (CMPEN) 设置为 1 时，可用来启动比较器。比较器功能启用时，比较器将对正输入(CMP0P)与负输入(CMP0N)进行比较，比较结果由比较器输出 (CMPO) 输出。当正输入(CMP0P)大于负输入(CMP0N)时，CMPO = 1；当正输入(CMP0P)小于负输入(CMP0N)时，CMPO = 0。当启动比较器输出 (CMPOE = 1)，由比较器输出引脚(CMP0O)得到比较器结果。

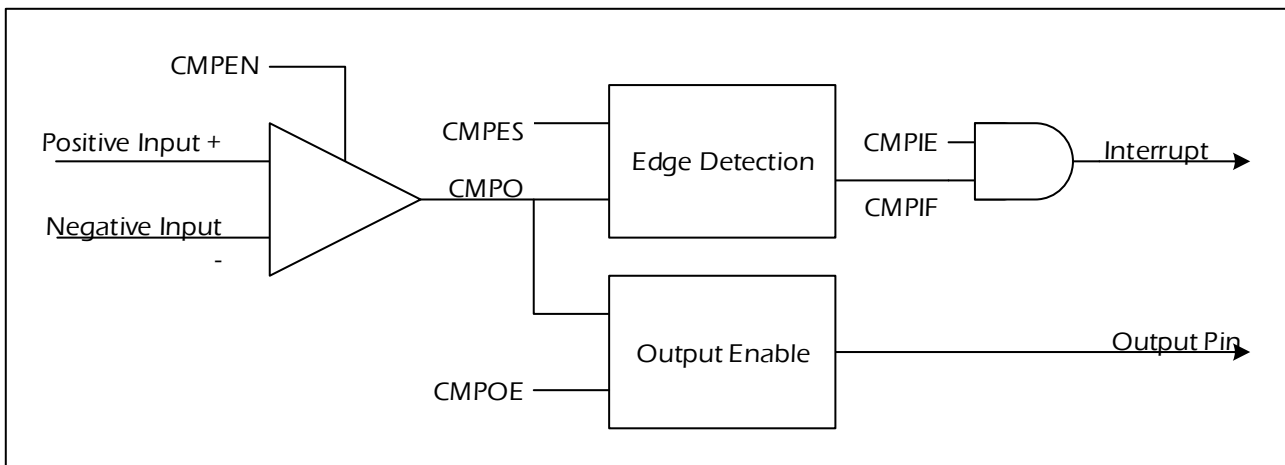


圖 18-1 比較器框圖

在所指定的比较器边沿发生时，比较器可被配置来设定比较器中断标志 (CMPIF)。

透过 CMPPCR<CMPES>进行边沿设定，当比较器输出(CMP0O)从 0 变为 1 时，将检测到上升沿；当比较器输出 (CMP0O)从 1 变为 0 时，将检测到下降沿。用户应用程序可以选择上升沿，下降沿或上升沿/下降沿作为边沿检测。如果比较器中断允许 CMPPCR<CMPIE>设置为 1，则所选边沿也会触发中断。CMPSSR<CMPIF>可透过写入 1 进行清除。

比较器需要 t_{CMP_RDY} 时间才能使其稳定输出。为避免误报(false alarm)，用户程序应等待 t_{CMP_RDY} 后，进行中断允许、启动比较器输出或监视中断标志。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

18.2 比较器控制寄存器

地址	寄存器	描述
0x320	CMPCR	比较器控制寄存器
0x321	CMPSR	比较器状态寄存器

比较器控制寄存器 (CMPCR)

CMPCR (0x0320)	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	CMPIE	CMPES		CMPOE	CMPEN
读/写	R	R	R	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 所有复位皆可使此寄存器复位

CMPIE	比较器中断允许	0:禁止 1:允许
CMPEs	比较器边沿选择	00:系统保留 01:上升沿 10:下降沿 11:上升沿/下降沿
CMPOE	比较器输出允许	0:禁止 1:允许
CMPEn	比较器允许	0:禁止 1:允许

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

比较器状态寄存器 (CMPSR)

CMPSR (0x0321)	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	reserved	reserved	CMPIF	CMPO
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0

注 1 : 所有复位皆可使此寄存器复位

CMPIF	比较器中断标帜	0: 没有中断 1: 中断待处理 (Interrupt pending) (Write 1 clear)
CMPO	比较器结果	0: 比较器正输入小于负输入(CMP0P<CMP0N) 1: 比较器正输入大于负输入(CMP0P>CMP0N)

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

附录 A. 仿真调适功能(On-chip Debug)

具有仿真调适功能。用户可以此功能结合 iMQ 的调试仿真器 MQ-Link 进行系统电路板上之软件调试 (debugging)。此仿真器可由 PC 上安装之调试软件进行操控，不论应用软件修改或系统设计调整均可藉此实现。

本章节说明仿真调适功能所需之控制引脚、及如何连接目标系统(target system)。

控制引脚

仿真调适功为 4 线仿真，脚位信息如表 A-1 所示。

4线仿真				
IC引脚名称 (执行仿真调适功能期间)	输入/输出	MQ-LINK仿真器 对应接口名称(注)	功能描述	IC引脚名称 (MCU模式下)
DBG	输入/输出	OCDIO	通讯引脚	P3.4/ <u>KWI</u> 14/EINT4
RESET	输入	RESET	复位控制引脚	RESET
VDD	电源	VCC	5.0V (2.0V to 5.5V)	
VSS	GND	GND	0V	

表 A-1 仿真调适功能所使用之引脚

注：MQ-LINK 仿真器对应接口请参考图 A-1 MQ-LINK 正面外观图。



图 A-1 MQ-LINK 正面外观图

如何将 MQ-Link 调试器连接至目标系统

欲使用仿真调适功能，必须将目标系统上之特定引脚连接至 MQ-Link 调试器。iMQ 将提供连接目标系统与 MQ-Link 调试器之控制缆线。在目标系统安装此缆线可使仿真调适功能更佳简易。相关连接如图 A-2 所示。

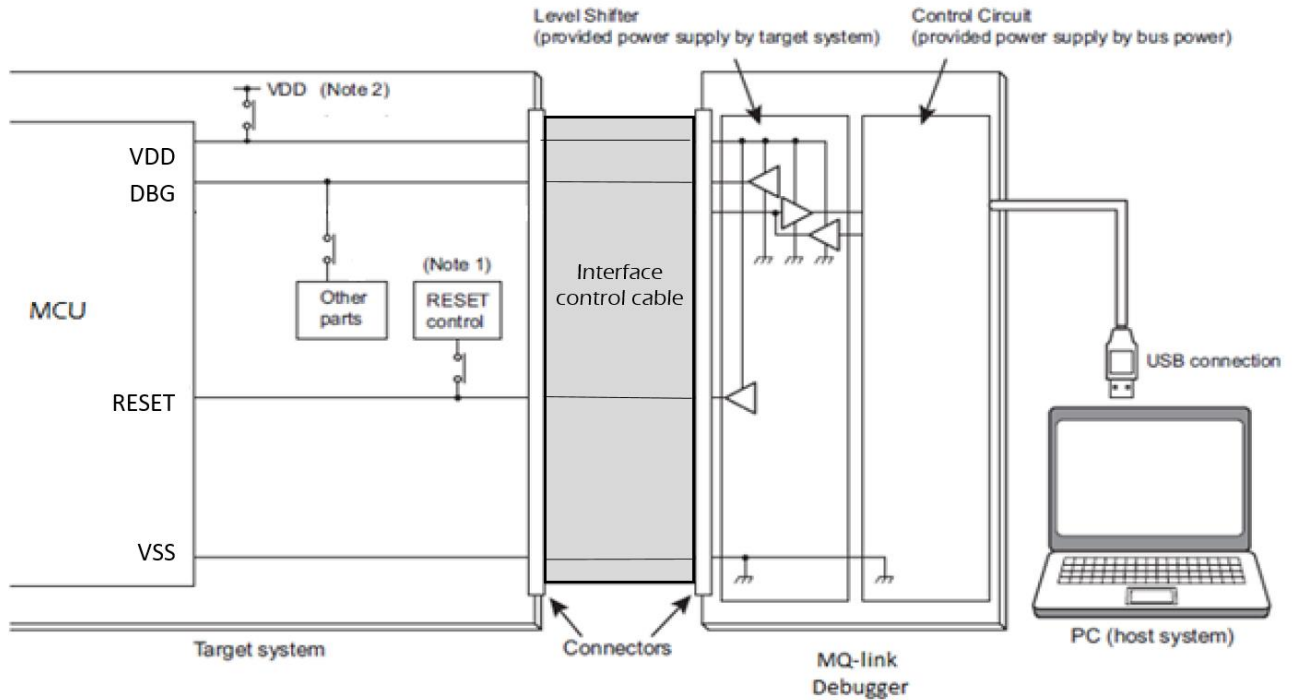


图 A-2 如何将 MQ-LINK 调试器连接至目标系统

注 1：如果系统应用板上之复位控制电路会影响线仿真调适功能的控制，请务必以跨接器或开关等断开。

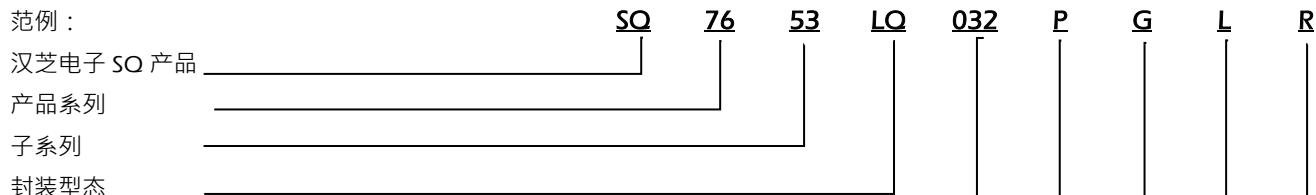
注 2：执行仿真调适功能时，目标系统之 MCU 电源 VDD 由 MQ-Link 调试器直接提供。仿真调适功能完成后，MCU 即可使用目标系统之电源。

注 3：有关 MQ-Link 的使用细节，参阅“iMQ i87 IDE 使用手册”。

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

附录 B. 产品型号信息

范例：



代码	封装	代码	封装
ST	SOT23	SD	SDIP
SP	SOP	LQ	LOFP 7x7
MS	MSOP	LA	LOFP 10x10
SS	SSOP	LE	LOFP 14x14
DP	PDIP	N4	QFN 4x4
TS	TSOP	N5	QFN 5x5
DS	TSSOP		

脚位数

代码	封装	代码	封装
005	5	032	32
006	6	036	36
008	8	040	40
010	10	044	44
014	14	048	48
016	16	064	64
020	20	080	80
024	24	096	96
028	28	100	100

程序存储器容量 _____

数据存储器容量 _____

数据存储器容量 _____

代码	程序/数据存储器容量	代码	程序/数据存储器容量
A	128 Bytes	K	24K Bytes
B	256 Bytes	M	32K Bytes
E	512 Bytes	N	40K Bytes
J	1K Bytes	P	48K Bytes
L	2K Bytes	S	64K Bytes
T	4K Bytes	U	96K Bytes
G	8K Bytes	W	128K Bytes
C	12K Bytes	V	无
H	16K Bytes		

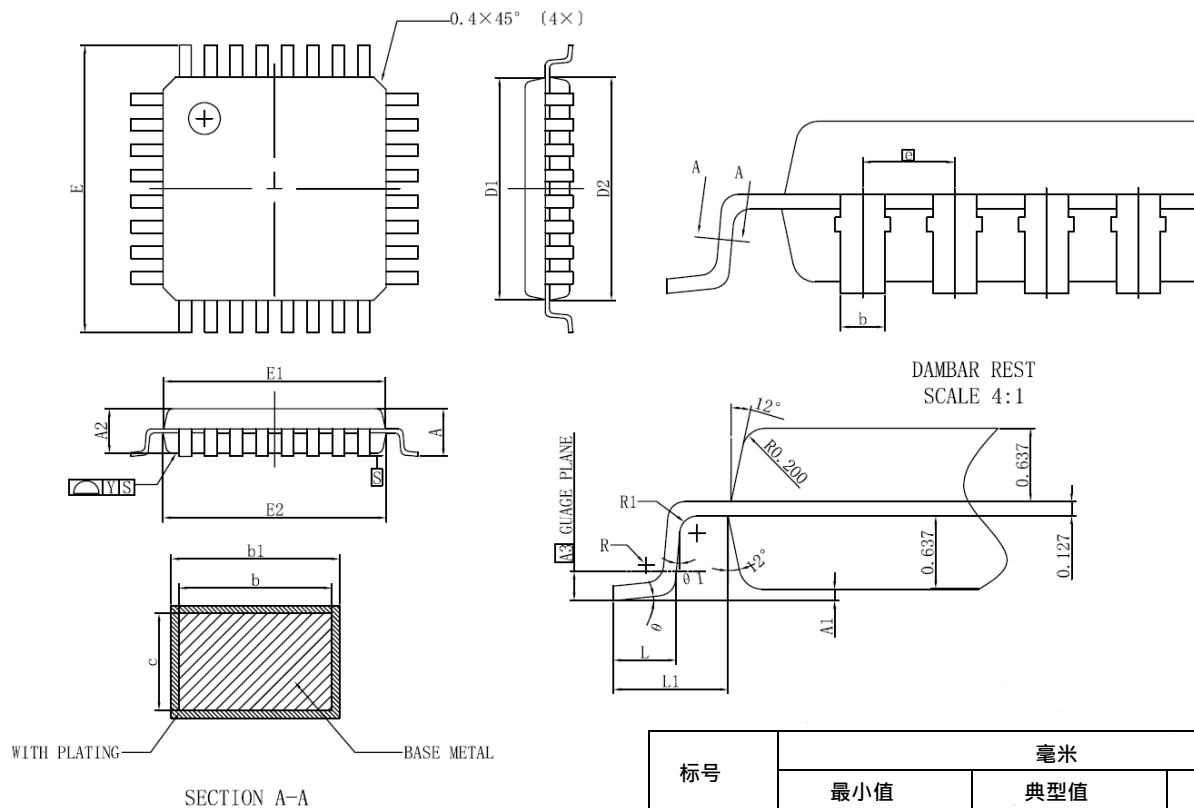
工作温度

代码	工作温度
R	-40~85°C

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

附录 C. 封装信息

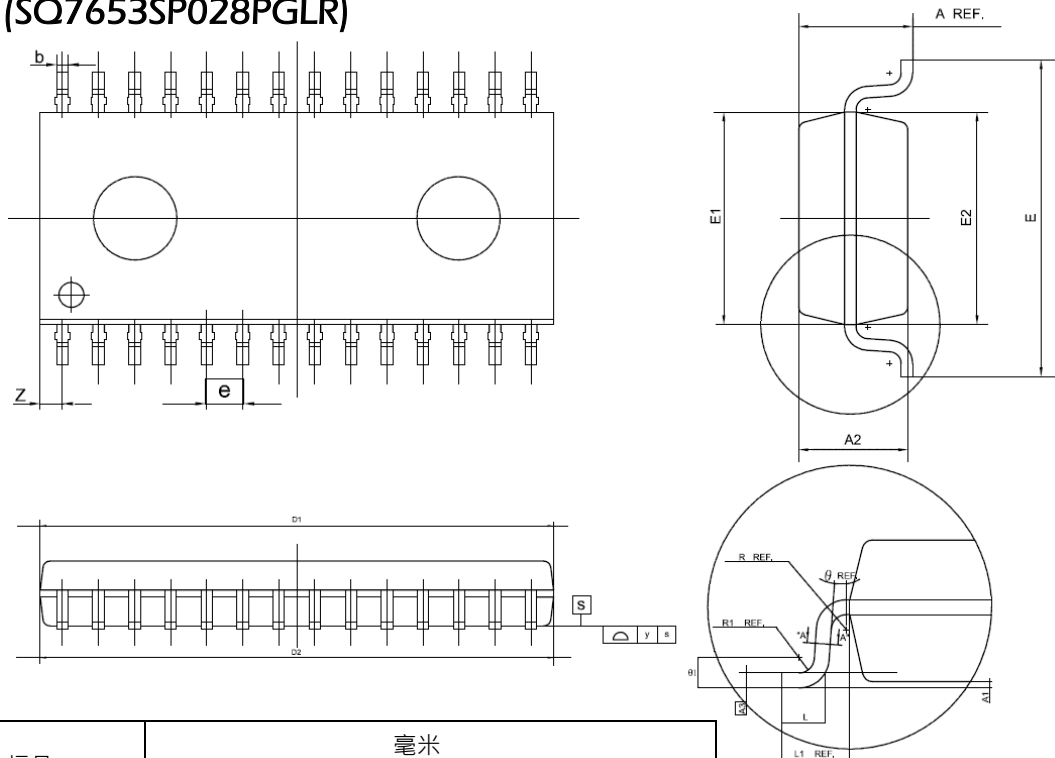
LQFP32 7x7 (SQ7653LO032PGLR)



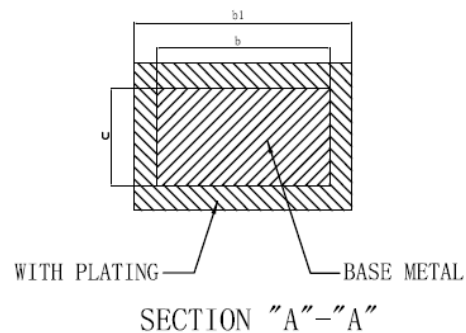
标号	毫米		
	最小值	典型值	最大值
A	1.45	1.55	1.65
A1	0.01	-	0.21
A2	1.3	1.4	1.5
A3	-	0.254	
b	0.30	0.425	0.45
b1	0.31	0.37	0.43
c	-	0.127	-
D1	6.85	6.95	7.05
D2	6.9	7.00	7.10
E	8.8	9.00	9.20
E1	6.85	6.95	7.05
E2	6.9	7.00	7.10
ⓐ	-	0.8	-
L	0.45	-	0.75
L1	0.90	1.0	1.10
R	0.1	-	0.25
R1	0.1	-	-
θ	0	-	10°
θ1	0	-	-
y	-	-	0.1
Z	-	0.70	-

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

SOP28 (SQ7653SP028PGLR)



标号	毫米		
	最小值	典型值	最大值
A	2.465	2.515	2.565
A1	0.100	0.150	0.200
A2	2.100	2.300	2.500
A3	-	0.274	-
b	0.356	0.406	0.456
b1	0.366	0.426	0.486
c	-	0.254	-
D1	17.750	17.950	18.150
D2	17.800	18.000	18.200
E	10.100	10.300	10.500
E1	7.374	7.450	7.574
E2	7.424	7.500	7.624
e	-	1.270	-
L	0.764	0.864	0.964
L1	1.303	1.403	1.503
R			
R1			
θ	0	-	-
θ1	0	-	10°
y	-	-	0.1
Z	-	0.745	-



No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

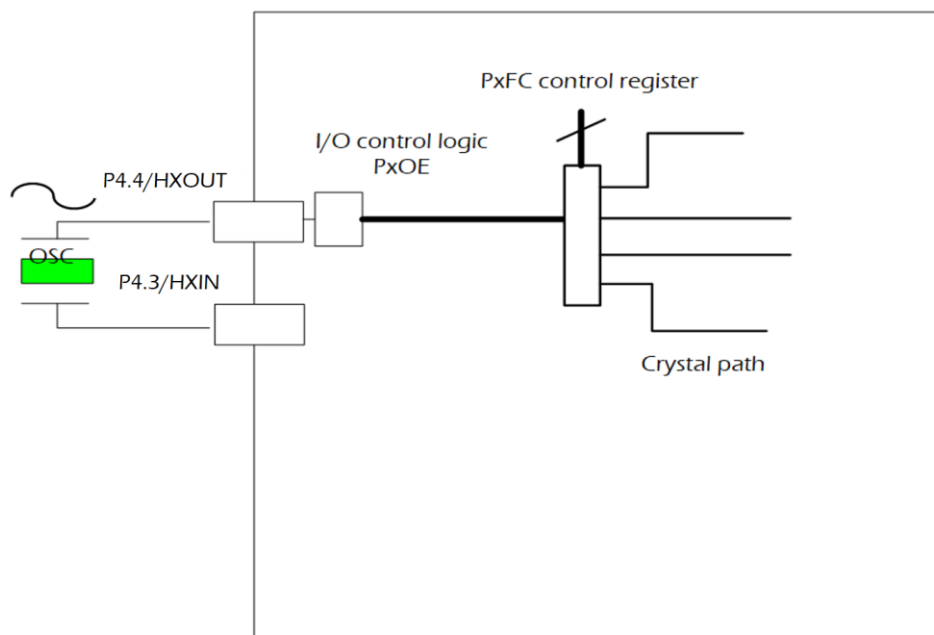
附录 D. 使用注意事项

(A) 仿真相关

1. 不支持低速仿真，若时钟源为 LIRC 或 LXTAL，将无法进行仿真；建议使用其他时钟源进行仿真。
2. 仿真模式下，CPU 执行中断向量时，ADC 会继续工作。

(B) 使用 P4.4HXOUT 功能, 对应 P4OE 设定说明

当 P4OE 设定为输出，外部晶振的震荡讯号将无法链接到 IC 内部的震荡线路。若要使用外部晶振(HXOUT)功能，需将对应的 P4OE_P4 设为 0。

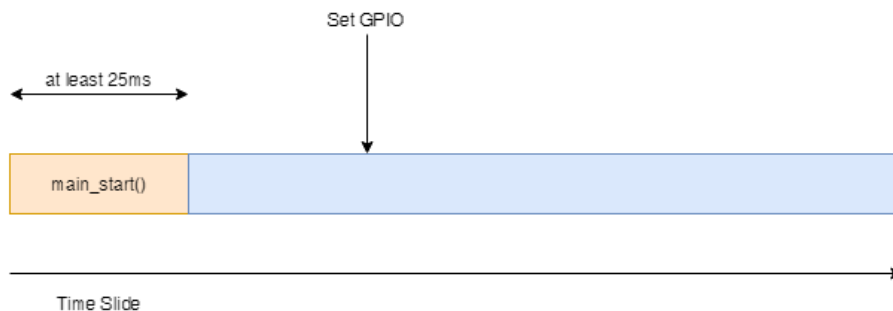


(C) 使用 P3.4 为 GPIO 或 OCD 设定说明

P3.4，用户可以视情况设定为 GPIO 或 Debug PIN(DBG)。如果用户应用程序想要使用 GPIO 功能，他们的程序应在 Power On or Reset 25ms 后设定为 GPIO。

example code:

```
delay_ms(25);
```



No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

(D) I/O 与电源相关

请勿在 IC 断电时，对 I/O 管脚输入信号或电源。以避免引起电流注入而造成 IC 误操作。IC 上电时间请参考 [3.4 上电复位电气特性](#)。

(E) 工作电流特性相关

参数	符号	测试条件	标准	单位
普通模式 (由 Flash 执行)	I _{DD_NO}	系统时钟为 PLL(时钟源为内部高速时钟) fsysclk= 24MHz (fsysclk=PLL 24MHz)	4.0	mA
		系统时钟为 PLL(时钟源为内部高速时钟) fsysclk= 12MHz (fsysclk=PLL 24MHz 除 2)	2.4	mA
		系统时钟为 PLL(时钟源为内部高速时钟) fsysclk= 6MHz (fsysclk=PLL 24MHz 除 4)	1.6	mA
	I _{DD_N1}	系统时钟为外部高速时钟(HXTAL) fsysclk=16MHz (fsysclk=HXTAL 16MHz)	3.6	mA
		系统时钟为外部高速时钟(HXTAL) fsysclk=8MHz (fsysclk=HXTAL 16MHz 除 2)	2.2	mA
		系统时钟为外部高速时钟(HXTAL) fsysclk=4MHz (fsysclk=HXTAL 16MHz 除 4)	1.3	mA
睡眠模式 (CPU 时钟停止运行)	I _{DD_SL0}	系统时钟为 PLL(时钟源为内部高速时钟) fsysclk= 24MHz (fsysclk=PLL 24MHz)	2.2	mA
		系统时钟为 PLL(时钟源为内部高速时钟) fsysclk= 12MHz (fsysclk=PLL 24MHz 除 2)	1.5	mA
		系统时钟为 PLL(时钟源为内部高速时钟) fsysclk= 6MHz (fsysclk=PLL 24MHz 除 4)	1.1	mA
	I _{DD_SL1}	系统时钟为外部高速时钟(HXTAL) fsysclk=16MHz (fsysclk=HXTAL 16MHz)	1.6	mA
		系统时钟为外部高速时钟(HXTAL) fsysclk=8MHz (fsysclk=HXTAL 16MHz 除 2)	1.0	mA
		系统时钟为外部高速时钟(HXTAL) fsysclk=4MHz (fsysclk=HXTAL 16MHz 除 4)	0.7	mA

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

(F) 使用汇编语言注意事项

使用汇编语言时，在读取奇数地址的 SFR 时，仅能以 8 bits GPR 承接。

此处包含 WA、BC、DE、HL、IX、IY 等各种类似及变型。

非法范例：LD WA, (奇数地址 SFR); // WA = 16 bits GPR

合法范例：LD A, (奇数地址 SFR); // A = 8 bits GPR

(G) 使用高级语言注意事项

使用高级语言时，读取奇数地址的 SFR 时，仅能以 8 bits 长度读出。

此处包含间接寻址、2 bytes 指标、4 bytes 指标、2 bytes 转型、4 bytes 转型 等各种类似及变型。

非法例一：unsigned short r_temp = *((unsigned short *) &奇数地址 SFR);

本例，对目标 SFR 的地址，强制转型并进行 2 bytes 数据读取。

非法例二：unsigned short r_temp = *((unsigned long *) &奇数地址 SFR);

本例，对目标 SFR 的地址，强制转型并进行 4 bytes 数据读取。

非法例三：Line_000 unsigned short *p_ptr = &奇数地址 SFR;

Line_001 unsigned short r_temp = p_ptr[0];

本例，将目标 SFR 的地址传递给指针 (2 bytes 型态)，

再用指针 (2 bytes 型态) 进行 2 bytes 的数据读取。

非法例四：Line_000 unsigned long *p_ptr = &奇数地址 SFR;

Line_001 unsigned long r_temp = p_ptr[0];

本例，将目标 SFR 的地址传递给指针 (4 bytes 型态)，

再用指针 (4 bytes 型态) 进行 4 bytes 的数据读取。

合法例一：unsigned char r_temp = SFR;

合法例二：unsigned short r_temp = SFR;

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

修改记录

版本	发布日期	改版描述
Ver1.7	2023/12/18	<ol style="list-style-type: none"> 修正 TMRA0MD0[TCM], TMRA0MD1[TCM] PPG 输出模式为 “110” 移除 P2 端口相关叙述 修订 FDATA0~3 复位值为“不定值” 修订 DICADR2[AREA] = 00001/01001/10001 时，为“系统保留” 修订 page 211 表 13-3 16 位定时器引脚名称并移除“TA00I”, “TA10O”, “TA20O” 相关叙述 修订 page 255 PCKEN1[3:0]为“ reserved” 修正 page 17 “TA21O” 功能说明误植为“TCA21O” 移除 TCAX 寄存器与相关叙述并修订 UARTxCR1[BRG]=1 为 TMRAx 输出 新增「CH14.6.2 如何以 TMRA 作为 UART 的时钟源」内容及修订“图 14-1 UART 工作模块图” baud rate generator TCA0 为 TMRA2 移除 I2C1， SIO1 相关叙述，并修订 PCKEN2<I2COEN>为 PCKEN2<I2C0> 增订“13.3 8/16 位定时器” Timer A 计数器 0 与计数器 1 相关叙述 增订“TMRA0DR0 (0x0058)”, “TMRA0DR1(0x0059)”, “TMRA0PWM0(0x005A)”, “TMRA0PWM1(0x005B)”寄存器叙述 移除 CRCSR 寄存器
Ver1.6	2023/5/2	<ol style="list-style-type: none"> 「3.2.1 工作条件」移除复位电压叙述 图 5.2 数据存储映像,新增备注 「9.1 功能叙述」修正描述为“当芯片 Reset 后，需再重新设 FCKDIV。” 「9.2 FLASH 储存控制寄存器」FCKDIV 寄存器, 修正描述“注 1：进行 Flash 编程/读写或擦除，Flash 频率必需为 1MHz；Flash 频率为系统时钟/(FCKDIV +1)” 「13.3.2 时基定时器控制」，修改 TBTCR<DV9CK>=1 为 fclk 图 15-23 I2C 时序定义图,新增 SDA/SCL 描述 修正「17.1.2 CRC 控制寄存器」CRCDO0 与 CRCDO1 之复位值 「附录 D. 使用注意事项」新增:(F)使用汇编语言注意事项、(G) 使用高级语言注意事项
Ver1.5	2022/3/8	<ol style="list-style-type: none"> 「8/16 位定时器计数器控制」, TMRA0MD0, TMRA0MD1,新增备注 「12.2 PNIC 控制寄存器」PxCFGCR 修改为 Write Only
Ver1.4	2021/12/29	<ol style="list-style-type: none"> 修改「图 3-1 上电复位时序图」, 「3-3 BROR 复位」与「图 3-2 BROR 复位」 更新「图 8-6 ADC 工作流程示意图」

No. : TDDS01-S7653-CN	Name : SQ7653 中文产品规格书	Version : V1.7
-----------------------	-----------------------	----------------

Ver 1.3	2021/12/01	<ol style="list-style-type: none"> 「CH3.4 上电复位电气特性」移除 VPROFF,VPRON 叙述, 修正图 3-1 上电复位时序图 修正图 3-2 BROR 复位, 图 3-3 LVD 中断 更新 6.4.2 掉电复位功能叙述说明 更新 LCDCR0,LCD CR1 叙述 新增附录 D, (D) I/O 与电源相关叙述
Ver 1.2	2021/07/20	<ol style="list-style-type: none"> 修正「CH2.4 引脚配置/说明」叙述·修改 pin23 P3.4 叙述 新增附录 D 内容·(C)使用 P3.4 为 GPIO 或 OCD 设定说明 “11.2 I/O 寄存器”表格内的 PxDI 中文叙述更正
Ver 1.1	2020/11/2	<ol style="list-style-type: none"> 修正「CH2.4 引脚配置/说明」叙述·移除 ISP 功能 修正「CH6.2.2 复位控制」RSTFLG 寄存器叙述 修正「CH8.3 ADC 寄存器」ADCCR0 复位值
Ver 1.0	2020/09/22	<ol style="list-style-type: none"> 修正「CH2.1 功能特性」内容 修正「CH2.4 引脚配置/说明」 sop28 pin assignment 更新「CH3.2.2 I/O 特性」·「CH3.3 DC 特性」 「CH3.5 BROR 电气特性」与「CH3.6LVD 电气特性」新增 timing 规格 更新「CH3.7 ADC 电气特性」·「CH3.8 比较器电气特性」 修正「CH5.1 系统存储器架构」与「CH5.2 外围存储器」内容叙述 新增「CH6.7.7 中断优先级变更」 修正「CH8 12 位 ADC 内容」 「CH10 EEPROM 控制器」新增 CH10.3~10.9 内容 更新附录 D 内容